

Układy programowalne, część 9

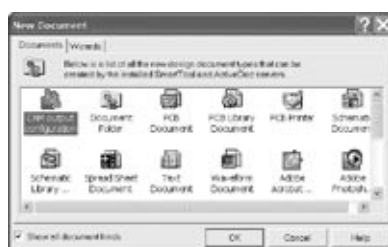
W ostatnim odcinku cyklu przedstawimy jedno z najwygodniejszych, pośród obecnie dostępnych, uniwersalnych narzędzi do realizacji projektów w układach programowalnych: pakiet Protel 99SE. Pakiet ten, podobnie do następcy - Protela DXP - jest wyposażony w kompilator CUPL-a, który współpracuje z systemowym edytorem schematów. Niewątpliwą zaletą pakietów Protel jest możliwość realizacji całego projektu urządzenia w jednym środowisku, bez konieczności osvajania się z różnymi interfejsami użytkowników i odmiennymi filozofiami obsługi programów.

Kompilator CUPL-a, w jaki wyposażono Protele, jest minimalnie zmodyfikowanym wcieleniem pierwszej wersji CUPL-a dla Windows, jaka powstała wiele lat temu w firmie Data I/O. Firma Protel (później Altium) nie przykładła się specjalnie do powiększania jego walorów użytkowych, stąd większość wad oryginalnego kompilatora (w tym przede wszystkim niezbyt przejrzysta diagnostyka błędów) jest odczuwalna do dziś. Dodano jedynie kilka prostych rozszerzeń funkcjonalnych (jak na przykład kreator projektów), poprawiono także współpracę kompilatora z edytorem przebiegów, który ułatwia analizę wyników symulacji. Ze względu na specyfikę środowiska protelowskiego nieco inaczej niż miało to miejsce w WinCUPL-u wygląda obsługa kompilatora. Jemu właśnie poświęcamy ten odcinek kursu.

Czarownik Ci pomoże

Ogromnym ułatwieniem podczas realizacji projektów w układach PLD, zwłaszcza dla początkujących użytkowników, jest wbudowany w Protela 99SE kreator projektów (*wizard*). Dzięki niemu większość typowych problemów program rozstrzyga interaktywnie z projektantem, zadając mu kolejno proste pytania, których odpowiedzi pozwalają uzyskać „szkielet” opisu HDL.

Jak wiadomo Protel 99SE przechwytuje wszystkie pliki wchodzące w skład projektu w jednym pliku o rozszerzeniu *.ddb. Plik taki należy utworzyć dla każdego nowego projektu, co



Rys. 46

wymaga wybrania w menu opcji *File>New*. W wyświetlonym oknie *New Design Database* należy podać docelową lokalizację pliku oraz nazwę pliku (rozszerzenie *.ddb nie jest nadawane automatycznie!). Plik wykorzystany w przykładzie nosi nazwę *PLD_proj.ddb* i jest ulokowany w głównym katalogu dysku C.

Kolejnym krokiem jest utworzenie pliku zawierającego opis HDL w postaci tekstowej (w języku CUPL) lub schematu. Ponieważ w tej części artykułu zajmiemy się przedstawieniem sposobu realizacji projektu opisanego tekstowo, mamy do wyboru dwie drogi:

- skorzystanie z kreatora projektu,
- utworzenie „pustego” pliku tekstowego, w którym trzeba będzie przygotować cały opis HDL.

Ze względu na wygodę warto skorzystać z interaktywnej pomocy kreatora. W tym celu w menu wybieramy opcję *File>New...*, co powoduje wyświetlenie okna *New Document*, którego widok pokazano na **rys. 46**. Wybieramy w tym oknie zakładkę *Wizards*, a w niej *PLD-CUPL Wizard*



Rys. 47

(**rys. 47**). Powoduje to zainicjowanie pracy kreatora, którego jeden z kilku możliwych wariantów przebiegu pokazano na **rys. 48**. Na rysunku tym zaznaczono najistotniejsze z punktu widzenia projektanta miejsca, w których kreator „dopytuje” się o najważniejsze parametry realizowanego projektu.

List. 22. Szkielet opisu HDL wygenerowany przez kreator projektów PLD z pakietu CUPL

```
Name      PLDDesign ;
Partno    na ;
Revision  1 ;
Date      2004-10-17 ;
Designer  PZb ;
Company   EP ;
Assembly  na ;
Location  na ;
Device    G22V10LCC ;
Format    JEDEC ;

/*****
*****
/* This PLD design (Revision 1) created on
2004-10-17 */
/* for                               Protel Internat-
/*                                and is stored as   PLDDesign
*/
*****/

/** Inputs **/
Pin 1  = Input_1 ;
Pin 2  = Input_2 ;
Pin 3  = Input_3 ;
Pin 4  = Input_4 ;

/** Outputs **/
Pin 5  = Output_5 ;
Pin 6  = Output_6 ;
Pin 7  = Output_7 ;
Pin 8  = Output_8 ;
Pin 9  = Output_9 ;
Pin 10 = Output_10;
Pin 11 = Output_11;

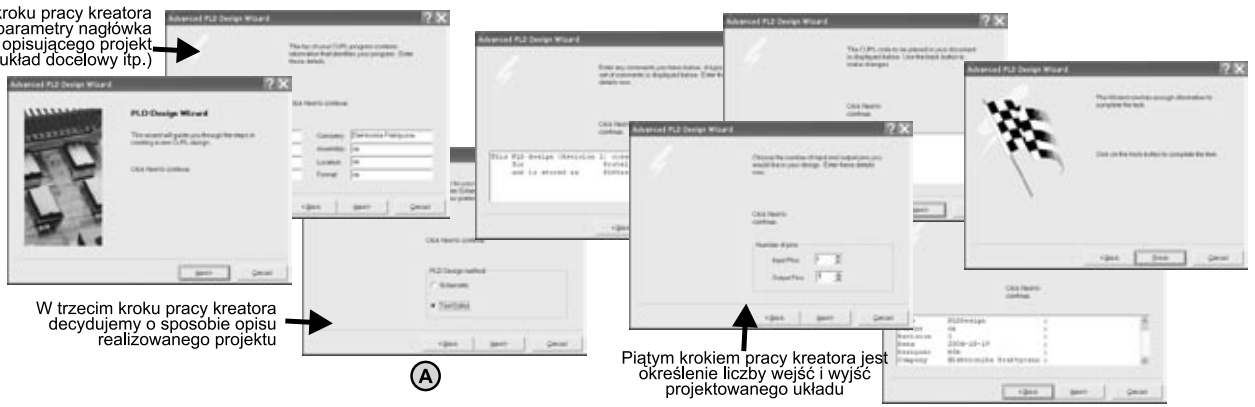
/** Declarations and Intermediate Variables
**/

/** Logic Equations **/
```

Uniwersalne narzędzie

Protel 99SE umożliwia realizację projektów w układach PLD pochodzących od różnych producentów. W sumie do dyspozycji projektantów jest ponad 200 różnych typów układów PLD, począwszy od pamięci PROM, aż po układy CPLD i FPGA różnych producentów.

W drugim kroku pracy kreatora podajemy parametry nagłówka pliku opisującego projekt (jego nazwę, układ docelowy itp.)



W trzecim kroku pracy kreatora decydujemy o sposobie opisu realizowanego projektu

Piątym krokiem pracy kreatora jest określenie liczby wejść i wyjść projektowanego układu

Rys. 48

Na skróty, ku wygodzie!
Przykładowe symbole biblioteczne, funkcjonalne odpowiedniki układów TTL

<p>X74_L85</p> <p>AGBI, AEBI, ALBI, A0, A1, A2, A3, B0, B1, B2, B3</p>	<p>X74_195</p> <p>A, B, C, D, J, K, S, L, CK, CLR</p> <p>QA, QB, QC, QD, QDB</p>	<p>X74_42</p> <p>A, B, C, D, Y0, Y1, Y2, Y3, Y4, Y5, Y6, Y7, Y8, Y9</p>	<p>X74_161</p> <p>A, B, C, D, LOAD, ENP, ENT, CK, CLR</p> <p>QA, QB, QC, QD, RCO</p>
--	--	---	--

Standardowo Protel 99SE jest wyposażony w bibliotekę symboli służących do projektowania układów PLD, wśród których są dostępne m.in. wygodne w stosowaniu wybrane odpowiedniki funkcjonalne układów TTL.

Układ wirtualny

Projektanci korzystający z CUPL-a mogą realizować projekty na układy wirtualne (virtual device), które są pozbawione ograniczeń charakterystycznych dla układów rzeczywistych (jak choćby liczba termów matrycy OR, maksymalna liczba wejść bramek AND w matrycy programowalnej, przypisanie sygnałów globalnych zegarowych itp.).

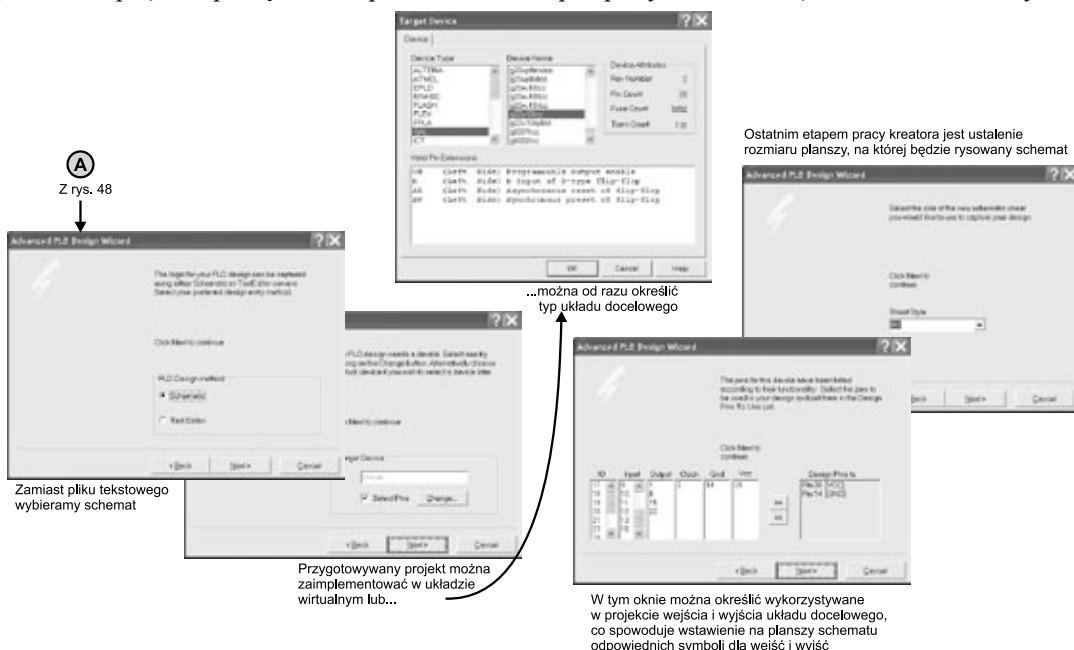
W wyniku działania kreatora powstaje plik tekstowy zawierający podstawowe elementy opisu HDL - uzyskany przykładowy szkielet opisu HDL pokazano na list. 22.

Nieco inaczej wygląda inicjacja projektu, w którym zamiast tekstowego opisu HDL użytkownik chciałby wykorzystać bardziej przyjazny opis schematowy. Na rys. 49 pokazano przebieg ścieżki pracy kreatora projektu począc

szy od chwili wybrania jako pliku projektowego schematu (punkt oznaczony literą „A” na rys. 48). W zależności od zamiarów, projektant może realizować projekt na układzie wirtualnym, może także wskazać rzeczywisty układ docelowy. Kolejnym krokiem jest określenie wykorzystywanych w projekcie linii wejściowych i wyjściowych (muszą się one znaleźć w okienku *Design Pins to* w przedostatnim etapie pracy kreatora,

pokazanym na rys. 49), co zaowocuje automatycznym wprowadzeniem na planszę schematu odpowiednich symboli. Można je oczywiście później modyfikować, ale warto (zwłaszcza przy pierwszych projektach) poświęcić chwilę na podanie tych parametrów - uprości to dalsze prace nad projektem.

Na tym, w zasadzie, kończy się praca kreatora projektu. Jej efektem jest schemat elektryczny, na którym



A
Z rys. 48

Zamiast pliku tekstowego wybieramy schemat

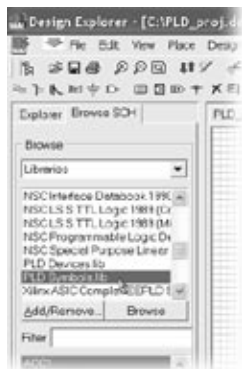
Przygotowywany projekt można zaimplementować w układzie wirtualnym lub...

...można od razu określić typ układu docelowego

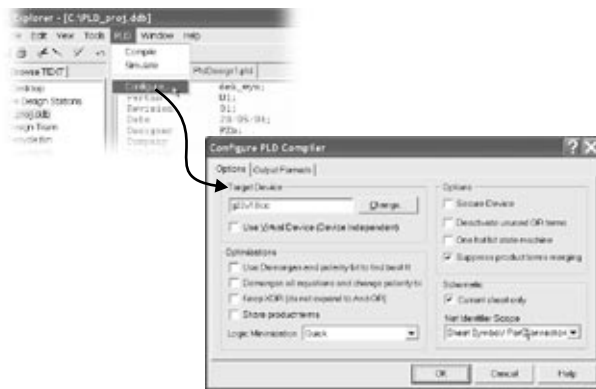
Ostatnim etapem pracy kreatora jest ustalenie rozmiaru planszy, na której będzie rysowany schemat

W tym oknie można określić wykorzystywane w projekcie wejścia i wyjścia układu docelowego, co spowoduje wstawienie na planszę schematu odpowiednich symboli dla wejść i wyjść

Rys. 49



Rys. 50



Rys. 51

są umieszczone symbole wejść i wyjść (zgodnie z opisem podanym przez użytkownika) oraz symbole zasilania (które jednak do niczego nie służą i można jej usunąć z planszy).

Biblioteki PLD dla edytora schematów

Protel 99SE wyposażono w bibliotekę symboli (dla edytora schematów) elementów logicznych przygotowanych z myślą o realizacji projektów na układach PLD. Biblioteka o nazwie *PLD Symbols.lib* (rys. 50) jest przechowywana w pliku *PLD.ddb* i zawiera, oprócz

podstawowych funkcyj logicznych (jak m.in. porty wejściowe, wyjściowe i dwukierunkowe, bramki AND, OR, NOR, NOT itp.) wiele „makrofunkcyj”, będących odpowiednikami układów TTL. Symbole te są oznaczane w następujący sposób:

X74_aaa,

gdzie *aaa* oznacza dwu- lub trzycyfrowy symbol zaczerpnięty z oznaczenia układu TTL. Przykładowo symbol X74_42 odpowiada funkcjonalnie dekodero- wi 7442, a symbol X74_151 odpowiada funkcjonalnie multiplexerowi 74151.

Kompilacja projektu

Kompilator wbudowany w Protela 99SE w większości przypadków nie wymaga konfiguracji - domyślne nastawy zazwyczaj umożliwiają poprawną kompilację opisu HDL. Warto jednak zdawać sobie sprawę z możliwości zmodyfikowania parametrów syntezy logicznej, co w pewnych sytuacjach (na przykład niewystarczającej liczby termów wejściowych makrokomórki) może mieć decydujący wpływ na jakość implementacji projektu.

Okno konfiguracji kompilatora jest wyświetlane po wybraniu w menu opcji *PLD>Configure* (rys. 51). Domyślnie jest wyświetlana zakładka *Options*, na której można ustalić typ docelowego układu PLD (*Target Device*, ewentualnie *Use Virtual Device*), określić sposób optymalizacji opisu HDL i kodowania stanów automatów i wybrać algorytm minimalizacji opisu (*Logic Minimization*). W większości przypadków nie ma jednak konieczności modyfikowania ustawień dostępnych na tej zakładce. Druga z zakładek okna *Configure PLD Compiler* (rys. 52) służy do ustalenia

UWAGA! Posiadacze oscyloskopów radzieckich.

AVT w pierwszej połowie lat 90 wprowadziło na rynek krajowy duże ilości oscyloskopów i mierników produkowanych na Litwie i terytorium byłego Związku Radzieckiego. Wprawdzie dawno już minęły wszelkie terminy gwarancyjne, ale otrzymujemy ciągle zapytania o możliwość napraw, lub dostawy części zamiennych. Wszystkim, którzy przestali używać, lub posiadają taki sprzęt uszkodzony pragniemy zaproponować odkupienie go przez AVT. Za sprzęt dostarczony do siedziby AVT płacimy, w zależności od stanu technicznego następujące ceny:

oscyloskopy		mierniki	
C1-94	- 30 do 50 zł	R4-37/1	- 100 do 200 zł
C1-112A	- 40 do 70 zł	R4-38	- 100 do 160 zł
C1-131	- 70 do 100 zł	R4-83	- 200 do 350 zł
C1-122	- 80 do 120 zł		
C1-126	- 90 do 140 zł		
C1-127	- 90 do 140 zł		
C1-137	- 60 do 100 zł		

Kontakt z Działem Handlowym AVT-Korporacja
 tel. 568 99 50 fax 568 99 55
 e-mail handlowy@avt.com.pl

WOLTOMIERZE PANELOWE

- Wyświetlacz 3,5 cyfry
- Czulość: 200 mV
- Dokładność: +/- 0.5 %
- Automatyczna detekcja polaryzacji
- Impedancja wejściowa: >100 MW
- Napięcie zasilania: 9 VDC



Detaliczna sprzedaż wysyłkowa.
 Zamówienia przyjmuje Dział Handlowy AVT, 01-939 Warszawa, ul. Burleska 9
 tel.: (22) 568 99 50, fax: (22) 568 99 55, e-mail: handlowy@avt.com.pl

www.sklep.avt.com.pl

GURU CONTROL SYSTEMS ul. Słomińskiego 1, 00-204 Warszawa
 tel./fax.: (0-22) 831-10-42, GSM: 0-602 262 230
 e-mail: info@guru.com.pl www.guru.com.pl

KOMPUTERY PRZEMYSŁOWE (IPC)

- monitory LCD, ekrany dotykowe
- klawiatury pyłoszczelne, zasilacze
- obudowy przemysłowe, panele operatorskie, magistrale pasywne
- komputery jednopłytkowe (SBC)
- karty ISA i PCI we-wy analogowych i cyfrowych, mikro-moduły PC/104
- adaptory i karty wieloportowe RS-232/422/485, karty IEEE-488

Inteligentne moduły pomiarowo-sterujące I-7000

- we-wy cyfrowe, analogowe, licznikowe, przekaźnikowe, termoparowe, RTD; łatwe programowanie rozkazami ASCII
- łączenie w sieci do 2048 modułów (256 bez repeatera)
- komunikacja 2-przewodowa RS-485 do 115200 bps, obsługa całej sieci modułów jednym portem RS-232 z komputera PC lub modułu mikrokomputera I-7188, montaż na szynie DIN
- różne prędkości transmisji i formaty danych w jednej sieci
- zasilanie od 10 do 30V DC, izolacja 3000V, watch-dog lokalny, watch-dog sieciowy, stan bezpieczny wyjście
- wyświetlacz LCD z klawiaturą, terminale dotykowe, radiomodemy, zasilacze, obudowy, oprogramowanie

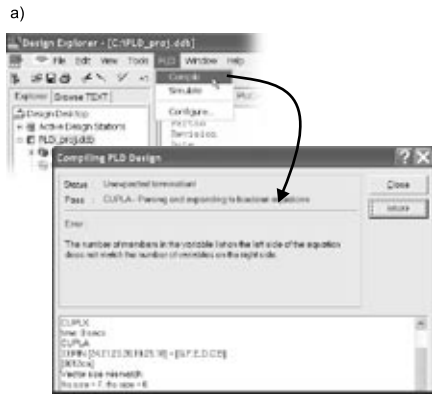
EUROCARD - profesjonalny standard przemysłowy:

- niezawodne połączenie z magistralą typu gniazdo-wtyk 96 stykowy
- karty zamocowane wzdłuż 4 boków
- znakomite chłodzenie - swobodny przepływ powietrza z dołu do góry
- wygodny serwis i rekonfiguracja - wymiana kart i zasilaczy bez wyjmowania obudowy z szafy i jej rozkręcania
- dostęp do wszystkich złączy obiektowych, przelazników, sygnalizatorów - od przodu

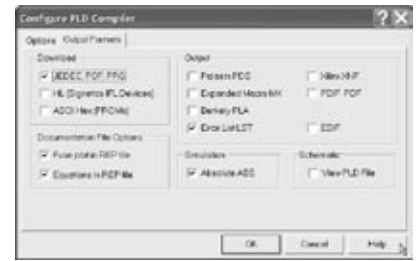
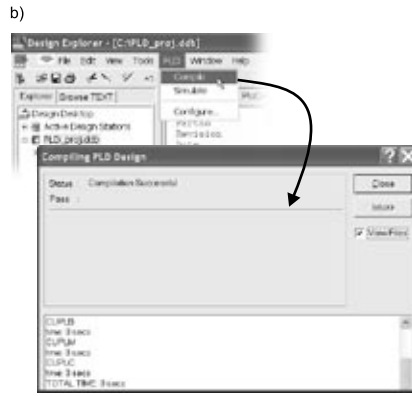
Oferujemy w standardzie EURO:

- ✓ komputery IPC 486, sterowniki
- ✓ karty procesorów i komputerów jednopłytkowych 80C52, 80C186, 486
- ✓ izolowane karty: we-wy cyfrowych, analogowych, liczników rewersyjnych,
- ✓ wielokanałowe interfejsy pętli prądowej,
- ✓ koncentratory interfejsów pętli prądowej,
- ✓ kasety, magistrale, zasilacze, adaptory sygnałów analogowych
- ✓ projekty i dostawy kart w/w wymagań Klienta

projektowanie, wdrożenia, produkcja



Rys. 53



Rys. 54

dżera projektu będzie zaznaczony inny plik, niż ten, który zawiera opis HDL!

Wynikiem pracy symulatora jest między innymi plik *.so, który ma postać tekstową (podobnie jak w WinCUPL-u i innych mutacjach CUPL-a), ale w przypadku zainstalowania Protele 99SE z serwerem *Waveform Display*, wyniki symulacji są prezentowane w postaci przebiegów (rys. 55). Należy pamiętać, że prezentowana przez symulator skala czasu nie ma odzwierciedlenia w rzeczywistości!

Warto wziąć także pod uwagę, że pomimo deklarowanej przez producenta możliwości edycji przebiegów ilustrujących działanie układu (są one wyświetlane przecież w systemowym edytorze przebiegów), ich modyfikacja i poprawne przechowywanie w pliku projektu *.ddb jest (a raczej bywa) możliwe w wersjach z zainstalowanym *Service Packiem 6*. Piszę „bywa”, ponieważ Protel 99SE z SP6 po zainstalowaniu na dwóch komputerach zachowuje się - bez wyraźnej przyczyny - odmiennie. Stąd zachęta do przyjęcia zasady, że modyfikacje wektorów pobudzeń i odpowiedzi należy przeprowadzać w pliku *.si, a edytorowi przebiegów pozostawić wyłącznie funkcję przeglądarki.

Piotr Zbysiński, EP
 piotr.zbysinski@ep.com.pl

Symulacja i oś czasu

Symulator układów PLD wbudowany w Protela 99SE jest symulatorem funkcjonalnym, nie ma więc możliwości zweryfikowania wpływu parametrów czasowych układów docelowych na ich działanie w fizycznym urządzeniu.

jakie pliki będą tworzone podczas pracy kompilatora, za pomocą dostępnych ustawień można także skonfigurować zawartość pliku raportu z kompilacji. W przypadku kompilowania schematu zawierającego opis projektu można uaktywnić automatyczny podgląd pliku HDL (opcja *Schematic, View PLD File*), który zawiera tekstowy opis schematu.

Po skonfigurowaniu kompilatora możemy podjąć próbę skompilowania projektu. W tym celu w menu wybieramy opcję: *PLD>Compile*, co powoduje natychmiastowe uruchomienie kompilatora. W zależności od przebiegu kompilacji, wyświetlone okno zawiera informacje o wykrytych błędach (rys. 53a) lub o pomyślnym zakończeniu kompilacji (rys. 53b).

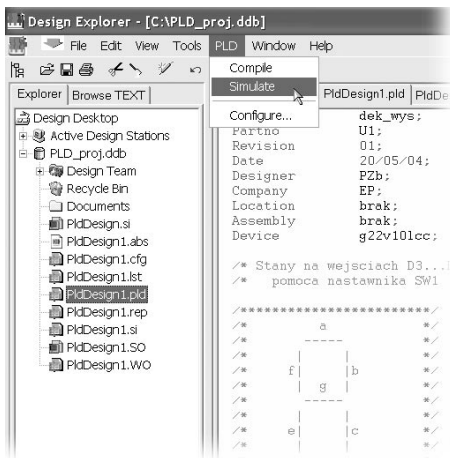
Kolejnym krokiem realizacji projektu jest jego symulacja. Protel 99SE wyposażono w niezły symulator funkcjonalny, za pomocą którego można wiarygodnie zweryfikować uzyskane wyniki.

Symulacja projektu

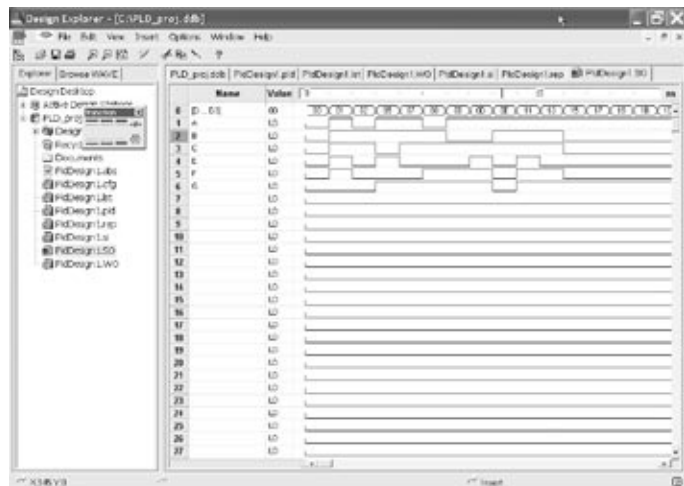
Do symulacji projektu opisanego w CUPL-u niezbędny jest plik *.si, zawierający wektory pobudzeń oraz (opcjonalnie) odpowiedzi. Jest to taki sam plik jak w przypadku wszystkich innych wersji CUPL-a. Nazwa pliku *.si musi być identyczna jak nazwa projektu!

Do symulacji niezbędny jest jeszcze drugi plik - o rozszerzeniu *.abs - uzyskiwany podczas kompilacji (w zakładce *Output Formats* okna *Configure PLD Compiler* należy zaznaczyć opcję *Simulation, Absolute ABS*).

Te dwa pliki umożliwiają przeprowadzenie symulacji. Jej uruchomienie wymaga wskazania w oknie menadżera projektów pliku *.pld lub *.sch (w zależności od przyjętego sposobu opisanie projektu) i wybrania w menu opcji *PLD>Simulate* (rys. 54). Należy pamiętać, że symulacja nie zostanie przeprowadzona, jeżeli w oknie menadżera



Rys. 55



Rys. 56