

Przekazanie technologii wytwarzania elementów półprzewodnikowych przez Mitsubishi Electric i Hitachi firmie Renesas Technology Corporation dokonane 1 kwietnia 2003 roku nie było bynajmniej dowcipem primaaprilisowym. Od tej daty takie podzespoły jak: mikrokontrolery, układy logiczne, układy analogowe, niektóre rodzaje pamięci, a także elementy dyskretne produkowane przez dwie pierwsze firmy oznaczone są nowym znakiem towarowym.



Mimo, że przekazanie technologii jest już faktem, użytkownicy zapewne długo jeszcze będą kojarzyć niektóre wyroby ze starymi producentami. Mikrokontrolery produkowane do tej pory przez firmę Hitachi nie zdobyły w Polsce chyba zbyt dużej popularności, lecz z pewnością znajdują się u nas konstruktorzy bardzo przywiązani do tej marki.

16-bitowce rodem z Renesas

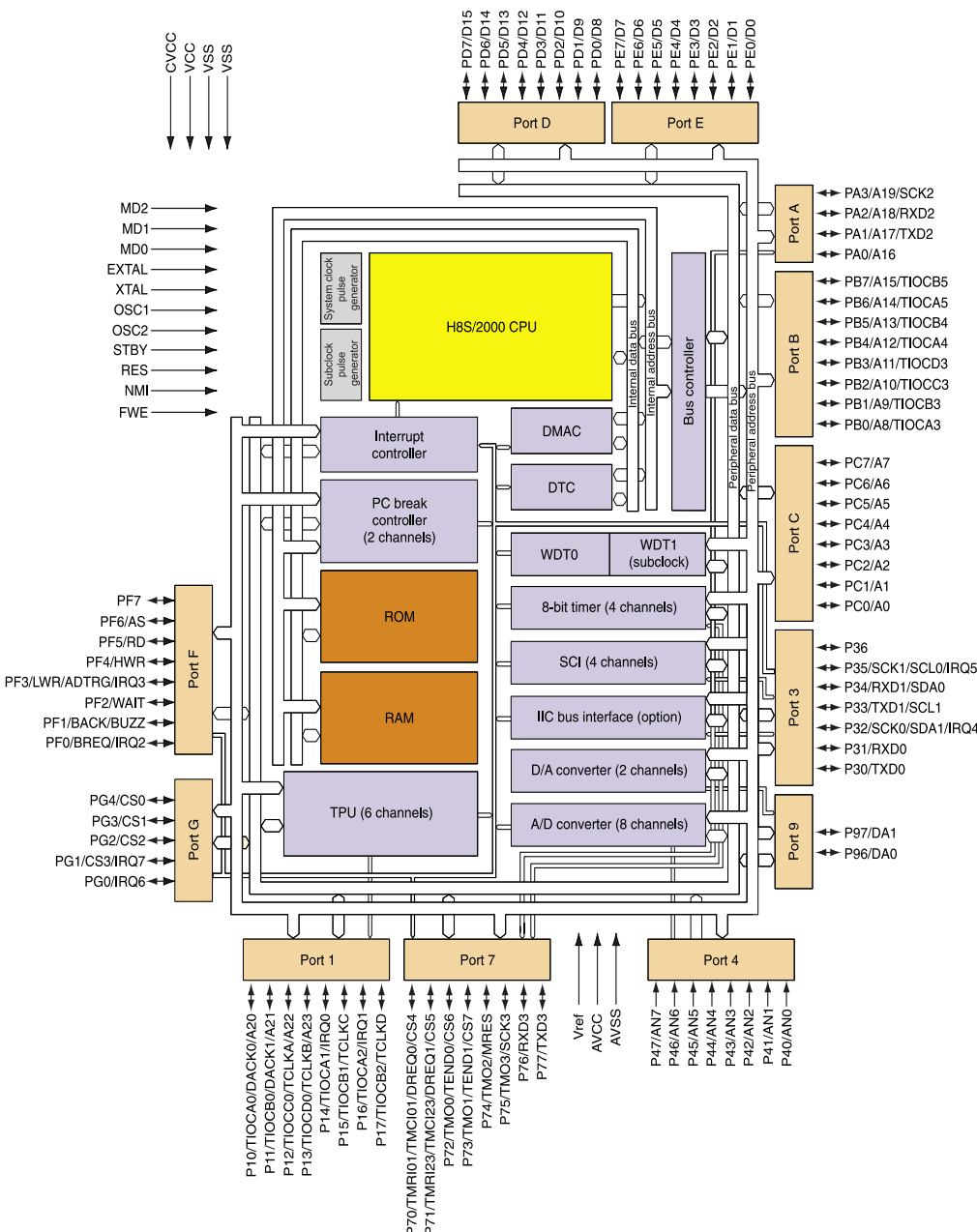
Tab. 1. Zestawienie bloków funkcjonalnych układu H8S/2239

Nazwa bloku	Liczba	
16-bitowy kontroler szyny (BSC)	1	
Kontroler transferu danych (DTC)	1	
Kontroler DMA (DMAC)	1	
Kontroler tzw. PC Break (PBC)	2	
16-bitowa impulsowa jednostka czasowa (TPU)	6	
16-bitowy timer (TMR)	4	
Watchdog	2	
Interfejs komunikacji szeregowej (SCI)	4	
Interfejs I ² C	2 (opcja)	
Przetwornik cyfrowo-analogowy	2	
Przetwornik analogowo-cyfrowy	8	
Pamięć	Flash	384 kB
	RAM	32 kB

Wielu z nich twierdzi, że są to elementy niezastąpione w pewnych zastosowaniach. Byłbym ostrożny z wygłaszaniem takich opinii, nie mniej jednak te głosy świadczą o głębokim zaufaniu zarówno do samych podzespołów, jak i do narzędzi uruchomieniowych dostępnych dla nich. Przyjrzyjmy się zatem rodzinie H8S. Jej praktyczne poznanie ułatwi nam specjalnie do tego celu zaprojektowana płytki demonstracyjna Demoboard 2239.

Budowa rdzenia H8S/2200

Nazwa płytki demonstracyjnej sugeruje, że będziemy mieli do czynienia z mikrokontrolerem H8S/2239 – przedstawicielem rodziny H8S/2200. I tak jest w rzeczywistości, przy czym producent nazywa ten układ 16-bitowym mikrokomputerem jednoukładowym. Tak czy inaczej na pewno warto go poznać bliżej. W **tab. 1** przedstawiono ważniejsze bloki funkcjonalne układu, a na **rys. 1** widnieje jego wewnętrzny schemat blokowy. Układy rodziny H8S/2200 są zbudowane w oparciu o ten sam rdzeń, a różnice między poszczególnymi typami wynikają z liczby zaimplementowanych komponentów. Niektóre z nich w pewnych wersjach mogą w ogóle nie występować. Jednostka centralna H8S/2000 posiada 32-bitową architekturę wewnętrzną, przy czym rejestry robocze (jest ich 16) są 16-bitowe. Można je jednak wykorzystywać również w trybie 16 rejestrów 8-bitowych lub 8 rejestrów 32-bitowych. CPU może adresować 16 MB przestrzeń liniową (zarówno dla danych, jak i dla programu). Jednostka centralna obsługuje 65 rozkazów, wśród których są 8-, 16- i 32-bitowe rozkazy arytmetyczne i logiczne, rozkazy mnożenia i dzielenia, a także bardzo wydajne rozkazy operacji bitowych. Dostępnych jest osiem trybów adresowania: adresowanie rejestrów – bezpośrednie, pośrednie, pośrednie z przemieszczeniem, pośrednie z post-inkrementacją i pre-dekrementacją, a także adresowanie absolutne, bezpośrednie, relatywne względem licznika rozkazów oraz pośrednie adresowanie pamięci. Większość najczęściej używanych rozkazów procesor wykonuje w jednym lub dwóch cyklach (stanach).



Rys. 1. Schemat blokowy procesora rodziny H8S/2239

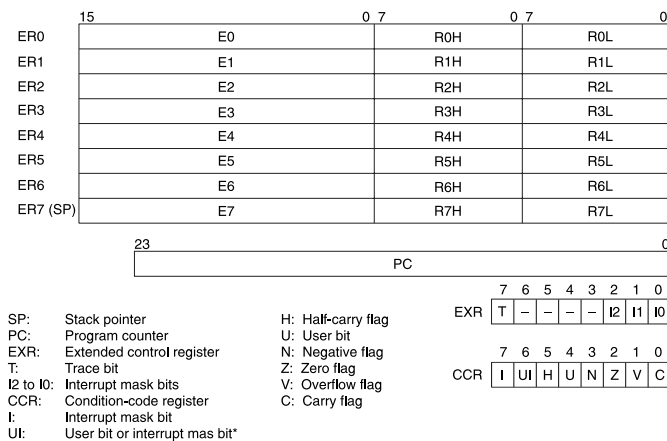
Wyjątkiem są rozkazy mnożenia i dzielenia, które mogą wymagać aż 20 stanów. System zarządzania mocą pozwala wprowadzić CPU w stan uśpienia – *power-down*, można również ustawiać szybkość pracy zegara systemowego. W zależności od założeń aplikacji, dla której projektowany jest system, konstruktor powinien zdecydować się na zastosowanie jednego z dwóch możliwych trybów pracy CPU. Są to tryby: *normal* i *advanced*. Pierwszy z nich powinien być wykorzystywany wtedy, gdy przewiduje się jedynie 64 kB przestrzeni adresowej. Pełne możliwości, o których była mowa wyżej, uzyskuje się zaś w trybie *advanced*. Ciekawostką jest to, że lista rozkazów jest wspólna dla obu trybów pracy. W trybie *normal* trzeba pamiętać, że we wszystkich wyrażeniach adresowych istotnych jest tylko 16 najmłodszych bitów. Niewielkie różnice w pracy CPU objawiają się podczas wykonywania skoków pośrednich, w dostępie do tzw. *Exception Vector Table* oraz w strukturze stosu.

Na rys. 2 przedstawiono strukturę rejestrów jednostki centralnej H8S/2000. Jak widać, można tu wyróżnić dwa typy rejestrów: ogólnego przeznaczenia i sterujące. Rejestry sterujące to 24-bitowy licznik programu (PC – *Program Counter*), 8-bitowy rozszerzony rejestr sterujący (ECR – *Extended Control Register*) i 8-bitowy rejestr warunków (CCR – *Condition Code Register*). W zależności od sposobu wykorzystania danego rejestru lub pary rejestrów zmieniają się ich oznaczenia. Na przykład, gdy wykorzystujemy je jako rejestry 32-bitowe lub adresowe, będziemy stosować oznaczenia ER0 – ER7, gdy używamy ich jako 16-bitowe rejestry

robocze, to będą się nazywały E0 – E7. Analogicznie podczas traktowania ich jako 8-bitowe rejestry robocze będziemy oznaczać je RH0 – RH7 i RL0 do RL7. Sposób traktowania każdego rejestru jest niezależny, trzeba jednak pamiętać, że rejestr ER7 pełni funkcję wskaźnika stosu, jest więc praktycznie wyłączony dla użytkownika, trudno bowiem wyobrazić sobie program niewykorzystujący stosu.

Jednostka centralna H8S/2000 udostępnia programiście atrakcyjne formaty danych, przydatne w zależności od wykonywanych operacji. Mogą być one traktowane jako 1-bitowe, 4-bitowe (BCD), 8-bitowe (bajt), 16-bitowe (słowo), 32-bitowe (długie słowo). Dane bitowe operują na pojedynczych bitach danej 8-bitowej, natomiast rozkazy DAA i DAS traktują daną bajtową jako dwie cyfry BCD. Powyższe formaty obowiązują zarówno dla danych przechowywanych w rejestrach procesora, jak i zapisanych w pamięci RAM. W drugim przypadku ograniczeniem jest to, aby dane 16- i 32-bitowe były umieszczane w parzystych adresach.

Na podstawie wyżej przedstawionych parametrów można spodziewać się, że układy rodziny H8S/2000 są przeznaczone raczej do poważnych aplikacji, w których otoczenie procesora najczęściej będzie dość rozbudowane. Od jednostki centralnej będzie wymagana efektywna obsługa wielu zewnętrznych urządzeń we/wy oraz wewnętrznych bloków funkcjonalnych. Takim wymaganiom będzie mógł sprostać jedynie system wykorzystujący przerwania. Na skuteczność jego pracy będą miały wpływ zarówno umiejętnie napisane procedury obsługi, jak i część sprzętowa – tzw. kontroler



Rys. 2. Struktura rejestrów jednostki centralnej H8S/2000

przerwań, który w omawianej rodzinie stanowi dość rozbudowany blok wewnętrzny. Będziemy mieli oczywiście do czynienia z systemem priorytetowym, sterowanym poprzez rejestr IPR (*Interrupt Priority Register*). Każdemu modułowi działającemu w systemie przerwań można przypisać jeden z ośmiu poziomów priorytetów. Nie dotyczy to oczywiście przerwania niemaskowalnego NMI. NMI posiada zawsze najwyższy priorytet i jest dostępny w każdej chwili, niezależnie od stanu CPU i ustawienia bitów w rejestrze IER (*Interrupt Enable Register*). Sposób działania systemu przerwań jest określony odpowiednim wpisem do rejestru sterującego SYSCR (*System Control Register*). Możliwe są dwa tryby pracy. W trybie 0 przyjęcie przerwania odbywa się jedynie na podstawie odpowiedniego bitu żądania obsługi. W trybie 2 dodatkowo jest analizowany stan rejestru IPR. Jeśli priorytet danego przerwania ustawiony w rejestrze IPR jest większy od poziomu maskowania danego przerwania, to CPU przechodzi do odpowiedniej procedury obsługi. Poprzez odpowiednie manipulowanie wpisami do rejestru IPR można realizować bardzo wydajny system ze zmiennymi priorytetami. Taka metoda pozwala uniknąć sytuacji, w której jedno z urządzeń

zablokuje pracę systemu np. przez zbyt częste generowanie przerwań. Innymi słowy, obsłużone urządzenie spada na koniec kolejki i czeka cierpliwie, aż ponownie przyjdzie na nie czas. Wiąże się to oczywiście z pewnymi konsekwencjami, ale niekiedy jest jedynym możliwym wyjściem z sytuacji. Każde źródło przerwania ma przypisany niezależny wektor, pod którym jest umieszczana odpowiednia procedura obsługi. Skok do tej procedury następuje automatycznie po przyjęciu żądania obsługi przez kontroler przerwań. Zgłoszenie przerwania może być realizowane zboczem narastającym lub opadającym, a także poziomem. Odpowiednia konfiguracja jest ustawiana niezależnie dla każdego wejścia IRQ0 do IRQ7 i NMI.

Jedną z ciekawszych cech procesorów H8S/2000 jest możliwość zatrzymania licznika programu, niezwykle przydatna podczas debugowania programów. Pozwala ona na tworzenie autonomicznych debugerów, dzięki którym zbędne staje się stosowanie zewnętrznych emulatorów sprzętowych. Można wykorzystywać 24-bitowe adresy zatrzymań w dwóch kanałach, przy czym do określania odpowiednich warunków dostępne są operacje bitowe na adresach. Do wstrzymania pra-

cy CPU wykorzystuje się cztery typy warunków porównania: pobranie rozkazu, czytanie danych, zapis danych lub czytanie/zapis danych. Jeśli odpowiednie parametry odpowiadają ustawionym wcześniej wartościom, to następuje zatrzymanie pracy CPU.

Wiadomo, że o wydajności systemu decyduje zawsze jego najniższe ogniwo. W przypadku urządzeń mikroprocesorowych ogniwem tym może być osiągnięta szybkość transferu danych pomiędzy poszczególnymi blokami funkcjonalnymi procesora oraz urządzeniami zewnętrznymi. Aby usprawnić ten element, w układach rodziny H8S/2000 zastosowano odpowiedni kontroler szyny (*Bus Controller*). Blok ten zarządza zewnętrzną przestrzenią adresową, dzieląc ją na osiem 2 MB obszarów. Pełni również funkcje arbitrażu szyny i steruje operacjami wykorzystującymi szynę wewnętrzną – komunikacja pomiędzy CPU, DMA (DMAC) i DTC (*Data Transfer Controller*). Parametry szyny mogą być ustawiane niezależnie dla każdego z ośmiu obszarów. Z zagadnieniem transferu danych pomiędzy poszczególnymi blokami systemu wiąże się również układ DMA. W układzie H8S/2239 zastosowano jego 4-kanałową wersję. DMA może pracować w trybie pojedynczym lub podwójnym, wykorzystując adresowanie skrócone lub pełne. W trybie podwójnym jeden z dwóch adresów (źródła i przeznaczenia) jest 24-bitowy, drugi natomiast 16-bitowy. W trybie pojedynczym obydwie adresy są 24-bitowe. Kontroler DMA pozwala zdefiniować jednostkę transferu danych. Może to być bajt lub słowo. Kolejnym ważnym układem usprawniającym wymianę danych jest DTA (*Data Transfer*

Controller). Układ realizuje transmisję danych w trybie normalnym, blokowym oraz transmisję z powtórzeniami. Operuje na 16 MB przestrzeni adresowej, wykorzystując podobnie jak DMA bajt lub słowo jako jednostkę transferu.

Jak widać z rys. 1, procesory rodziny H8S/2000 są bogato wyposażone w porty zewnętrzne. Mogą być one bardzo wygodnie skonfigurowane jako wyjściowe lub wejściowe za pomocą rejestrów DDR (*Data Direction Register*), przy czym rozdzielone są rejestry wyjściowe (PORT) i wyjściowe (DR). Porty posiadają wbudowane wejściowe, MOS-owe układy podciągające typu pull-up. Ich konfiguracja odbywa się poprzez specjalny rejestr PCR. Porty 3 i A współpracują z rejestrem ODR (*Open-drain Control Register*). Każde wyprowadzenie może sterować jedną standardową bramką TTL przy dopuszczalnej pojemności 30 pF. Wyprowadzenia P34 i P35 portu 3 mają wyjścia NMOS typu push-pull. W układach rodziny H8S/2000, podobnie jak ma to miejsce w większości mikrokontrolerów, konstruktor może decydować o ich ogólnym zastosowaniu lub wybraniu przypisanych na sztywno funkcji alternatywnych. I tak na przykład Port 1 może być użyty jako uniwersalny port we/wy, ale w przypadku wykorzystywania przerwań zewnętrznych część jego wyprowadzeń stanowi wejścia zgłoszenia przerwań \IRQ0 i \IRQ1, zaś inne wyprowadzenia są wykorzystywane przez TPU i DMAC. Przypisanie wyprowadzeń pozostałych portów jest przedstawione na schemacie blokowym (rys. 1), a szczegóły można znaleźć w dokumentacji technicznej.

W większości urządzeń zbudowanych w oparciu

o system mikroprocesorowy zachodzi potrzeba odmierzenia czasu. Procesory rodziny H8S/2000 zawierają bardzo wydajny blok funkcjonalny, niezwykle ułatwiający konstruktorowi tworzenie odpowiednich procedur. Jest to TPU (*Timer Pulse Unit*), czyli zestaw sześciu 16-bitowych timerów (w procesorze H8S/2227 tylko 3). Każdy kanał (timer – taką nomenklaturę przyjęła firma Hitachi) można ustawić w najbardziej odpowiednim dla danego zastosowania trybie pracy. Wiele z nich znamy z popularnych mikrokontrolerów, jak na przykład funkcję wejściowego przechwytywania czy automatycznego wyzwiania konwersji przetwornika A/D, ale mamy też nieczęsto spotykane operacje synchroniczne na wielu kanałach. Na uwagę zasługuje również 15-fazowy PWM możliwy dzięki operacjom synchronicznym oraz możliwość kaskadowego łączenia kanałów. O rozbudowanych możliwościach TPU świadczy fakt, że jest on źródłem aż 26 przerw. Efektywne wykorzystywanie tego komponentu wymaga sporego doświadczenia od konstruktora, w prostszych sytuacjach wystarczające może się okazać zastosowanie 4-kanałowego timera 8-bitowego. Może on pracować np. jako licznik zdarzeń zewnętrznych lub jako wielofunkcyjny układ czasowy. Posiada wewnętrzny prescaler o stopniach podziału: 3, 64 i 8192. Mimo prostszej budowy niż TPU, timer ten może również pracować w takich trybach jak *compare-match* lub PWM, a także sterować przetwornikiem A/D. I w tym przypadku możliwe jest również kaskadowe łączenie dwóch kanałów. Oprócz opisanych wyżej układów czasowych, w procesory rodziny H8S/

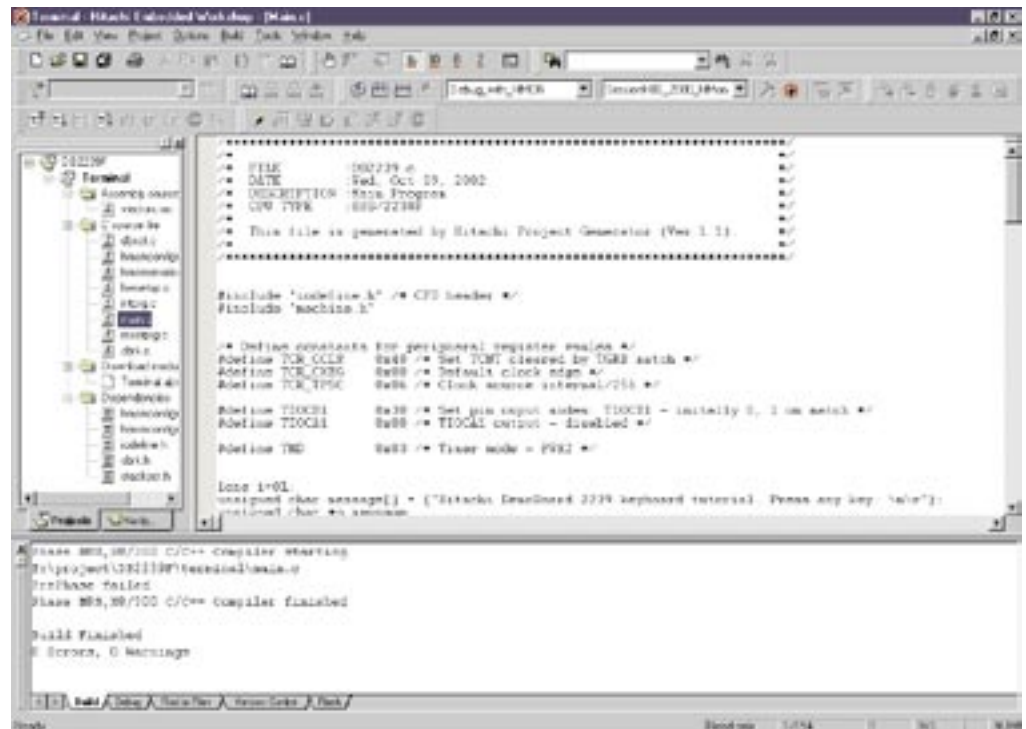
2000 wbudowano również 8-bitowy, podwójny timer typu watchdog, generujący sygnał zerowania CPU po osiągnięciu stanu przepelnienia. Jeśli nie ma potrzeby stosowania takich zabezpieczeń w systemie, układ ten może pracować jako timer interwałów.

Procesory H8S/2000 mogą się komunikować z otoczeniem poprzez interfejs szeregowy SCI (*Serial Communication Interface*) lub poprzez dobrze znany interfejs I²C (ten interfejs występuje jako opcja w układach oznakowanych literą W). SCI umożliwia prowadzenie transmisji zarówno asynchronicznej, jak i synchronicznej. Obsługuje również karty Smart Card (ISO/IEC 7816-3). W zależności od typu procesora dostępne są 4 lub 3 kanały transmisyjne. Transmisja może być prowadzona w trybie *full-duplex*. Nadajnik i odbiornik jest wyposażony w podwójny bufor, co znacznie podnosi pewność prowadzenia ciągłej transmisji w obu kierunkach. Transmisyjna podstawa czasu może być wytwarzana przez wbudowany wewnętrzny generator lub z wykorzystaniem zegara zewnętrznego (nie dotyczy obsługi karty Smart Card). Interfejs szeregowy współpracuje oczywiście z systemem przerw. Wykrywane są typowe błędy transmisji, takie jak: błąd parzystości, naczytania i błąd ramki. Ramka może się składać z danej 7- lub 8-bitowej, 1 lub 2 bitów stopu oraz bitu parzystości lub nieparzystości, bitu tego można również nie stosować. Średnia prędkość transmisji może wynosić 720, 460784, lub 115192 kb/s dla rezonatora 16 MHz.

Zaimplementowany opcjonalnie w niektórych układach rodziny H8S/2000 interfejs I²C jest zgodny ze specyfikacją Philipsa.

Może być on wykorzystywany jedynie w przypadku, gdy napięcie zasilające jest większe niż 2,7 V. Transmisja może być prowadzona w trybie master oraz slave. W pierwszym przypadku sekwencje startu i stopu są generowane automatycznie. Układ może generować sygnał żądania wstrzymania transmisji, który jest „zdejmowany” po osiągnięciu gotowości do pracy. Interfejs I²C jest źródłem trzech przerwań.

Ostatnimi z omawianych bloków są przetworniki analogowo-cyfrowe i cyfrowo-analogowe. W układach rodziny H8S/2000 zaimplementowano 8-kanalowy, 10-bitowy przetwornik A/D działający na zasadzie kolejnych przybliżeń. Czas konwersji dla każdego kanału przy kwarcu 13,5 MHz wynosi 9,6 μs. Przetwornik może pracować w trybie pojedynczej konwersji lub w trybie skanowania – ciągle wyzwalanie 1 do 4 kanałów. Wyzwalanie przetworników może nastąpić na skutek wykonania odpowiedniego polecenia programowego, wytworzenia impulsu wyzwalającego przez TPU oraz sygnałem zewnętrznym. Zakończenie konwersji jest sygnalizowane odpowiednim przerwaniem. Przetwornik współpracuje z wbudowanym układem próbkująco-pamiętającym (*sample-and-hold*). Do prawidłowego wykonania konwersji wymagane jest, aby impedancja źródła nie była większa niż 5 kΩ. Jeśli warunek ten nie będzie zachowany, może nie być spełniona gwarantowana dokładność przetwarzania. W przypadku stosowania przetworników A/D i D/A należy zapewnić dostateczną separację układów analogowych i cyfrowych. Wymaga to starannego zaprojektowania obwodu drukowanego, w szczególności odpowiedniego prowadzenia ścieżki zasilającej i masy.



Rys. 3. Okno robocze programu „Hitachi Embedded Workshop”

Wbudowany przetwornik cyfrowo-analogowy ma rozdzielczość 8 bitów i udostępnia dwa niezależne kanały. Czas konwersji jest równy 10 μs. Sygnał wyjściowy może się zmieniać w zakresie od 0 do V_{REF} .

Płytką demonstracyjna Demoboard 2239

Płytką ta umożliwia praktyczne zapoznanie się z możliwościami procesora H8S/2239. Wraz z nią użytkownik dostaje darmowe narzędzia programowe do tworzenia i uruchamiania programów. Ich instalacja jest dość prosta, choć trzeba zachować odpowiednią kolejność wgrzywania programów i service-paków. Firma Renesas nie prowadzi jednak dla nich wsparcia technicznego. Chcąc uzyskać pełny komfort pracy, należy zakupić zestaw EDK2239. Uwaga: płytką jest przystosowana do zasilania napięciem stałym 3V, dołączenie napięcia wyższego niż 3,3 V może spowodować uszkodzenie procesora. Niestety w zestawie nie ma odpowiedniego zasilacza, nie ma też kabla

transmisyjnego umożliwiającego dołączenie płytki do komputera PC. Przed przystąpieniem do prób należy odpowiednio ustawić mikroprzełączniki konfiguracyjne. Dzięki temu możliwe będzie programowanie procesora w układzie oraz debugowanie programu. Pojawienie się napięcia zasilającego jest sygnalizowane diodą świecącą. Za pomocą odpowiednich zworek konfiguruje się sygnał zerowania procesora, przerwania NMI, LED-y użytkownika oraz interfejsy szeregowego. Końcówki portów procesora są wyprowadzone na złącza szpilkowe, użytkownik może więc wykorzystać je ewentualnie w zewnętrznych układach dołączonych do płytki. Jedno z gniazd interfejsu szeregowego służy do debugowania programu, drugie natomiast może być w trakcie prób dowolnie wykorzystane przez użytkownika.

Wraz z płytką testową dostarczany jest CD-ROM z oprogramowaniem narzędziowym: „Hitachi Embedded Workshop” i „Flash Development Toolkit”.

Pierwszy program stanowi zintegrowane środowisko, w którym projektant może przygotować swój projekt począwszy od etapu pisania wersji źródłowych programów, skończywszy na etapie debugowania. Programy mogą być pisane zarówno w assemblerze, jak i w języku C. Przykładowy ekran roboczy przedstawiono na rys. 3. Drugi z programów stanowi wsparcie podczas programowania procesorów.

W niniejszym artykule została zaprezentowana w formie skrótowej rodzina 16-bitowych mikrokontrolerów H8S/2000. Z pewnością wielu Czytelnikom ta ilość informacji nie wystarczy. Do podjęcia jakichkolwiek prób praktycznych niezbędne będzie zapoznanie się ze szczegółami dokumentacji technicznej. Jest ona dostępna na CD-ROM-ie dostarczonym wraz z płytką demonstracyjną lub na stronach internetowych firmy Renesas: <http://www.renesas.com/eng/>
Jarosław Doliński
jaroslaw.dolinski@ep.com.pl