

Turbo 8032 μPSD

...czyli STMicroelectronics przyspiesza: w ofercie firmy pojawiły się nowe, szybsze, 8-bitowce w tradycyjnej architekturze '51 z licznymi dodatkami „na pokładzie”.

Producenci mikrokontrolerów prześcigają się w oferowaniu coraz ciekawszych rozwiązań. Nowe mikrokontrolery z oferty STMicroelectronics – Turbo μPSD – które są rozwinięciem poprzedniej generacji mikrokontrolerów μPSD3200, mają szansę podbić serca konstruktorów i to nie tylko dlatego, że zastosowano w nich rdzeń zgodny z 8051.

Nowe mikrokontrolery wykonano na bazie architektury PSD (Programmable System Device), co oznacza, że w układach zintegrowano nie tylko mikrokontroler, ale także wiele programowanych peryferii. Wszystkie układy μPSD charakteryzują się dwoma niezależnymi pamięciami Flash (o pojemnościach do 256 kB i 32 kB), pamięcią SRAM o pojemności do 32 kB, a także wbudowanym modułem logiki programowalnej z 16 makrokomórkami (do 3000 bramek). Dziś nie ma na rynku innego 8-bitowego mikrokontrolera łączącego w sobie pamięć o tak dużej pojemności, wielu uniwersalnych peryferii i matrycy PLD.

Rodzina Turbo μPSD

Układy z rodziny Turbo μPSD, oznaczone symbolem μPSD3300, wyposażono w rdzeń 8032 taktowany sygnałem zegarowym o częstotliwości 40 MHz (rdzeń 4-taktowy). Rdzeń osiąga wydajność do 10 MIPS i współpracuje z zestawem peryferii, w których skład wchodzi (rys. 1):

- kontroler master/slave magistrali PC,
- interfejs SPI i IrDA,
- 8-kanalowy, 10-bitowy przetwornik A/C,
- sześć 8-bitowych kanałów PWM,
- dwa kanały UART,
- do 46 wejść/wyjść ogólnego zastosowania,
- 16-bitowy licznik-timer PCA (Pro-

- grammable Counter Array),
- dwa timery 16-bitowe i kontroler dwóch zewnętrznych przerwań,
- bloki nadzorujące, takie jak: watchdog i wykrywanie spadku napięcia zasilania.

Duża moc obliczeniowa rdzenia jest osiągnięta dzięki zastosowaniu podręcznej kolejki rozkazów i pamięci skoków (branching cache). Ponadto, istotne korzyści daje wbudowany interfejs programowania w układzie JTAG, który prócz programowania, umożliwi również emulację, eliminując potrzebę stosowania zewnętrznego emulatora sprzętowego (ICE).

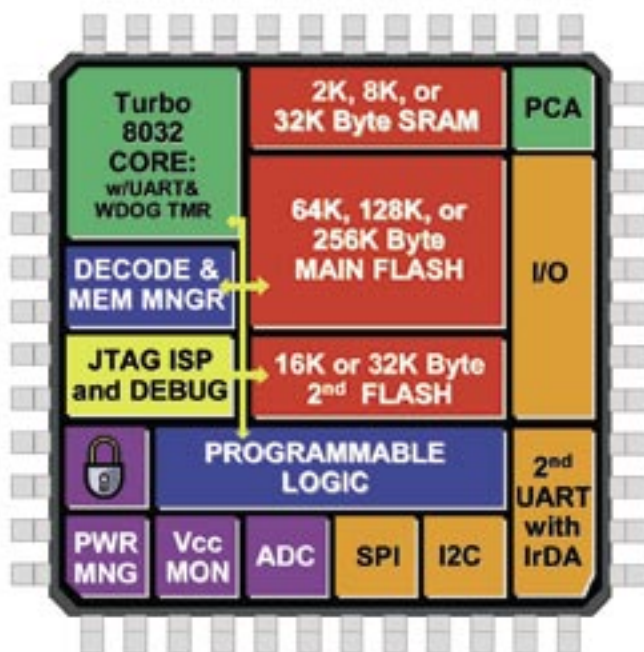
Mikrokontrolery Turbo μPSD są dostępne w obudowie TQFP o 52 lub 80 wyprowadzeniach. Wersje 80-wyprowadzeniowe mają możliwość połączenia magistral danych i adresów 8032 z zewnętrznymi peryferiami.



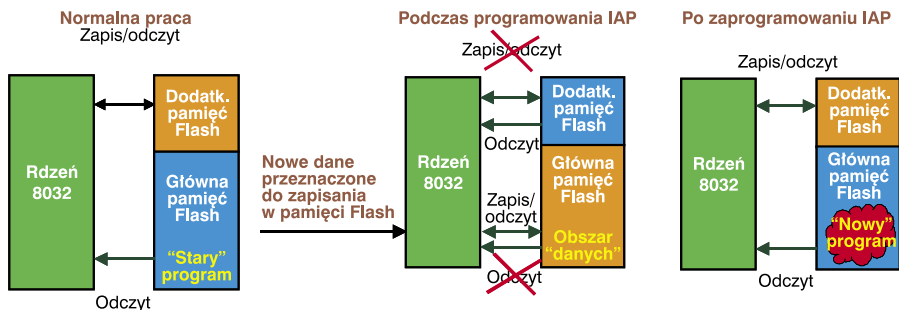
Zalety architektury PSD

Zastosowanie w prezentowanych mikrokontrolerach architektury PSD pozwoliło uzyskać im unikatowe właściwości, takie jak:

- jedne z największych na rynku (wśród mikrokontrolerów 8-bitowych) pojemności pamięci SRAM i Flash,
- podwójny bank pamięci Flash,
- elastyczne zarządzanie pamięcią i dostępem do niej,
- zintegrowana logika programowalna ogólnego przeznaczenia (PLD),
- możliwość programowania przez JTAG.



Rys. 1



Rys. 2

Orientacja na języki wysokiego poziomu

Turbo μ PSD mają pamięć Flash o bardzo dużej pojemności, co wynika z wymagań kompilatorów języków wysokiego poziomu, a także coraz większych wymagań implementowanych programowo interfejsów użytkownika. Są one niezbędne także w urządzeniach, w których trzeba obsługiwać zestawy znaków kilku różnych języków i zapisywać dane. Układy Turbo μ PSD charakteryzują się do 288 kB pamięci Flash, podzielonej na dwie części: główną o wielkości od 64 kB do 256 kB i pamięć dodatkową o pojemności 32 kB. Obszary pamięci są całkowicie niezależne, co oznacza, że rdzeń procesora może czytać dane z jednej z nich i jednocześnie wymazywać i zapisywać w drugiej. Obie mogą być użyte do przechowywania tak programu, jak i danych.

Ponadto mikrokontrolery zawierają 2, 8 lub 32 kB (w zależności od wersji) pamięci SRAM, której zawartość może być podtrzymywana po zaniku zasilania, co wymaga jednak podłączenia zewnętrznej baterii.

Układy z 32 kB pamięci SRAM nadają się doskonale do buforowania dużej ilości danych podczas szybkich transferów kanałami USB i UART i do przechowywania dużych zestawów zmiennych. Żaden inny 8-bitowy mikrokontroler „flashowy” nie ma pamięci SRAM o tak dużej pojemności.

Podwójna pamięć Flash i programowanie w aplikacji

W tradycyjnych procesorach z rdzeniem ‘51 pamięć Flash nie może być czytana w tym samym czasie, gdy jakkolwiek jej część jest wymazywana lub zapisywana, co utrudnia programowanie w aplikacji (IAP). Architektura z dualną pamięcią Flash przynosi rozwiązanie tego problemu (rys. 2). Mikrokontroler może czytać i wykonywać program

ulożony w jednej z pamięci (tzw. loader), wymazując jednocześnie i uaktualniając drugą. Przy jego wykonywaniu program odbiera uaktualniony firmware poprzez USB, UART, modem, I²C, SPI lub inny kanał i zapisuje nowy firmware w pamięci Flash, której zawartość jest poddawana modyfikacji. Zapewnia to całkowitą elastyczność, ponieważ projektant może stworzyć własny loader, wykonujący specyficzne zadania. Nie jest to możliwe w przypadku większości dostępnych na rynku, flashowych kontrolerów 8-bitowych, gdzie trzeba stosować dla IAP z góry określony protokół lub kanał komunikacji.

Elastyczne zarządzanie pamięcią – przełamanie tradycyjnych ograniczeń 8051

Programowanie w aplikacji (IAP) tradycyjnych wersji 8051 napotyka jeszcze na inną przeszkodę. Jak wiadomo, posługują się one dwoma przestrzeniami adresowymi: przestrzenią kodu i przestrzenią danych. Jednak wymazywanie i zapisywanie danych jest możliwe tylko w przestrzeni danych. W przestrzeni kodu możliwość taka została celowo zablokowana dla zabezpieczenia przed przypadkowym uszkodzeniem programu.

Jak zatem można uaktualnić oprogramowanie w urządzeniu znajdującym się w eksploatacji, jeśli przestrzeń kodowa nie jest zapisywalna? Odpowiedź przynosi tzw. Decode PLD (DPLD), w którą wyposażone są μ PSD. Dzięki niej można spowodować, aby zawartość macierzy Flash

3,3 i 5 V
Mikrokontrolery μ PSD 3300 są dostępne w dwóch wersjach, różniących się między sobą napięciem zasilania. Układy oznaczone sufiksem D są przystosowane do zasilania napięciem 5 V, natomiast wersje oznaczone sufiksem DV napięciem o wartości 3,3 V.

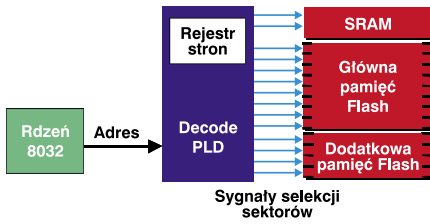
(kod programu) podczas uaktualniania firmware’u rezydowała tymczasowo w przestrzeni danych, a po zakończeniu programowania jej zawartość powróciła do przestrzeni kodu. Jest to możliwe dla każdej z dwóch pamięci Flash zintegrowanych w μ PSD.

Dzięki DPLD projektant ma możliwość podziału pamięci Flash na przestrzeń kodu i przestrzeń danych w proporcjach optymalnych dla danej aplikacji. Niektóre aplikacje potrzebują dużo pamięci programu, inne natomiast, pracujące z dużymi zestawami danych, wymagają, aby większa część pamięci Flash była dostępna w przestrzeni danych. Żaden z innych dostępnych obecnie na rynku kontrolerów pochodnych 8051 nie oferuje takiej elastyczności w zarządzaniu pamięcią. Powszechnym rozwiązaniem jest zastosowanie całego obszaru pamięci Flash wyłącznie jako pamięci programu.

Inną barierą, charakterystyczną dla tradycyjnej architektury 8051, jest brak możliwości adresowania obszarów powyżej 64 kB. Wynika to z zastosowania 16-bitowego licznika adresowego. Jak zatem zapewnić dostęp do całej pamięci zintegrowanej w μ PSD? Można to łatwo osiągnąć dzięki 8-bitowemu rejestrowi stronicowania zawartemu w DPLD (rys. 3). Rozwiązanie to daje efekt analogiczny do zwiększenia o 8 liczby linii adresowych, przy czym DPLD pozwala projektantowi wyznaczyć wielkość każdej ze stron.

Opisane możliwości zapewniają nowym mikrokontrolerom dużą ela-

| Typ układu | Pojemność głównej pamięci Flash [kB] | Pojemność pomocniczej pamięci Flash [kB] | Pojemność pamięci SRAM [kB] |
|---------------|--------------------------------------|--|-----------------------------|
| μ PSD3312 | 64 | 16 | 2 |
| μ PSD3333 | 128 | 32 | 8 |
| μ PSD3334 | 256 | 32 | 8 |
| μ PSD3354 | 256 | 32 | 32 |



Rys. 3

styczność, co sprawia, że przeniesienie istniejącej aplikacji z 8051 do μ PSD jest bardzo proste i wymaga wprowadzenia nieznacznych zmian w programie źródłowym. W przypadku nowych projektów programista ma całkowitą swobodę przy mapowaniu pamięci.

Programowalna logika ogólnego przeznaczenia

Prócz programowalnej logiki Decode PLD, wszystkie mikrokontrolery μ PSD mają 16 makrokomórek programowalnej logiki ogólnego przeznaczenia. Pozwala to projektantowi wyeliminować zewnętrzne układy logiczne PAL, PLD i 74xxx. Architektura wewnętrznej macicy PLD jest podobna do architektury tradycyjnych układów 22V10.

Typowe funkcje realizowane przez PLD to: pomocnicze operacje logiczne (glue logic), maszyny stanu, rejestry przesuwające, liczniki, przełączanie zewnętrznych układów peryferyjnych, interfejsy klawiatury, generatory opóźnienia, dekodery i wiele innych. Konfigurację tej części układu umożliwia firmowe oprogramowanie o nazwie PSDsoft Express, dostępne nieodpłatnie (publikujemy je na CD-EP10/2004B).

Programowanie w systemie z wykorzystaniem interfejsu JTAG

Programowanie w systemie (In-System Programming, w skrócie ISP), w odróżnieniu od programowania w aplikacji (w skrócie IAP, od In-Application Programming) polega na programowaniu lub zmianie programu w mikrokontrolerze bez angażowania jego rdzenia. Zupełnie „pusty” mikrokontroler μ PSD może być połączony z komputerem PC przy użyciu standardowego czteroprzewodowego interfejsu JTAG i zaprogramowany w ciągu zaledwie 10 do 25 sekund. Oznacza to, że opracowanie programu w laboratorium może odbyć się szybko i sprawnie, ale także, co ważniejsze, że nie jest potrzebne stosowanie podstawek pod mikrokontrolery, a na linię montażową nie muszą trafiać elementy uprzednio zaprogramowane. Programowanie ISP za pomocą interfejsu



Fot. 4

su JTAG ułatwia również znakomicie dokonywanie w ostatniej chwili zmian wersji kodu w wyrobie i zarządzanie zapasami. Jest ono wspomagane przez rozmaite narzędzia programujące, takie jak na przykład opracowany przez STMicroelectronics FlashLINK, podłączany do portu równoległego komputera PC. Z kolei ULINK i RLINK, opracowane odpowiednio przez Keil Software i Raisonance, umożliwiają programowanie poprzez port USB, a dodatkowo jeszcze usuwanie błędów (debugowanie). Są również dostępne liczne inne programatory JTAG oferowane przez innych producentów, w tym umożliwiające jednoczesne programowanie wielu mikrokontrolerów.

Zestaw rozwojowy DK3300

Dla ułatwienia opracowania, uruchamiania i optymalizacji projektów wykorzystujących mikrokontrolery Turbo μ PSD przygotowano zestaw rozwojowy DK3300 Development Kit. Zestaw (fot. 4) składa się z płyty bazowej, interfejsów sprzętowych i pakietu narzędzi programowych. Projektant ma dostęp do funkcji debugowania dzięki wchodzącym w skład zestawu interfejsom USB-JTAG, nie jest więc konieczne stosowanie kosztownego emulatora sprzętowego.

Zestawy DK3300 są dostarczane z ewaluacyjną wersją zintegrowanego środowiska rozwojowego μ Vision2 firmy Keil Software i pakietem rozwojowym Rkit Development Suite firmy Raisonance. Oba pakiety zawierają kompilator assemblera, linker oraz IDE (zintegrowane środowisko programistyczne), są też specjalnie przysto-

sowane do obsługi funkcji ISP i JTAG dla rodziny μ PSD3300. W skład zestawu wchodzi również oprogramowanie PSDsoft Express, a także program demonstracyjny, sterowniki i przykładowe programy.

Zakończenie

Układy Turbo μ PSD mają wbudowane wszystkie popularne zasoby stosowane w tradycyjnych aplikacjach mikrokontrolerów 8-bitowych, wymagających zwiększonych pojemności pamięci SRAM i Flash, zintegrowanej logiki pomocniczej i konfigurowalnych interfejsów. W porównaniu z rozwiązaniami konkurencyjnymi umożliwiają one redukcję kosztów i jednocześnie charakteryzują się dodatkowymi możliwościami w postaci programowania ISP poprzez interfejs JTAG, opcji zdalnych uaktualnień poprzez IAP, zapewnienia bezpieczeństwa zawartości pamięci, minimalizacji problemów z zakłóceniami elektromagnetycznymi, niewielkiego poboru mocy, a także niewielkiej powierzchni zajmowanej na płycie (w przypadku obudowy TQFP52 wynosi ona 10 x 12 mm).

Kolejnym etapem ewolucji tych interesujących mikrokontrolerów będzie rodzina Turbo Plus μ PSD3400, której próbne egzemplarze ukażą się na rynku jeszcze w tym roku. W porównaniu z Turbo μ PSD nowa rodzina będzie wzbogacona o interfejs USB 2.0.

Informacje dodatkowe

www.stmcpu.com, www.st.com/micropsd
oraz
STMicroelectronics
Oddział w Warszawie, ul. Nowogrodzka 11,
00-513 Warszawa, tel.: (22) 5290529