

Procesor audio z wejściem S/PDIF, część 1

AVT-566

PROJEKT
Z OKŁADKI



DSP wydają się być, i w znacznym stopniu są, trudne do stosowania w konstrukcjach amatorskich, a nawet w wielu aplikacjach profesjonalnych. Postęp technologii spowodował jednak, że procesory DSP trafiły „pod strzechy”. Między innymi umożliwiają zaprojektowanie łatwego w wykonaniu procesora audio z wejściem cyfrowym. Charakterystyczne dla niego jest to, że modyfikacje parametrów sygnału audio odbywają się całkowicie cyfrowo.

Rekomendacje: dla melomanów i wszystkich fanów dobrego sprzętu audio - zastosowany procesor DSP gwarantuje kształtowanie odtwarzanego sygnału bez negatywnego wpływu na jego jakość.

Szybki postęp technologii układów scalonych umożliwił opracowanie i wyprodukowanie skomplikowanych procesorów do cyfrowej obróbki strumienia danych pochodzących z płyty CD lub cyfrowego dekodera dźwięku surround (Dolby Digital, DTS itp.) Ceny tych układów są obecnie tak niskie, że można je wykorzystywać w sprzęcie powszechnego użytku.

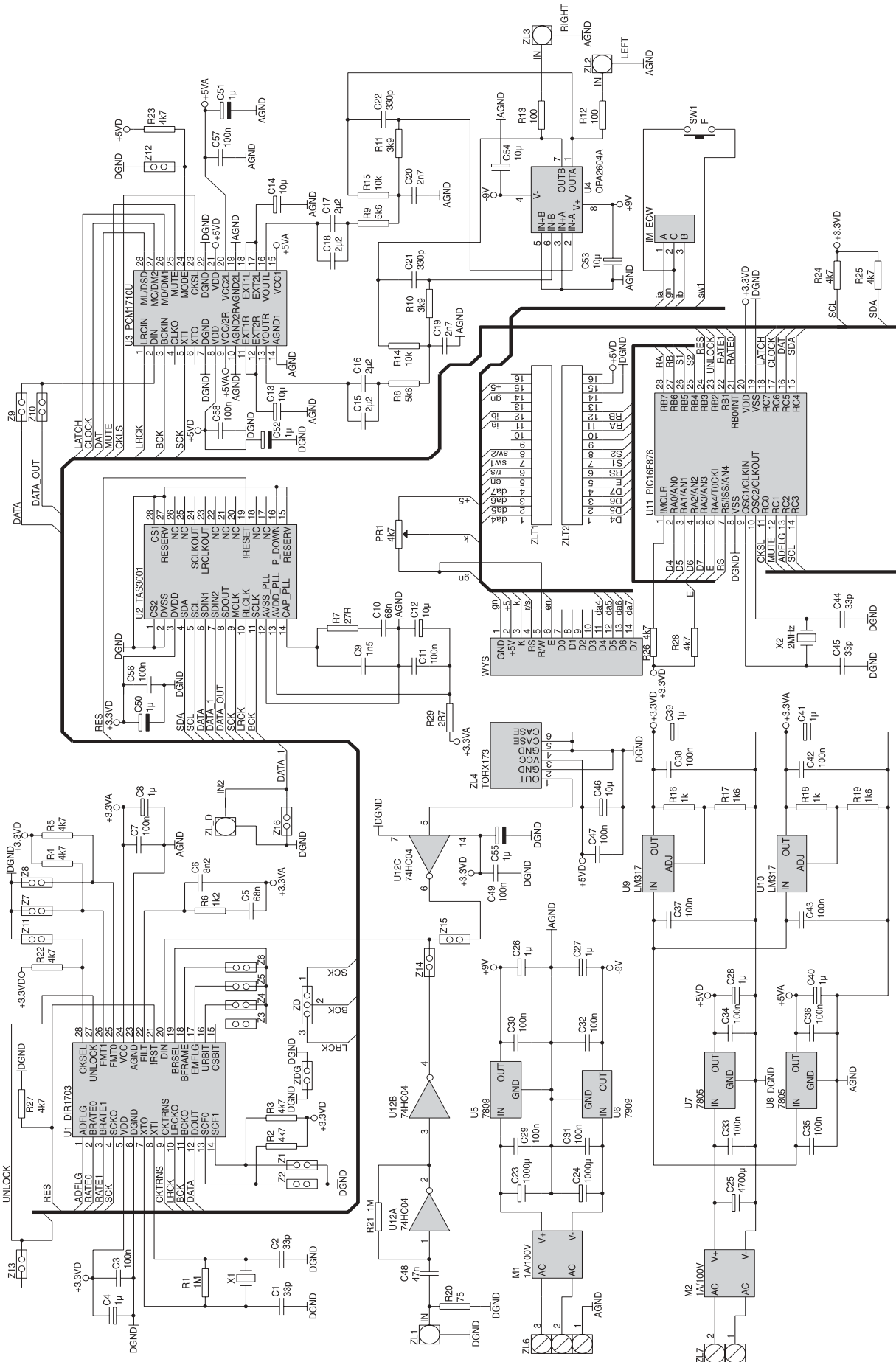
W opisanym w artykule przedwzmacniaczu zastosowano taki właśnie procesor - TAS3001 firmy Texas Instruments. Umożliwia on regulację siły głosu, barwy tonów i balansu w torze cyfrowym. Oprócz tych funkcji, TAS3001 ma wbudowany układ miksera dwóch cyfrowych sygnałów audio, kompresor dynamiki i sześciopasmowy equalizer.

Wykorzystanie procesora w przedwzmacniaczu jest tylko jednym z jego możliwych zastosowań. Można go bowiem z powodzeniem wykorzystać we wzmacniaczach kina domowego lub aktywnych kolumnach. W tym

ostatnim zastosowaniu bardzo przydatny jest equalizer pozwalający na precyzyjne rozdzielanie częstotliwości docierających do głośników niskotonowych i wysokotonowych.

Opis układu

Schemat elektryczny przedwzmacniacza pokazano na rys. 1. Odbiornik U1 DIR1703 odbiera i dekoduje strumień próbkowanych danych audio z maksymalną częstotliwością próbkowania 96 kHz i zapisanych w formatach AES/EBU (IEC958), S/PDIF i EAJCP340/1201. Strumień danych odczytanych np. z płyty CD jest przesyłany szeregowo w postaci cyfrowej przez złącze koncentryczne (Coax) lub optyczne do odbiornika. Odbiornik ma za zadanie odebranie i zdekodowanie danych, czyli odtworzenie z pojedynczego strumienia danych: sygnału audio, sygnału określającego kanał (lewy/prawy), zegara „bitowego” synchronizującego przepływ danych i zegara systemowego. To właśnie precyzja odtwarzania ze strumienia danych sygnału zegara systemowego w dużym stopniu decyduje o jakości dźwięku. Uzyskanie wysokiej ja-



Rys. 1. Schemat przedwzmacniacza

Tab. 1. Dobór oscylatora kwarcowego

Częstotliwość próbkowania f_s	$128*f_s$	$256*f_s$	$384*f_s$	$512*f_s$	BRSEL podłączone do
32kHz	4,096MHz	8,192MHz	12,288MHz	16,384MHz	BFRAME
44,1kHz	5,6448MHz	11,2896MHz	16,9344MHz	22,5792MHz	EMFLG
48kHz	6,144MHz	12,288MHz	18,432MHz	24,576MHz	Niepodłączone
88,2kHz	11,2896MHz	22,5792MHz	33,8688MHz	45,1584MHz	URBIT
96kHz	12,288MHz	24,576MHz	36,864MHz	49,152MHz	CSBIT

kości dźwięku wiąże się z eliminacją lub istotnym ograniczeniem niestabilności sygnału zegara systemowego - jittera.

Najczęściej zegar systemowy jest odtwarzany z wejściowego strumienia danych za pomocą układu z pętlą PLL. W odbiorniku DIR1703 zastosowano opatentowaną przez TI metodę odtwarzania sygnału zegarowego nazwaną SpAct (*Sampling Period Adaptive Controlled Tracking*). Według zapewnień producenta, to rozwiązanie umożliwia uzyskanie bardzo małego jittera.

Oprócz trybu pracy z pętlą PLL DIR1703 może pracować w trybie z zegarem kwarcowym. Z sygnału generatora kwarcowego o ściśle określonej częstotliwości jest uzyskiwany - po odpowiednim podzieleniu - sygnał zegara systemowego. Synchronizację odbieranych danych z tak generowanym sygnałem zegarowym również zapewnia pętla PLL z układem SpAct. Schemat blokowy układu DIR1703 pokazano na **rys. 2**.

Odbiornik wymaga sygnału zegarowego z generatora kwarcowego lub z zewnętrznego generatora. Przebieg z wewnętrznego generatora kwarcowego jest podawany do układu pętli fazowej PLL1 pracującej z częstotliwością 100 MHz.

Źródło sygnału zegara systemowego jest wybierane poziomem napięcia na wyprowadzeniu CKSEL. Poziom niski powoduje, że układ pracuje w trybie PLL. Wtedy układ drugiej pętli fazowej PLL2 jest sterowany sygnałem wyjściowym z układu SpAct i generuje sygnał zegara systemowego SCKO ($128/256/384/512 f_s$ - gdzie f_s jest częstotliwością próbkowania) i pozostałe sygnały: BCKO ($64*f_s$ - sygnał zegarowy taktujący transferem danych), LRCKO ($1*f_s$ - sygnał określający przesyłany kanał L lub R). Częstotliwość rezonatora kwarcowego sterującego

pracą pętli PLL wybierana jest przez połączenie wyprowadzenia BRSEL z jednym z wyprowadzeń BFRAME, EMFLG, URBIT lub CSBIT.

W **tab. 1** pokazano sposób skonfigurowania pracy pętli PLL zależnie od częstotliwości próbkowania i częstotliwości zegara systemowego. Częstotliwość zegara systemowego określana jest przez wyprowadzenia SCF1 i SCF1 (**tab. 2**).

Załóżmy, że chcemy odbierać dane próbkowane z częstotliwością 44,1 kHz, a sygnał zegara systemowego ma mieć częstotliwość $256*f_s$. Dysponujemy rezonatorem o częstotliwości 6,144 MHz. Z **tab. 1** wynika, że dla tej częstotliwości wyprowadzenie BRSEL nie jest połączone z żadnym innym wyprowadzeniem sygnałowym. Jeżeli na wejściu DIN nie ma sygnału S/PDIF, początkowa częstotliwość próbkowania jest ustawiona na 48 kHz przez układ SpAct. Po wymuszeniu na SCF1 poziomu niskiego, a na SCF2 wysokiego, otrzymujemy $SCKO=256*f_s$.

Kiedy na wejściu DIN pojawia się dane S/PDIF, pętla PLL z układem SpAct ustala odbieraną częstotliwość f_s na 44,1 kHz i SCKO na $256*f_s$.

Jeżeli po wyzerowaniu układu pojawi się na wejściu DIN dzieśnię narastających zboczy sygnału S/PDIF i dekodery nie może prawidłowo zdekodować przychodzących danych lub do wejścia DIN nie zostanie podłączony sygnał S/PDIF, to na wyprowadzeniu UNLOCK pojawia się poziom wysoki, wyjście danych DOUT przechodzi do poziomu niskiego (MUTE) na minimum 200 ms, a sygnał zegara systemowego ma częstotliwość określoną przez częstotliwość próbkowania ostatnio odbieranych danych. Po pojawieniu się prawidłowego sygnału S/PDIF częstotliwość próbkowania odbiera-

nych danych zmienia się na wartość określoną przez sygnał przychodzący, a poziom wysoki na wyprowadzeniu CLKTRNS wskazuje, że częstotliwość sygnału zegara systemowego i sygnałów BCKO i LRCKO jest prawidłowa.

W trybie PLL odbiornik DIR1703 wymaga jednego z rezonatorów z **tab. 1** i odpowiedniego skonfigurowania wejść BRSEL, SCF1 i SCF2, przy czym częstotliwość rezonatora nie musi odpowiadać częstotliwości próbkowania odbieranych danych.

Poziom wysoki na CKSEL wskazuje na tryb pracy z generatorem kwarcowym. W tym trybie sygnały SCKO, BCKO i LRCKO są uzyskiwane przez podzielenie częstotliwości sygnału zegarowego z dołączonego generatora kwarcowego. Zasada konfigurowania wejścia BRSEL jest taka sama jak w trybie PLL, ale częstotliwość rezonatora musi ściśle odpowiadać odbieranej częstotliwości próbkowania i żądanej częstotliwości sygnału zegara systemowego. Na przykład dla $f_s=44,1$ kHz i $SCKO=256*f_s$ częstotliwość kwarcu musi mieć wartość 11,2896 MHz.

Prawidłowo odebrane przez odbiornik dane mogą mieć różny format wyjściowy. Format ten określany jest przez stany na wejściach FMT0 i FMT1 (**tab. 3**).

Konfigurowanie odbiornika U1 jest realizowane za pomocą zworek. Częstotliwość zegara systemowego ustalają zworki Z1 i Z2 (**tab. 1**). Zworki Z3, Z4, Z5 i Z6 określają tryb pracy pętli PLL (**tab. 2**). Zworka Z11 wybiera się tryb pracy układu - zwarta tryb PLL, a rozwarta tryb oscylatora kwarcowego. Zworki Z7 i Z8 określają format wyjściowy danych.

Dane wejściowe ze złącza COAX są podawane na układ ze zlienaryzowaną bramką U12A i bramką U12B. Jego zadaniem jest dopasowanie poziomów sygnału COAX do poziomów CMOS

Tab. 2. Wybór zegara systemowego

SCF1	SCF2	SCKO
L	L	$128*f_s$
L	H	$256*f_s$
H	L	$384*f_s$
H	H	$512*f_s$

Tab. 3. Wybór formatu wyjściowego

FMT0	FMT1	Format danych wyjściowych
L	L	16 bitów <i>right justified</i>
L	H	24 bity <i>right justified</i>
H	L	24 bity <i>left justified</i>
H	H	24 bity I2S

akceptowanych przez DIR1703. Sygnał wyjściowy może również pochodzić ze złącza optycznego. Jest wtedy zamieniany na sygnał elektryczny przez układ TORX173 i formowany przez bramkę U12C. Źródło sygnału wybierane jest przez zworki Z14 i Z15. Kondensatory C5, C6 i rezystor R6 stanowią obwód filtra pętli PLL.

Układ U1 jest zasilany dwoma napięciami +3,3 z rozdzielonymi masami. Część cyfrowa jest zasilana napięciem +3,3 (VD) w stosunku do masy cyfrowej DGND. Analogowe obwody pętli PLL są zasilane napięciem +3,3 (VA) w stosunku do masy analogowej AGND. Oba napięcia są dodatkowo blokowane równolegle połączonymi kondensatorami 100 nF i 1 µF (C3, C4, C7 i C8).

Wyjściowy sygnał danych jest z wyjścia DOUT podawany na wejście cyfrowego procesora audio TAS3001C (U2) i może być podany bezpośrednio na wejście danych przetwornika C/A po zwarceniu zwory Z9. Jeżeli urządzenie ma być wykorzystane tylko jako przetwornik audio C/A, to trzeba zewrzeć Z9 i rozewrzeć Z10. W takim układzie U2 może nie być w ogóle montowany na płytce. Przy wykorzystaniu procesora U2 zwora Z9 musi być rozwarta, a Z10 zwarta.

Najczęściej odebrany i zdekodowany przez odbiornik strumień próbkowanych danych audio jest przesłany do przetwornika C/A. Analogowy sygnał z przetwornika jest dalej poddawany przetwarzaniu w torze audio. Prawdziwi audiofile wyznają zasadę, że jedyną dopuszczalną regulacją jest zmiana poziomu sygnału (najlepiej za pomocą klasycznego potencjometru dobrej jakości). Pozostali odbiorcy chcą mieć również możliwość regulacji basów i tonów wysokich. Wiele tych problemów rozwiązano, konstruując scalone procesory audio. Takie układy można sterować mikrokontrolerem i nie trzeba w nich

stosować najbardziej zawodnych elementów: potencjometrów. Oczywiście cały tor jest dalej analogowy, a regulacja odbywa się poprzez elektroniczne przełączanie kluczami rezystancji w dzielniku.

W prezentowanym układzie wykorzystano odmienną koncepcję procesora audio. Całe niezbędne przetwarzanie sygnału audio nie odbywa się analogowo (za wyjściem z przetwornika C/A), ale przez przetworzenie strumienia próbkowanych danych uzyskanych z odbiornika DIR1703. Jak to jest możliwe?

Wszystkie dane cyfrowe to przecież ciąg cyfr, które można modyfikować za pomocą odpowiednich funkcji matematycznych. Na przykład regulacja barwy tonów to przepuszczenie sygnału przez filtr o odpowiedniej charakterystyce, czyli kształtowanie za pomocą określonej funkcji. Realizacja filtrów cyfrowych jest znana i stosunkowo łatwa. Nie można jednak wykonać takiej operacji za pomocą nawet dość szybkiego 8-bitowego mikrokontrolera. Do tego celu wykorzystuje się szybkie, specjalizowane układy DSP.

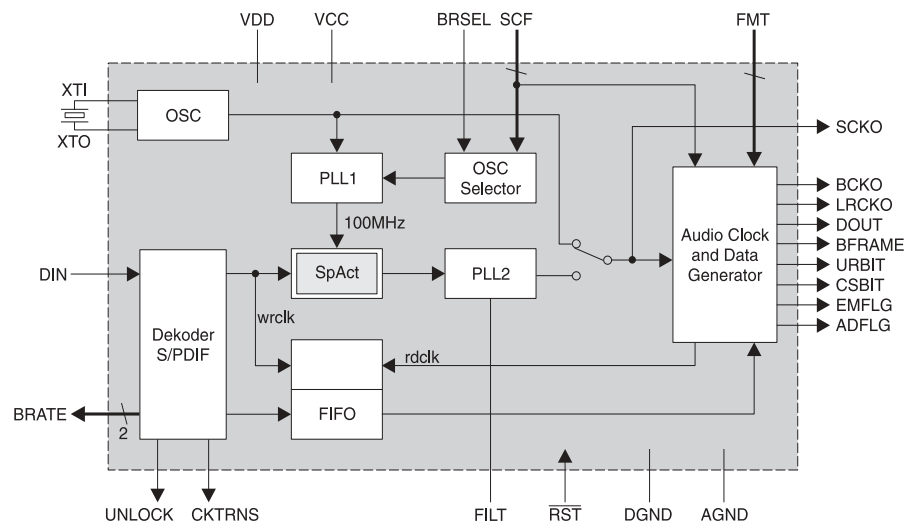
Jednym z takich układów jest wspomniany układ cyfrowego procesora audio TAS3001. Zawiera w swojej strukturze 32-bitowy cyfrowy procesor audio umożliwiający szybkie sprzętowe mnożenie liczb zmiennoprzecinkowych, 24-bitowych przez 32-bitowe. Wynik wykonywanych działań może mieć

długość nawet 56 bitów. TAS3001 akceptuje 10 najbardziej popularnych formatów danych wejściowych. Dane wyjściowe po obróbce mogą mieć również jeden z 10 formatów, przy czym format wyjściowy może być inny niż format wyjściowy.

W wielu analogowych systemach audio stosowany jest korektor graficzny (equalizer), którego celem jest wyrównanie charakterystyki przenoszenia całego toru audio, łącznie z głośnikami. W TAS3001 equalizer zrealizowano cyfrowo. Sygnał wejściowy jest podawany na układ złożony z sześciu kaskadowo połączonych filtrów IIR drugiego rzędu. Każdy z kanałów ma niezależnie sterowany taki układ. Charakterystykę (dolnoprzepustowy, środkowoprzepustowy, pasmowy, zaporowy itd.) każdego z 6 filtrów w kanale określa 24-bitowa liczba.

Producent układu, firma Texas Instruments, oferuje specjalne narzędzie pozwalające na podstawie graficznie przedstawionej charakterystyki przenoszenia: kolumn głośnikowych, mikrofonu lub całego toru, tak ją ukształtować, aby odpowiadała oczekiwaniom użytkownika. Jednak program ten jest dość drogi, bo kosztuje 500 USD. Texas Instruments oferuje też 2 bezpłatne programy pozwalające wyliczyć wartości wpisywane do układu za pomocą arkusza Excel lub programu MATLAB.

Układ TAS3001 ma ponadto możliwość miksowania ze skalo-



Rys. 2. Schemat blokowy odbiornika DIR1703

waniem cyfrowego sygnału podawanego na wejście SDIN1 z sygnałem podawanym na wejście SDIN2. Do podłączenia sygnału z wejścia SDIN2 są również wykorzystywane sygnały LRCK, BCK i SCK wyprowadzone na złącze ZD. Jeżeli jest wykorzystywane tylko wejście SDIN1, to SDIN2 powinno być zwarte do masy. Sygnał wejściowy danych, po przejściu przez moduły equalizera i miksera, jest podawany na filtry regulujące tony niskie i tony wysokie w zakresie od -18 dB do +18 dB z krokiem 0,5 dB. Siła głosu jest regulowana w zakresie od -70 dB do +18 dB z krokiem 0,5 dB.

Z regulatorem siły głosu sprzężony jest układ kompresora dynamiki. Kompresja dynamiki jest niezbędna w sytuacji, kiedy tor audio nie jest w stanie odtworzyć bez zniekształceń głośniejszych partii utworu. W momencie, kiedy mogą się pojawić zniekształcenia przy dużych amplitudach, kompresor zmniejsza na chwilę wzmocnienie. W ten sposób zapobiega się przesterowaniom. Próg wyzwolenia kompresji reguluje się w zakresie od 0 dB do -36 dB.

Sygnał danych z wyjścia DOUT odbiornika U1 jest dołączany do wejścia danych SDIN1 procesora U2. Zegar systemowy jest podłączony do wejścia MCK, zegar taktujący transmisją do wejścia SCLK, a sygnał o przesyłanym kanale (L lub R) do wejścia RLCLK.

Do procesora można też podłączyć sygnał danych na drugie wejście SDIN2. Jeżeli to wejście nie jest wykorzystywane, to zwora Z16 musi być zwarta.

Elementy R7, C9 i C10 stanowią zewnętrzny obwód pętli PLL procesora.

Układ U2 jest zasilany dwoma napięciami +3,3 V. Części analogowa (pętla PLL) jest zasilana napięciem +3,3 (VA) w stosunku do analogowej masy A_GND. Napięcie to jest dodatkowo filtrowane przez filtr złożony z elementów R29, C11 i C12. Część cyfrowa jest zasilana napięciem +3,3 (VD) w stosunku do cyfrowej masy D_GND.

Dane wyjściowe z procesora przez zwartą zworę Z10 (Z9 musi

być wtedy rozwarta!) podawane są na wejście danych DIN przetwornika U3 PCM1710U. Do poprawnej pracy przetwornik potrzebuje również pozostałych sygnałów interfejsu cyfrowego: zegara systemowego (wejście XTI), zegara taktującego dane (BCKIN) i informacji o przesyłanym kanale (LRCIN).

Przetwornik U3 może być programowany w 2 trybach: równoległym i szeregowym. W trybie równoległym wejście MODE (wyprowadzenie 24) musi być na poziomie wysokim - zwora Z12 jest rozwarta. Dane wejściowe mogą mieć wtedy długość 16 bitów i format normalny *right justified*. Za pomocą wyprowadzeń DM1 (26) i DM2 (27) ustawia się sterowanie deemfazą zależnie od częstotliwości próbkowania sygnału wejściowego. Poziom na wyprowadzeniu CKSL (23) określa częstotliwość zegara systemowego: poziom niski $256 \cdot f_s$, poziom wysoki $384 \cdot f_s$.

W trybie programowania szeregowego (MODE=0 - zwora Z12 zwarta) możliwe jest zaprogramowanie wszystkich funkcji przetwornika: sterowanie poziomem sygnału wyjściowego audio, deemfazą, rozdzielczością wejściową (16 lub 20 bitów), formatem (normalnym lub I2S) itp.

W trybie szeregowym wykorzystywane są 3 linie:

- MC (27) linia zegarowa,
- ML (28) linia zatraskiwania danych (*latch*),
- MD (26) linia danych.

Informacje dotyczące rodzaju i sposobu przesyłania danych magistralą szeregową do zaprogramowania przetwornika można znaleźć w dokumentacji producenta.

Sygnał analogowy z kanałów lewego i prawego jest podawany na filtry dolnoprzepustowe zbudowane ze wzmacniaczem operacyjnym OPA2604 firmy Burr Brown. Zadaniem tych filtrów jest wyeliminowanie składowych o wyższych częstotliwościach, które powstają w procesie konwersji C/A. Odfiltrowany sygnał audio jest podawany na złącza cinch ZL2 (kanał lewy) i ZL3 (kanał prawy).

Układ przetwornika U3 jest zasilany napięciem +3,3 V i +5 V.

WYKAZ ELEMENTÓW

Rezystory

R1, R21: 1MΩ
 R2...R5, R22...R28: 4,7kΩ
 R6: 1,2kΩ
 R7: 27Ω
 R8, R9: 5,6kΩ
 R10, R11: 3,9kΩ
 R12, R13: 100Ω
 R14, R15: 10kΩ
 R16, R18: 1kΩ
 R17, R19: 1,6kΩ
 R20: 75Ω
 R29: 2,7Ω
 Potencjometr PR1 4,7kΩ

Kondensatory

C1, C2, C44, C45: 33pF
 C3, C7, C11 C29...C38, C42, C43, C47, C49, C56...C58: 100nF
 C4, C8, C26...C28, C39...C41, C50...C52, C55: 1μF/35V tantal
 C9: 1,5nF
 C10: 68nF
 C12...C14, C46, C53, C54: 10μF/50V
 C15...C18 2,2μF (1μF) MKSE
 C21, C22: 330pF
 C23, C24: 1000μF/25V
 C25: 4700μF/16V
 C48: 47nF

Półprzewodniki

M1, M2: mostek 1A/100V
 U1: DIR1703
 U2: TAS3001
 U3: PCM1710U
 U4: OPA2604
 U5: 7809
 U6: 7909
 U7, U8: 7805
 U9, U10: LM317
 U11: PIC16F786 (zaprogramowany)
 U12: 74HC04

Różne

WYS: wyświetlacz alfanumeryczny 2x16 znaków
 X1: rezonator - patrz opis w tekście
 X2: rezonator 2MHz
 ZL1...ZL3 ZL_D: złącza CINCH do druku
 ZL6, ZL7: złącza śrubowe do druku
 IM - impulsator Bourns ECOWJ
 SW1 - switch
 Listwa goldipnów ze zworkami

Możliwe jest zasilanie pojedynczym napięciem części cyfrowej i analogowej i rozdzielanie tych napięć filtrami RC. Lepszym rozwiązaniem jest rozdzielanie mas (analogowa i cyfrowa) i zastosowanie oddzielnych źródeł napięcia dla części cyfrowej i analogowej. Takie rozwiązanie zostało tutaj zastosowane. Układy U7 i U8 dostarczają napięcie +5 V dla przetwornika, a układy U9 i U10 napięcie +3,3 V dla odbiornika, procesora i mikrokontrolera U11. Rozdzielone masy analogowa i cyfrowa są połączone ze sobą w punkcie lutowniczym kondensatora C25. Wzmacniacz operacyjny jest zasilany napięciem symetrycznym ± 9 V ze stabilizatorów U5 i U6. Cały układ zasilania wymaga napięcia przemiennego ok. 8 V (złącze ZL7) i symetrycznego napięcia prze-

miennego 2x12 V (złącze ZL6). W tym ostatnim przypadku środkowy odczep uzwojenia powinien być podłączony do końcówki 1 złącza ZL6.

Całe urządzenie jest sterowane przez sterownik zbudowany w oparciu o mikrokontroler PIC16F876 - układ U11. Do portu PORTA został dołączony wyświetlacz alfanumeryczny 2x16 znaków PLED. Jest to bardzo efektywny wyświetlacz świecący na żółto na czarnym tle. Pobiera mało prądu - wg informacji producenta ok. 0,6 mA. Niewątpliwą zaletą jest też to, że ma wbudowany sterownik zgodny z HD44780. Oczywiście zamiast PLED można zastosować dowolny wyświetlacz LCD 2x16 znaków. Do ustawienia wszystkich nastaw służy impulsator IM typu ECWOJ firmy BOURNS i dodatkowy przycisk SW1.

Rezystor R26 wymusza poziom niski na wyprowadzeniu zerowania !MCLR, a rezystor R28 na linii portu RA4 (*open drain*).

Tomasz Jabłoński, EP
tomasz.jablonski@ep.com.pl

Zastosowany w projekcie wyświetlacz PLED udostępniła nam firma Spezial Electronic, tel. (22) 840-91-10, www.spezial.pl.

*Wzory płytek drukowanych w formacie PDF są dostępne w Internecie pod adresem: **pcb.ep.com.pl** oraz na płycie CD-EP4/2004B w katalogu PCB.*