

W lutym 2004 firma Xilinx wprowadziła do sprzedaży nowe układy FPGA z serii Spartan-3. Są one zapowiedzią kolejnego etapu rozwoju rynku układów programowalnych. Nowoczesna technologia, doskonałe parametry, duże zasoby logiczne i relatywnie niska cena nowych układów powodują, że są poważną alternatywą dla ASIC-ów, a to wróży im duże powodzenie.

Zrób sobie ASIC-a

Układy Spartan-3, pomimo ich zakwalifikowania przez producenta do grupy układów FPGA, nie są typowym przedstawicielem *programowanych matryc bramek logicznych*. „Typowym“ w znaczeniu oryginalnym, bo obecnie praktycznie wszystkie układy FPGA na takie miano nie zasługują. Wynika to przede wszystkim ze znacznie bardziej skomplikowanej, niż miało to miejsce na początku

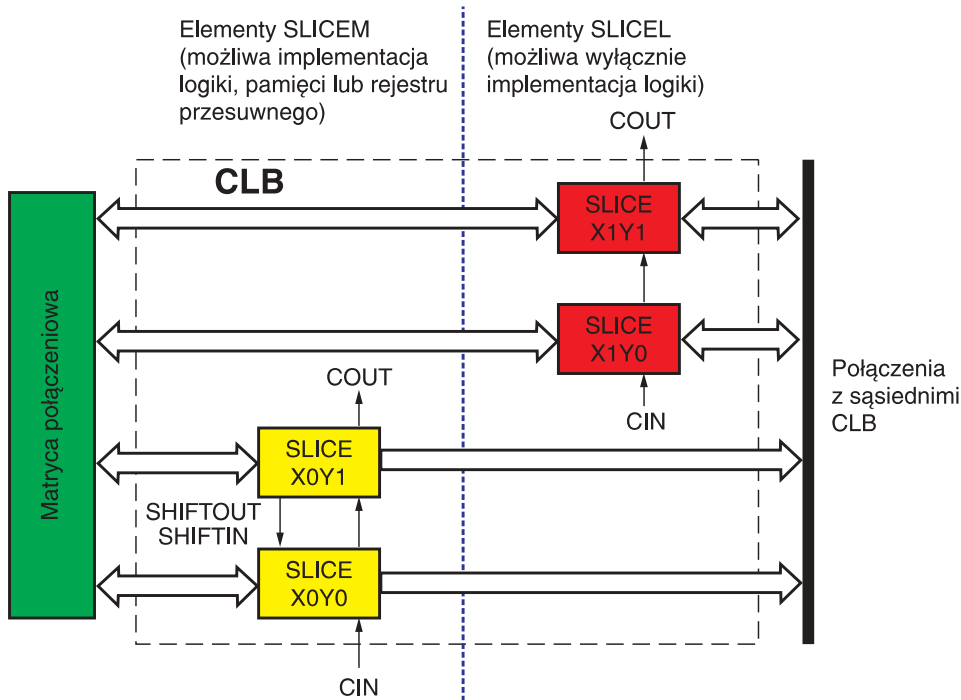
lat 80. (kiedy Xilinx opracował pierwsze układy FPGA), budowy wewnętrznej, a także z powodu zminimalizowania bardzo niekorzystnej cechy układów FPGA - nieprzewidywalnych czasowo wyników implementacji projektu w strukturę fizyczną.

Architektura

Rodzina Spartan-3 powstała w wyniku udoskonalenia popularnych układów Spartan II i Spartan

III. Podstawowymi elementami logicznymi, za pomocą których są budowane w tych układach nawet najbardziej wymyślne projekty, są bloki CLB (*Configurable Logic Block* - **rys. 1**), których w jednym układzie Spartan-3 może być od 192 do 8320. Bloki CLB składają się z czterech konfigurowalnych bloków o nazwie *slice* (z angielskiego *kawałek*), pogrupowanych w dwuelementowe zespo-





Rys. 1

ły. Budowa wszystkich *slice*’ów jest identyczna, wyjątkiem jest wyposażenie *slice*’ów oznaczonych SLICEM w 16-bitowy rejestr przesuwany oraz możliwość wykorzystania pamięci konfiguracyjnej LUT (*Look-up Table*) jako rozproszonej pamięci danych SRAM. Obydwa LUT-y są czterowjęciowe i pozwalają na utworzenie każdej funkcji logicznej czterech zmiennych, dlatego są one często nazywane generatorami funkcji logicznych. Oprócz dwóch niezależnych generatorów funkcji logicznych LUT każdy *slice* wyposażono w dwa przerzutniki D.

Znaczne zasoby logiczne rozmieszczono także w programowalnych komórkach wejścia-wyjścia, w każdej z nich znajduje się bowiem 8 programowalnych przerzutników D (po parze w torach: danych wyjściowych, wejściowych i w torze sterowania buforem trójstanowym). Przerzutniki można skonfigurować do pracy w trybie DDR (*Double Data Rate*), dzięki czemu re-

latywnie łatwo osiąga się duże prędkości transmisji danych pomiędzy układem i współpracującymi układami peryferyjnymi. W torze wejściowo-wyjściowym,

du do impedancji obciążenia (szeregowo i równoległe). Dzięki temu podczas transmisji szybkich sygnałów można zminimalizować powstawanie odbić

LUT

Tablice LUT, często zwane generatorami funkcji logicznych, są podstawowym, konfigurowalnym elementem logicznym w układach FPGA. Zazwyczaj realizują one ustaloną przez użytkownika funkcję logiczną 3...5 zmiennych. Za konfigurację LUT odpowiada zazwyczaj pamięć SRAM, której zawartość trzeba odtwarzać po włączeniu zasilania układu.

tuż za buforem trójstanowym, zastosowano blok DCI (*Digitally Cotrolled Impedance* - rys. 2), który służy do dopasowania impedancji wyjściowej ukła-

w liniach przesyłowych (przy odpowiednio dużych częstotliwościach stosunkowo krótki odcinek ścieżki drukowanej może zachowywać się jak linia długa).

Konfiguracja DCI jest ustalana dla każdego banku I/O niezależnie za pomocą dwóch specjalnych wyprowadzeń układu.

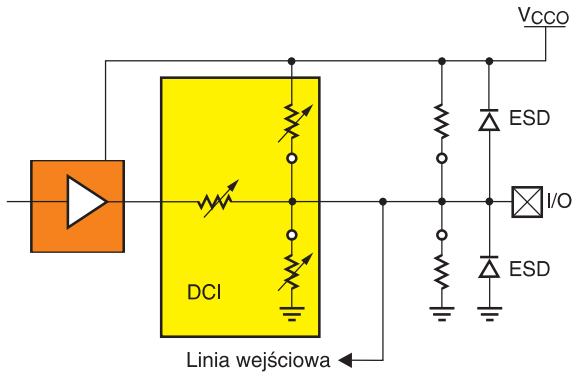
Linie I/O wyposażono w zabezpieczenia antyprzebieciowe (na rys. 2 oznaczone jako ESD) oraz programowane rezystory podciągające (do masy lub plusa zasilania). Do wszystkich linii I/O są dołączone wewnątrz układu moduły utrzymujące jeden ze stanów logicznych (*Latch Keeper*), dzięki czemu niewykorzystywane linie I/O można pozostawić niepodłączone i nie grozi to zaburzeniem pracy układu ani wzrostem pobieranej przez niego mocy.

Porty I/O w układach Spartan-3 charakteryzują się jeszcze jedną, bardzo interesującą, możliwością: mogą pracować jako asymetryczne lub symetryczne, przy czym w trybie asymetrycznym użytkownik może programować próg porównania komparatorów analogowych, podając napięcie o odpowiedniej wartości na wejście V_{ref} (rys. 3). W symetrycznym trybie pracy liczba dostępnych dla użytkownika linii I/O zmniejsza się mniej więcej dwukrotnie, ponieważ sąsiadujące ze sobą bloki I/O „pożyczają” sobie wyprowadzenia.

W nowoczesnych aplikacjach wykorzystywane jest wiele różnych standardów czasowo-napięciowych, np. TTL-LV, GTL, HSTL, SSTL, PCI, LVDS, RSDS itp. W sumie porty I/O w ukła-

Tab. 1. Porównanie wybranych cech układów FPGA różnych rodzin				
Wyposażenie	Virtex-II Pro Platform	Spartan-3	Virtex-II	Spartan-II-E
Pojemność pamięci Block RAM	10 MB	1,8 MB	3 MB	288 kB
Pojemność rozproszonej pamięci SRAM	1,7 MB	520 kB	1,45 MB	216 kB
Sprzętowe jednostki mnożące	556	104	168	
Liczba komórek	125000	74000	104000	15500
Liczba dostępnych linii I/O	1200	784	1108	514
Wbudowany procesor PowerPC	+	-	-	-
Możliwość implementacji „miękkiego” procesora MicroBlaze	+	+	+	+

Uwaga: podano liczby/wartości maksymalne dla każdej rodziny.



Rys. 2

dach Spartan-3 obsługują 17 trybów pracy interfejsów asymetrycznych i 6 symetrycznych.

Budowa portów I/O w układach Spartan-3 pozwala współpracować im w większości wymagających aplikacji, także takich, w których konieczne jest zapewnienie możliwości jednoczesnej współpracy z układami kompatybilnymi z różnymi standardami. Co więcej, dzięki podziałowi linii I/O na niezależne banki, układy Spartan-3 mogą współpracować z otoczeniem zasilanym kilkoma napięciami o różnych wartościach, przy czym zalecane są: 1,2/1,5/1,8/2,5/3,0/3,3 V. Maksymalna wartość napięcia wejściowego nie powinna przekraczać o więcej niż 0,5 V napięcia zasilającego porty I/O, w związku z czym nie jest możliwa bezpośrednia współpraca układów Spartan-3 z systemami zasilanymi napięciem 5 V.

W **tab. 1** zestawiono najważniejsze cechy kilku rodzin układów FPGA produkowanych przez firmę Xilinx. Zestawienie to pozwoli się zorientować w ich możliwościach i ułatwi ich dobór do wymagań aplikacji.

DSP w FPGA

Nie od dziś wiadomo, że układy PLD doskonale nadają się do realizacji algorytmów DSP, w tym przede wszystkim cyfro-

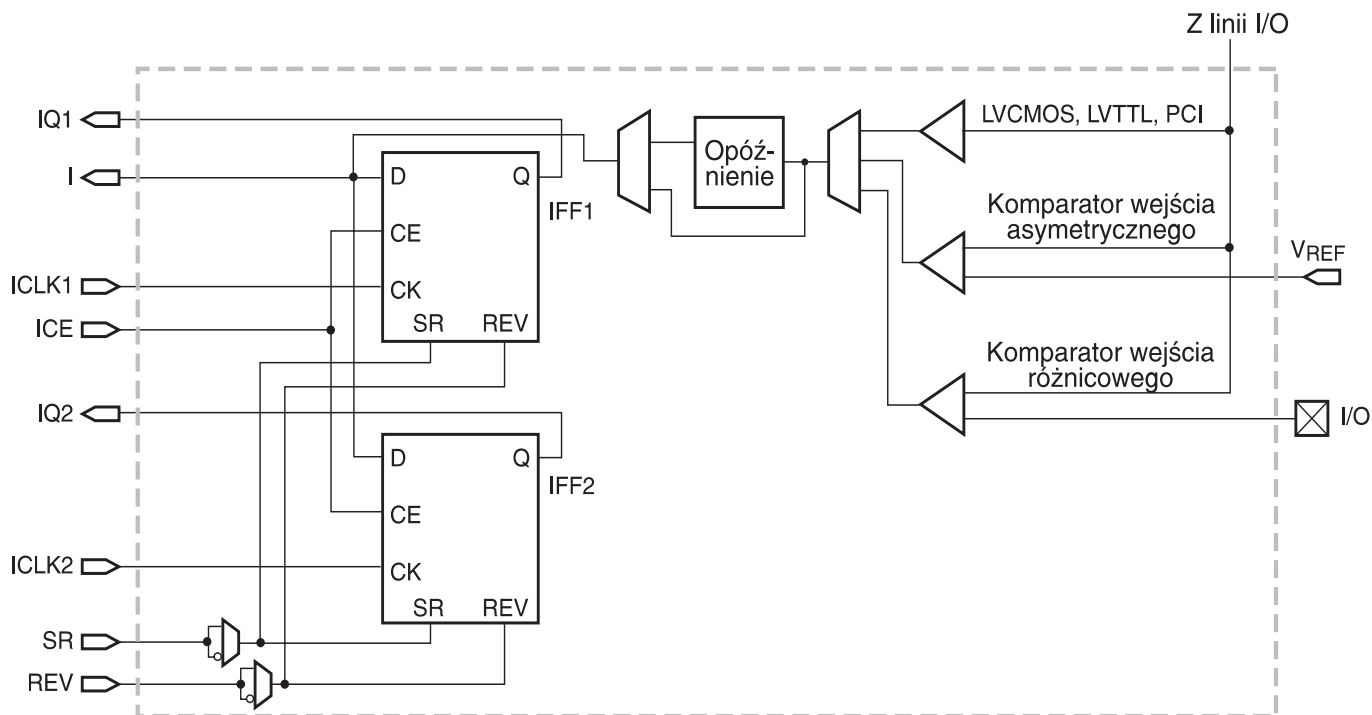
wych filtrów. Układy Spartan-3 specjalnie z myślą o aplikacjach DSP wyposażono w sprzętowe jednostki mnożące (18x18 bitów), których w jednym układzie może się znaleźć nawet do 104 sztuk (**tab. 2**). Multiplikatory mogą pracować w trybie synchronicznym z 36-bitowym rejestrem na wyjściu lub asynchronicznym, w którym wynik mnożenia jest podawany na wyjście bezpośrednio z kombinacyjnego układu mnożącego.

Łatwo zapamiętać

Standardowym wyposażeniem układów Spartan-3 jest wewnętrzna pamięć SRAM, którą użytkownik może wykorzystać we własnej aplikacji. Składa się ona z dwóch części:

- Pamięci rozproszonej (*Distributed RAM*), która fizycznie została umieszczona w „lewej” części każdego bloku CLB.
- Wyspecjalizowanych bloków pamięci RAM (*Block RAM*), które są ulokowane w wydzielonych obszarach struktury układów. Pamięć blokową można skonfigurować jako jedno- lub dwuportową, a jej organizację zmieniać (od 1x16384 aż do 32x512 bitów) w zależności od lokalnych potrzeb.

W **tab. 2** pokazano dostępne pojemności obydwu typów pamięci w poszczególnych układach z rodziny Spartan-3.



Rys. 3

Taktowanie

Specyfika architektury układów Spartan-3 spowodowała, że - podobnie jak w wielu innych rodzinach FPGA - producent zdecydował się na zastosowanie wyspecjalizowanych modułów taktujących DCM (*Digital Clock Manager* - rys. 4). Podstawowym zadaniem DCM jest zminimalizowanie rozmycia zboczy sygnałów zegarowych dystrybuowanych wewnątrz struktury. Problem ten występuje przede wszystkim w układach taktowanych sygnałami o dużej częstotliwości, kiedy to potencjalnie niejednoczesne (zbcze pojawia się szybciej w miejscach bliższych źródłu sygnału

taktującego) taktowanie rejestrów może spowodować nieprawidłową pracę układu. Moduły DCM

precyzyjnie ustalają przesunięcie fazowe sygnału zegarowego, do czego służy programowany

technologiczny oparto na płytkach krzemowych o średnicy 300 mm, na których mieści się ok. 1500 chipów XC3S400 (fot. 5).

Zastosowana technologia pozwoliła, co prawda, obniżyć napięcie zasilania „rdzenia“ układu do 1,2 V, ale do prawidłowej pracy układu niezbędne jest dodatkowe napięcie o wartości 2,5 V, które służy m.in. do zasilania modułów DCM. Nie jest to rozwiązanie zbyt wygodne, ale są dostępne specjalne, niskonapięciowe stabilizatory LDO (jak np. LM2727/LM2737 firmy National Semiconductor), które umożliwiają uzyskanie z jednego źródła dwóch napięć.

SRAM w FPGA

Wbrew pozorom, większość układów FPGA nie udostępnia użytkownikom możliwości łatwej implementacji pamięci SRAM. Skojarzenia takie powstają, ponieważ rolę pamięci konfiguracyjnej w FPGA spełnia zazwyczaj pamięć SRAM, której nie można jednak wykorzystać do przechowywania informacji.

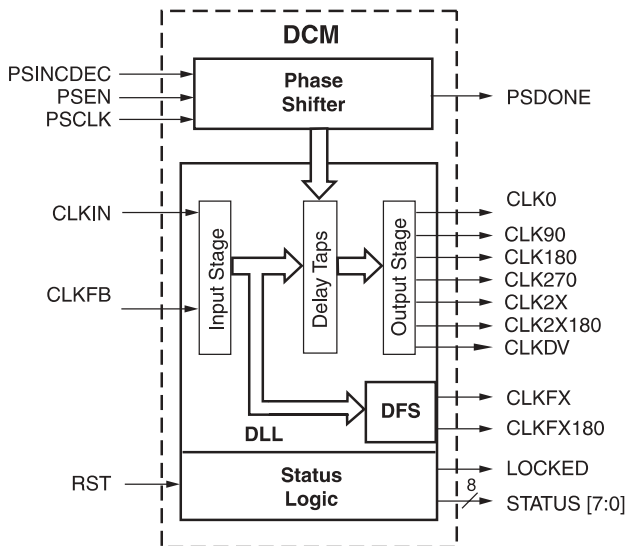
mogą spełniać także rolę syntezerów sygnału zegarowego o programowanej częstotliwości, przy czym zakres częstotliwości wyjściowych wynosi 48...326 MHz lub 25...180 MHz. Oprócz częstotliwości, projektant może

moduł DLL (*Delay-Locked Loop*) wchodzący w skład DCM.

Napięcia

Układy prezentowane w artykule są produkowane w bardzo nowoczesnej technologii 90 nm. Cykl

Tab. 2. Zasoby układów z rodziny Spartan-3								
Parametr	XC3S50	XC3S200	XC3S400	XC3S1000	XC3S1500	XC3S2000	XC3S4000	XC3S5000
Liczba bramek przeliczeniowych	50000	200000	400000	1000000	1500000	2000000	4000000	5000000
Liczba komórek logicznych	1728	4320	8064	17280	29952	46080	62208	74880
Sprzętowe multiplikatory	4	12	16	24	32	40	96	104
Pojemność pamięci Block RAM	72kb	216kb	288kb	432kb	576kb	720kb	1728kb	1872kb
Pojemność pamięci rozproszonej	12kb	30 kb	56 kb	120 kb	208 kb	320 kb	432 kb	520 kb
Liczba DCM	2	4	4	4	4	4	4	4
Maksymalna liczba różnicowych linii I/O	56	76	116	175	221	270	312	344
Maksymalna liczba asymetrycznych linii I/O	124	173	264	391	487	565	712	784



Rys. 4

Konfiguracja

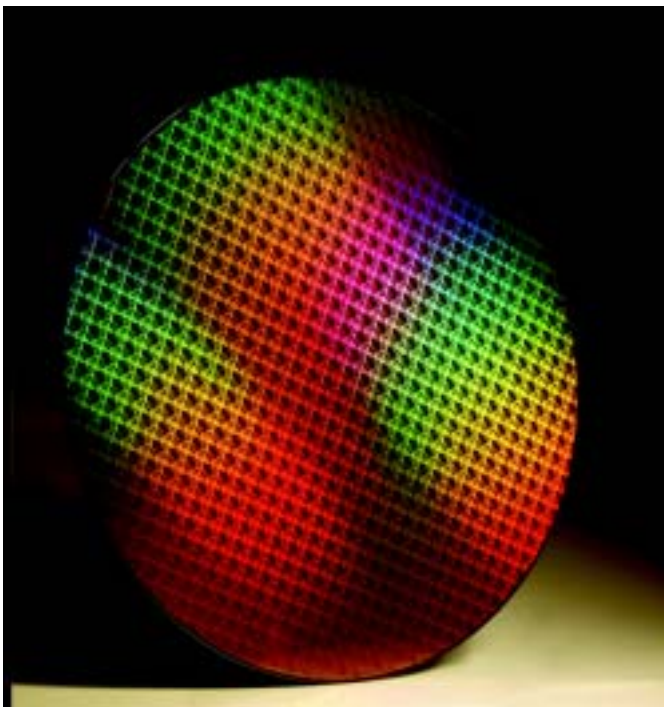
Jak wspomniano, w układach Spartan-3 pamięć konfiguracyjna jest typu SRAM, co powoduje, że każdorazowo po włączeniu zasilania jej zawartość trzeba odtworzyć. Można to zrobić na wiele sposobów, na przykład korzystając z zewnętrznych pamięci nieulotnych (wyspecjalizowanych XCF00S lub XCF00P) z interfejsem szeregowym lub równoległym. Gałkowity czas niezbędny do rozpoczęcia

pracy przez układ od chwili włączenia zasilania wynosi ok. 5...7 ms w zależności od wersji układu.

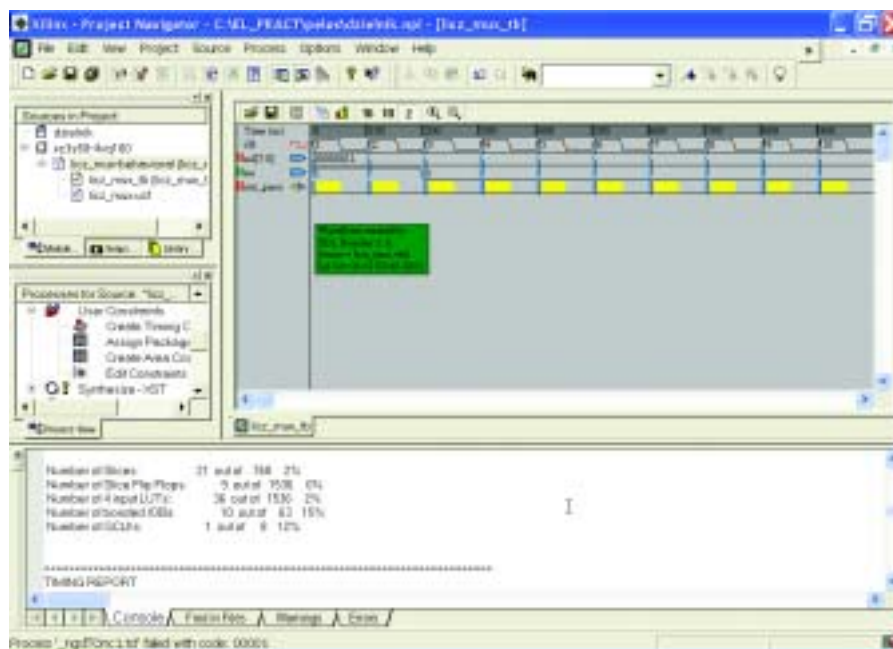
Alternatywą dla zewnętrznej pamięci nieulotnej jest szeregowy interfejs JTAG, który w układach Spartan-3 doskonale radzi sobie także z obsługą poleceń opisanych standardem IEEE1532.

Narzędzia

Projektanci chcący korzystać z układów Spartan-3 nie są skazani na



Fot. 5



Rys. 6

zakup kosztownych narzędzi. Projekty dla układów XC3S50/S200 i S400 można przygotowywać z użyciem dostępnego bezpłatnie systemu projektowego WebPack ISE (rys. 6). Jest on dostępny, po wcześniejszym zarejestrowaniu, pod adresem http://www.xilinx.com/ise_eval/index.htm. Oprogramowanie to zapewnia dostęp do wszystkich możliwości układów Spartan-3, pozwalając na opisy sprzętu w językach: ABEL, VHDL i Verilog, a także za pomocą schematów. Budowane projekty można poddawać symulacji. Do tego celu służy program ModelSIM, który w wersji bezpłatnej ma pewne ograniczenia funkcjonalne, umożliwiające w miarę wygodną jednak pracę.

Ceny

Jednym z najważniejszych zamiarów firmy Xilinx było wprowadzenie na rynek tanich układów FPGA o dużych możliwościach. Opierając się na informacjach udostępnionych przez polskiego dystrybutora można stwierdzić, że zamiar ten powiódł się, bowiem przykładowe ceny dostępnych obecnie układów (ceny netto, przy zakupie co najmniej 100 sztuk) są następujące: XC3S50-4VQ100CES - 8,15 USD, XC3S200-4VQ100C - 14,35 USD, a XC3S400-4TQ144C - 21,85 USD. Układy „większe” są obecnie dostępne wyłącznie jako

próbki inżynierskie, co z natury rzeczy zwiększa ich cenę. I tak, układ XC3S1000-4FT256CES kosztuje w wersji „próbkowej” 55,6 USD netto, XC3S1500-4FG456CES - 98,25 USD netto, XC3S2000-4FG676CES - 177 USD netto, XC3S4000-4FG900CES - 324 USD netto, a XC3S5000-4FG900CES - 409 USD netto. Biorąc pod uwagę zasoby oferowane przez prezentowane układy ceny te są rzeczywiście atrakcyjne.

Podsumowanie

Układy Spartan-3 nie spowodują technologicznej rewolucji na rynku, ponieważ ich architektura nie odbiega zbyt od dotychczas przyjętych standardów. Mają one natomiast szansę zdominować te obszary rynku, w których istotnymi kryteriami są: niska cena, dostępność dużych zasobów logicznych i łatwa migracja pomiędzy układami „dużymi” i „małymi”. Tak więc wprowadzenie do sprzedaży układów Spartan-3 należy uznać za kolejny etap schodzenia dużych FPGA „pod strzechy”, czyli nasze hasło sprzed lat: *zrób sobie ASIC-a* stało się bardzo aktualne.

Piotr Zbysinski, EP
piotr.zbysinski@ep.com.pl

Na CD-EP3/2004B zamieściliśmy komplet informacji dotyczących układów Spartan-3.