

# Układy programowalne, część 1

Zacznę od (nieco) rozczarującego wstępu. Czytelnicy, którzy liczą na spektakularne pokazy możliwości współczesnych układów PLD, tzn. implementację w nich serwerów sieciowych, mikroprocesorów, kompletnych interfejsów komunikacyjnych czy choćby UART-ów, nie znajdą tu nic dla siebie. Zaczniemy znacznie banalnie, bowiem naszym „kursowym” układem programowalnym będzie GAL22V10 (w wersji z interfejsem JTAG, przystosowany do programowania w systemie), a językiem opisu sprzętu niemożliwy już dziś, ale bardzo skuteczny CUPL. Dopiero w dalszej kolejności sięgniemy po VHDL i „większe” układy CPLD.

Zniechęceni? Niepotrzebnie! Dowodem na popularność CUPL-a jest

*Układy programowalne cieszą się dużą i ciągle rosnącą popularnością. Elektronicy często ocierają się o modne hasła (jak choćby PSoC czy FPGA), nieco gorzej jest z wiedzą o tym, co one w praktyce znaczą i jakie korzyści może z nich „wyciągnąć” elektronik.*

*Wszystkim zainteresowanym tematyką PLD proponujemy ekspresowy kurs, który przez kilka kolejnych miesięcy będziemy publikować w EP. W jego trakcie pokażemy zarówno łatwo dostępne (bezpłatne!) narzędzia do realizacji projektów, jak i układy, oczywiście wszystko w praktyce.*

## Motto

Ludzie dzielą się na  
10 kategorii:  
tych, którzy znają kod  
binarny  
i tych, którzy go nie znają...

Paweł „Pelos” Dienwebel,  
www.pelos.pl

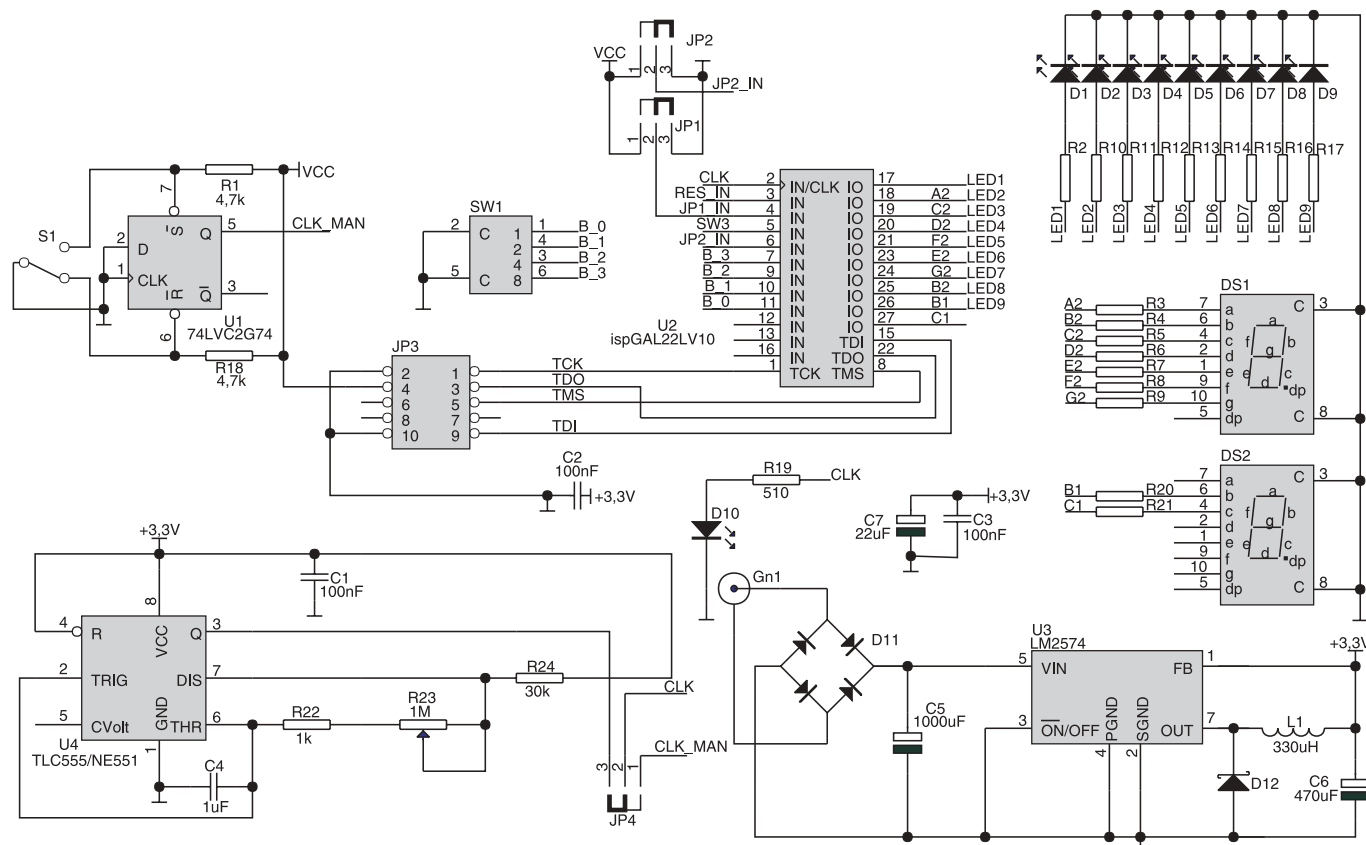
choćby fakt, że jest to standardowy język HDL (traktowany na równi z VHDL-em i Verilogiem) zaimplementowany w Protela DXP, a Atmel udostępnia kompletne środowisko projektowe z kompilatorem i symulatorem funkcjonalnym CUPL-a. Bardziej zaawansowanych Czytelników zachęcam do śledzenia opisów IP core'ów publikowanych w EP - tam będzie można znaleźć prawdziwie spektakularne opracowania.

## Plan kursu

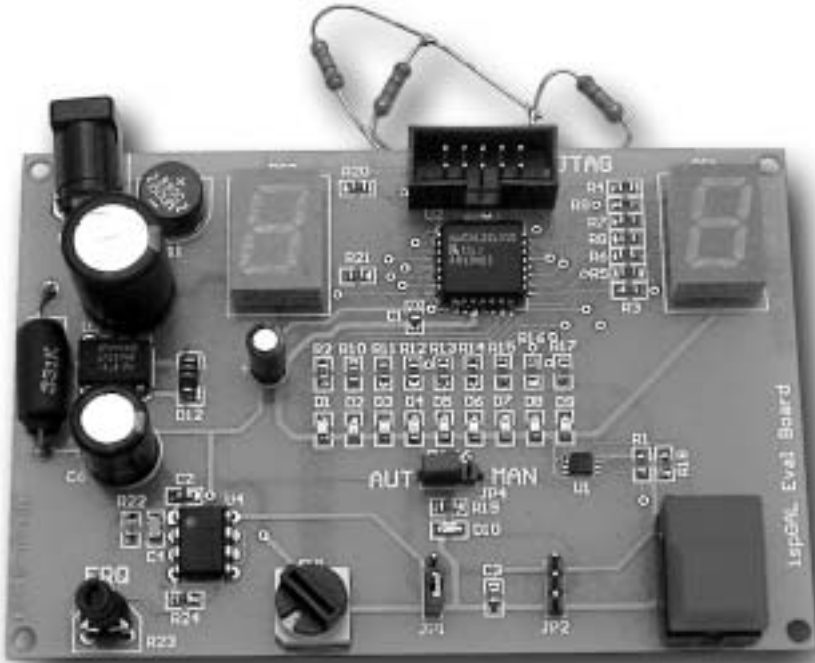
Specjalnie na potrzeby kursu powstał zestaw testowy AVT-559, który współpracuje z programatorem uniwersalnym UnISProg (AVT-560, EP1/2004). Wszystkie przykładowe projekty przedstawione w ramach kursu były uruchamiane i testowane na tym właśnie zestawie.

Kurs będzie się składał z następujących części:

1. Wstępu z opisem zestawu AVT-559 (EP3/2004).



Rys. 1. Schemat elektryczny zestawu testowego



Fot. 2. Wygląd zmontowanego zestawu testowego

2. Prezentacji architektur układów PLD, w tym przede wszystkim GAL22V10 (EP4/2004). Wiadomości zdobyte w tej części pozwolą „kursowiczom” poznać i zrozumieć najważniejsze różnice

**Zestaw AVT-599**

Schemat elektryczny tego zestawu pokazano na rys. 1. Zastosowano w nim układ PLD firmy Lattice - ispGAL22LV10, który jest ścisłym odpowiednikiem

„klasycznego“ GAL22V10 w obudowie PLCC28, ale przystosowanym do programowania w systemie. Podczas kupowania układów do zestawu należy zwrócić uwagę na oznaczenie „LV” w symbolu układu. Nadal są dostępne w sprzedaży układy ispGAL22V10, które są co prawda kompatybilne wewnętrznie i zewnętrznie z innymi układami GAL22V10 w obudowie PLCC28, ale mają wbudowany przestarzały i praktycznie zanikający interfejs służący do programowania wewnętrznej pamięci - Lattice ISP-download. W układach z literami „LV” w oznaczeniu, a także w ispGAL-ach nowej generacji (tab. 1) zastosowano interfejs zgodny z obowiązującymi obecnie standardami - JTAG. Alternatywą dla ispGAL22LV10 jest ispGAL22V10AV, który pobiera znacznie mniej prądu, ale - przynajmniej do ostatnich dni lutego 2004 - jest trudny do kupienia w naszym kraju.

Układy PLD zastosowane w prezentowanym projekcie wymagają napięcia zasilającego o wartości 3,3 V. Zakup odpowiednich stabilizatorów jest rzeczą trudną, stąd decyzja o zastosowaniu stabilizatora impulsowego, wykonanego na układzie SimpleSwitcher firmy National Semiconductor (U3). Niebagatelną zaletą stabilizatora impulsowego jest zminimalizowanie strat mocy, w związku z czym można uniknąć konieczności stosowania radiatora. Zalecany zakres napięcia zasilającego wynosi 8...12 VDC.

Użytkownik zestawu ma do dyspozycji:

**Tab. 1. Dostępne obecnie wersje układów ispGAL22V10**

Oznaczenie	Interfejs ISP	Napięcie zasilania [V]	Najszybsze wersje		Pobór prądu
			t <sub>PD</sub> [ns]	F <sub>max</sub> [MHz]	
ispGAL22V10AC	JTAG	1,8	2,3	455	150 μA
ispGAL22V10AB	JTAG	2,5	2,3	455	7 mA
ispGAL22V10AV	JTAG	3,3	2,3	455	7 mA
ispGAL22LV10	JTAG	3,3	4,0	250	130 mA
ispGAL22V10	LatticeISP	5,0	7,5	111	140 mA

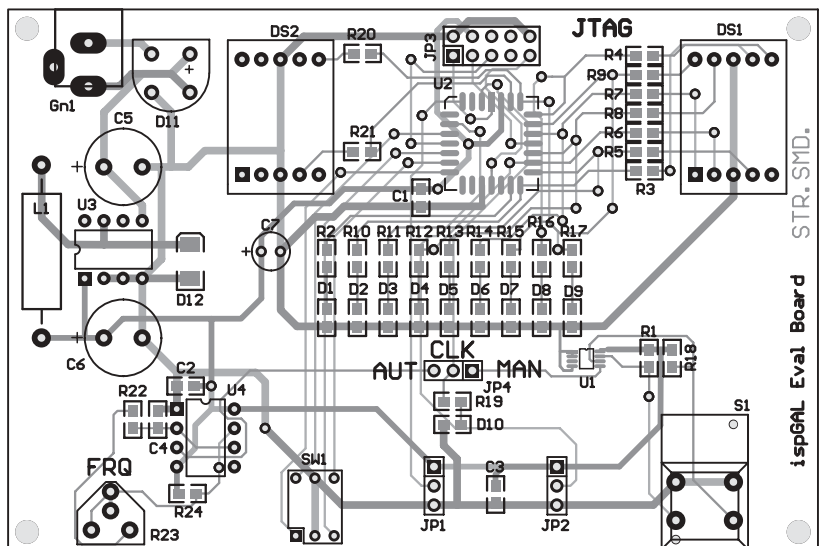
Uwaga: układy zaznaczone na szaro można stosować w zestawie AVT-599.

między dostępnymi na rynku układami PLD i dzięki temu świadomie podejść do wyboru układu docelowego dla realizowanego projektu.

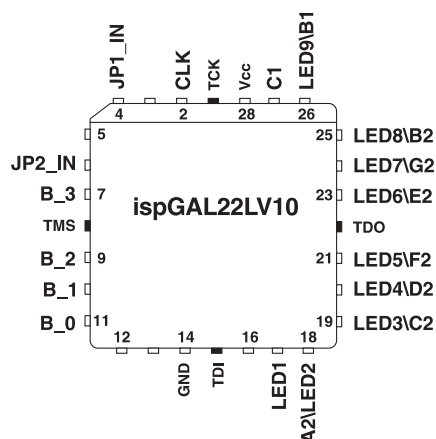
3. Opisu języka CUPL (EP5...7/2004), który w znacznym stopniu będzie oparty na przykładach, z którymi praktykujący elektronicy „cyfrowi” mieli okazję się - w nieco innym wykonaniu - zetknąć.

4. Prezentacji obsługi narzędzi wspomagających projektowanie: kompilatora-symulatora WinCUPL firmy Atmel i Protela 99SE (EP8...12/2004).

Podane terminy mogą nieco fluktuować, ale dołożę starań, aby ich dotrzeć.



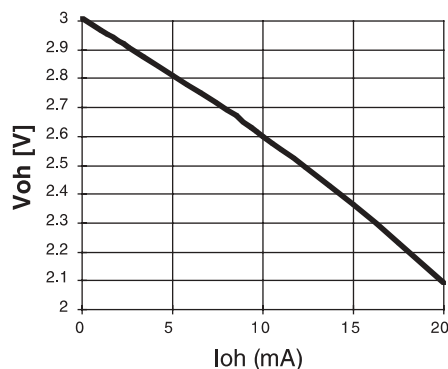
Rys. 3. Schemat montażowy płytki drukowanej zestawu



Rys. 4. Funkcje wyprowadzeń układu U2

- ręczny „generator“ sygnału zegarowego, wykonany na układzie U1 i przełączniku S1,
- generator sygnału zegarowego o regulowanej częstotliwości (za pomocą R23) wykonany na układzie TLC551 (U4), będący niskonapięciowym odpowiednikiem standardowego 555,
- nastawnik szesnastkowy SW1, służący do zadawania czterobitowej liczby binarnej,
- dwa jumpery (JP1 i JP2), służące do podawania stanów logicznych na wejścia układu U2 (ich zastosowanie określa użytkownik, budując aplikację),
- 9 diod LED,
- dwa wyświetlacze LED 7-segmentowe (w jednym wykorzystano tylko segmenty B i C).

Segmenty wyświetlaczy połączono równolegle z diodami LED, świecą więc one jednocześnie. Źródło sygnału taktującego (ręczne/automatyczne) można wybrać za pomocą zwory JP4. Sygnał zegarowy jest monitorowany za pomocą diody LED (D10) - „1“ jest sygnalizowana jej świeceniem.



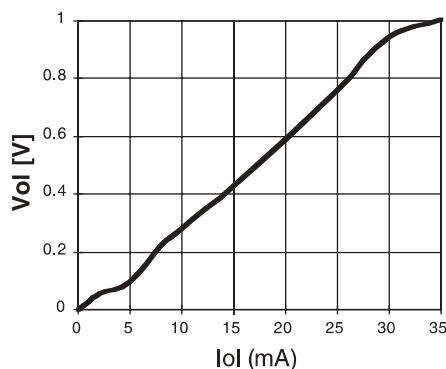
Rys. 5. Charakterystyki prądowo-napięciowe buforów wyjściowych w układzie ispGAL22LV10 (z lewej strony dla „1“ na wyjściu, z prawej strony dla „0“ na wyjściu)

Programator UnISProg należy dołączyć do płytki ewaluacyjnej za pomocą kabla taśmowego zakończonego złączem ZWS10. Do tego celu służy gniazdo JP3.

Wygląd zmontowanego zestawu przedstawiono na fot. 2. Schemat montażowy płytki drukowanej pokazano na rys. 3. Większość zastosowanych elementów ma obudowy przystosowane do montażu powierzchniowego. Są one dość duże, nie powinno więc być problemu z ich przylutowaniem. Pewną trudność może sprawić jedynie przylutowanie układu U1. Najprostszą, a przy tym skuteczną, metodą jest przylutowanie wyprowadzeń w sposób standardowy, co wiąże się z powstaniem zwarcia pomiędzy nimi. Nadmiar cyny usuwamy następnie za pomocą miedzianej plecionki, którą należy przyłożyć do wyprowadzeń ulokowanych z jednej strony obudowy i następnie ją przygrzać, co spowoduje wchłonięcie cyny pomiędzy druciki plecionki. Efekt końcowy jest - pomimo prostoty pomysłu - zaskakująco dobry.

Wątpliwość może wzbudzać fakt przylutowania układu U2 bezpośrednio do płytki drukowanej. Powodem tego jest duża liczba dopuszczalnych przez producenta cykli kasowania pamięci EEPROM wbudowanej w układy ispGAL22LV10 - wynosi ona co najmniej 10000 razy. Z punktu widzenia typowych prac ewaluacyjnych żywotność układów ispGAL22LV10 jest więc praktycznie nieograniczona.

Na rys. 4 pokazano funkcje przypisane wyprowadzeniom układu U2. Większość wyjść jest obciążona dwoma diodami LED, co niesie za sobą ryzyko przeciążenia obwodów wyjściowych. Producent zaleca, żeby nie przekraczać maksymalnego natężenia (dla prądu wpływa-



## WYKAZ ELEMENTÓW

### Rezystory

- R1, R18: 4,7kΩ 0805
- R2, R21: 330Ω 0805
- R3...R17, R20: 270Ω 0805
- R19: 510Ω 0805
- R22: 1kΩ 0805
- R23: 1MΩ 0805
- R24: 30kΩ 0805

### Kondensatory

- C1...C3: 100nF 0805
- C4: 1μF 0805
- C5: 1000μF/25V
- C6: 470μF/16V
- C7: 22μF/16V

### Półprzewodniki

- U1: 74LVC2G74
- U2: ispGAL22LV10 lub ispGAL22V10AV w obudowie PLCC28
- U3: LM2574 DIP8
- U4: TLC555/NE551 DIP8
- D1...D10: LED w obudowie 0805
- D11: mostek 1A/100V
- D12: dioda Schotky'ego 1A/30V
- DS1, DS2: wyświetlacze LED WK 13 mm

### Różne

- L1: 330μH
- Gn1: gniazdo zasilania DC
- JP3: ZWS10
- JP1, JP2, JP4: glod-pin 3x1 + jumpery
- SW1: nastawnik HEX PT65
- S1: przełącznik Digitast

jącego i wypływającego) 8 mA dla każdego z wyjść. Wartości rezystancji rezystorów ograniczających natężenie prądu płynącego przez diody i segmenty wyświetlaczy dobrano w taki sposób, aby nie przekroczyć bezpiecznego natężenia prądu. W wyjątkowych sytuacjach można obciążać wyjścia prądami o większym natężeniu, ale należy się wtedy liczyć ze zmianami napięcia na wyjściach buforów. Ich charakterystyki prądowo-napięciowe pokazano na rys. 5.

### Co dalej?

Za miesiąc przedstawimy architekturę układów PLD, ze szczególnym uwzględnieniem budowy i możliwości konfiguracji układów GAL22V10. Będzie to nasz drugi, w tym cyklu, krok w stronę poznania PLD.

**Piotr Zbysiński, EP**  
piotr.zbysinski@ep.com.pl