

LiveDesign w praktyce, część 10

W tej części cyklu zajmiemy się optymalizacją rozkładu wyprowadzeń układu FPGA i związaną z tym synchronizacją zmian pomiędzy projektami PCB i FPGA. Altium Designer oferuje mechanizmy, które pozwalają zoptymalizować zarówno przebieg ścieżek na płycie drukowanej, jak i wykorzystanie zasobów układu programowalnego. Obie operacje, bardzo przydatne w praktyce, byłyby trudne do przeprowadzenia, bez wsparcia ze strony oprogramowania.

Zanim przejdziemy do manipulowania wyprowadzeniami chipu FPGA, zatrzymamy się chwilę na innej kwestii, równie istotnej w praktyce. Mam na myśli konfigurowanie parametrów I/O. Układy FPGA obsługują z reguły szeroki wachlarz standardów I/O, przykładowo takich jak LVTTTL, LVCMOS, PCI i wiele innych. Dzięki temu układ FPGA może komunikować się bezpośrednio z innymi urządzeniami, wymagającymi określonych standardów napięć, prądów itp. Altium Designer pozwala na wybór tylko spośród standardów, obsługiwanych przez dany układ, ale ograniczeń jest znacznie więcej.

Każdy typ układu obsługuje ściśle określony zestaw standardów, więc tylko z pośród nich możemy wybierać. Co więcej, zwykle obowiązuje szereg innych reguł, które nie pozwalają na swobodne mieszanie standar-

dów I/O w ramach jednej kości FPGA. Niektóre standardy I/O mogą koegzystować ze sobą, inną są wzajemnie wykluczone. Często takie ograniczenia są zawężone do banków I/O w ten sposób, że wszystkie wyprowadzenia w ramach jednego banku, muszą mieć kompatybilne standardy I/O.

Nie sposób omówić tutaj wszystkich możliwości, ponieważ każdy z producentów stosuje własne zasady i trzeba posłużyć się specyfikacją danego układu, żeby uzyskać szczegółowe informacje. Jedną ogólną regułą, jaką można dość bezpiecznie stosować, to rozmieszczanie wyprowadzeń o różnych standardach I/O w osobnych bankach I/O. Ewentualne błędy zostaną wykryte podczas syntezy projektu i zostaniemy zmuszeni do poprawek.

Konfigurujemy wyprowadzenia...

...układu za pomocą narzędzia *FPGA Signal Manager* dostępnego w menu *Tools* z poziomu dowolnego schematu w projekcie PCB lub FPGA. Wyświetlane okno zawiera kilka kolumn, które pozwalają na wybór standardu I/O, parametrów czasowych sygnału i wydolności prądowej każdego wyprowadzenia. Program pozwala na wybór tylko w ramach zestawu parametrów obsługiwanych przez dany układ, występujący w projekcie.

Po ustawieniu wszystkich parametrów można przeprowadzić weryfikację, klikając przycisk *Validate Changes*, a następnie wprowadzić ustawienia do projektu, klikając przycisk *Execute Changes*, jak na.

Zwracam uwagę na istotę wprowadzonych zmian. Otóż, mają one wpływ jedynie na parametry sygnałów na wyprowadzeniach, ale nie na ich rozkład, więc nie wymagają synchronizacji projektów PCB i FPGA.

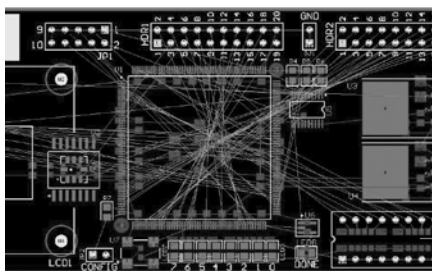
Zamieniamy wyprowadzenia...

...układu FPGA na PCB, ale zanim to zrobimy, musimy wziąć pod uwagę kolejne ograniczenia. Trzeba uświadomić sobie, że nie jesteśmy w stanie całkowicie dowolnie manipulować rozkładem wyprowadzeń. Ograniczenia te nie wynikają z niedostatków oprogramowania, ale z budowy i założeń przyjętych przez producenta układu programowalnego. Właśnie ze względu na te ograniczenia, w pierwszej kolejności należy zdefiniować tzw. *Swap Group IDs*, czyli identyfikatory grup, w ramach których program będzie mógł się poruszać przy zamianie wyprowadzeń. Wspomniane grupy określamy za pomocą narzędzia *FPGA Pin Swap Manager for Component*, które uruchamiamy z menu *Tools>FPGA Pin Swapping* z poziomu dokumentu PCB.

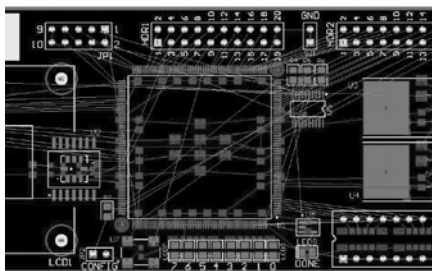
Istota wprowadzonych grup jest taka, że w ramach jednej grupy, wyprowadzenia mogą być dowolnie zamieniane. Powinniśmy każde z wyprowadzeń kości FPGA przyporządkować do odpowiedniej grupy, mając na uwadze różnorakie ograniczenia, wymienione wcześniej. Program nieco ułatwia to zadanie, pozwalając ustawić *Swap Group IDs* dla wyprowadzeń z jednego banku I/O, tego samego standardu I/O lub innych cech danego wyprowadzenia. Należy zwrócić uwagę na wyprowadzenia, które mają przypisane specjalne funkcje, jak np. zegar, VREF i inne, które są zarezerwowane i nie można ich zmieniać.

Mając określone grupy wyprowadzeń, możemy przejść do właściwego procesu zamiany wyprowadzeń. Z poziomu dokumentu PCB należy uruchomić polecenie *FPGA Pin Swapping* z menu *Tools*, wybierając opcję *Auto* lub *Manual*. Automatyczna optymalizacja może dotyczyć jednego lub kilku układów FPGA, jeśli w projekcie występuje więcej, niż jeden. Program będzie próbował znaleźć optymalny rozkład wyprowadzeń pod kątem przebiegu ścieżek na płycie drukowanej, uwzględniając ograniczenia w ramach grup zdefiniowanych wcześniej.

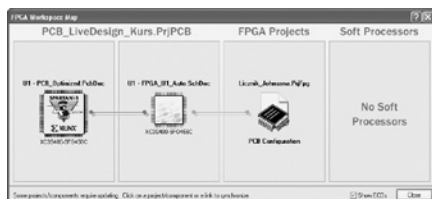
Łączna długość ścieżek oraz liczba ich skrzyżowań, to dwa parametry, istotne podczas projektowania PCB. Okno dialogowe *Setup Pin*



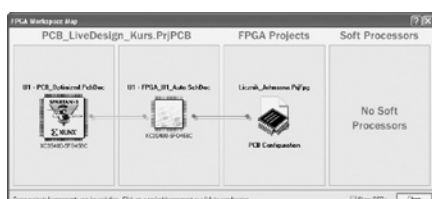
Rys. 47. Przykładowy wygląd sieci połączeń przed optymalizacją rozkładu wyprowadzeń



Rys. 48. Przykładowy wygląd sieci połączeń po optymalizacji rozkładu wyprowadzeń



Rys. 49. Czerwona linia sygnalizuje brak spójności między PCB i schematem



Rys. 50. Czerwona linia pomiędzy projektami PCB i FPGA oznacza konieczność ich synchronizacji

Swapper pozwala określić wagę obu tych parametrów, zależnie od ich ważności. Jeśli ustawimy suwak pośrodku skali, oba wspomniane parametry będą miały tą samą wagę i możemy spodziewać się optymalizacji dającej minimalną długość połączeń, przy jak najmniejszej ilości przecięć.

W części okna po prawej stronie, mamy listę sieci *Nets To Ignore*, które możemy wyłączyć z procesu optymalizacji. Te sieci nie będą brały udziału w zamianie wyprowadzeń. Typowo zaznaczamy w tym miejscu sieci dot. zasilania układu. Na rys. 47 i 48 pokazano przykładowe wyglądy sieci połączeń przed i po automatycznej optymalizacji rozkładu wyprowadzeń. Różnica jest zauważalna już na pierwszy rzut oka.

Optymalizację ręczną możemy wykorzystać na końcu, do precyzyjnego dopasowania wybranych, pojedynczych pinów. Polega ona na ręcznym wskazywaniu par wyprowadzeń, które mają zostać zamienione.

Po zakończeniu optymalizacji, automatycznej bądź ręcznej, pojawi się zapytanie, czy wykonać aktualizację schematów. Jeśli wybierzemy tę opcję, pojawi się okno dialogowe *Engineering Change Order* z listą zmian, jakie zostały spowodowane zamianą pinów i wymagają synchronizacji PCB ze schematem. Możemy zmiany uruchomić od razu lub odłożyć na potem. Jeśli na razie odłożymy synchronizację i rzucimy okiem na okno *FPGA Workspace Map*, zobaczymy czerwoną linię łączącą dokumenty *PcbDoc* i *SchDoc*, której ko-

lor potwierdza rozsynchronizowanie tych części projektu (rys. 49).

Klikając łącze (czerwoną linię) pomiędzy *PcbDoc* i *SchDoc*, uruchamiamy synchronizację tych dokumentów. Pojawia się okno dialogowe *Engineering Change Order* z listą zmian, jakie zostaną wykonane. Rysunek poniżej przedstawia przykładową listę zmian (ECO), która powstaje po zamianie pinów układu na PCB.

Klikając przycisk *Execute Changes*, uruchamiamy synchronizację PCB ze schematami. Ta operacja przywraca spójność pomiędzy płytą drukowaną a schematami w ramach projektu PCB, natomiast powoduje rozsynchronizowanie projektu PCB z FPGA. Informuje nas o tym łącze w kolorze czerwonym, pomiędzy częścią PCB i FPGA w oknie *FPGA Workspace Map*, widocznym na rys. 50.

Klikając to łącze, pojawia się okno dialogowe *Synchronize U1 and Licznik Johnsona.PrjFpg* na, które pozwala na synchronizację projektów PCB i FPGA.

Przycisk *Update To FPGA* uruchamia synchronizację, która w istocie polega na wprowadzeniu zmian do pliku *.Constraint* związanego z projektem.

Gdyby teraz zajrzeć do widoku w oknie *FPGA Workspace Map*, wszystkie części projektu powinny być połączone zielonymi liniami. Na tym etapie kończy się proces synchronizacji projektów po optymalizacji rozkładu wyprowadzeń układu FPGA na PCB, ale trzeba mieć świadomość, że wprowadzone zmiany odniosą praktyczny skutek dopiero po kolejnym uruchomieniu narzędzia *Place & Route*, czyli przejściu etapu oznaczonego przyciskiem *Build* w widoku *View*. Dzieje się tak dlatego, ponieważ informacja o zamianie wyprowadzeń została zapisana do pliku *.Constraint*, a dopiero program *Place & Route* wprowadza fizyczne zmiany do pliku, programując układ FPGA.

W drugą stronę...

... czyli w sytuacji kiedy zmiany wprowadzamy po stronie projektu FPGA i należy je przenieść do projektu PCB również można synchronizować projekt. Taka sytuacja może się zdarzyć na przykład, jeśli optymalizacja PCB spowodowała, że projekt FPGA nie mieści się w układzie. Tak się zdarza, ponieważ możliwość wykorzystania zasobów układu FPGA przez narzędzie *Place & Route* jest częściowo uzależniona od rozkładu wyprowadzeń. Czasem rozkład optymalny po stronie PCB, okazuje się kłopotliwy po stronie FPGA.

W takiej sytuacji trzeba szukać kompromisu, rezygnując częściowo z optymalizacji przebiegu połączeń na płycie drukowanej, na rzecz skutecznej implementacji projektu FPGA. Realizuje się to w ten sposób, że usuwamy z pliku *.Constraint* część ograniczeń dotyczących rozkładu wyprowadzeń, a następnie wykonujemy próbę implementacji projektu FPGA. Jeśli próba się powiedzie, importujemy do pliku *.Constraint* informacje o numerach wyprowadzeń z pliku raportu, który generuje program *Place & Route* w procesie implementacji projektu FPGA. Mając otwarty właściwy plik *.Constraint*, wybieramy z menu *Design* opcję *Import Pin File* i wczytujemy nowo powstały plik raportu. Teraz mamy zaktualizowany plik *.Constraint* i zmiany należy przenieść do projektu PCB. Postępujemy dokładnie odwrotnie, niż w poprzednio opisanym przypadku. Otwieramy okno *FPGA Workspace Map*, klikamy na czerwonej linii łączącej rozsynchronizowane projekty FPGA i PCB, a następnie w oknie *Synchronize* uruchamiamy zmiany w kierunku od FPGA do PCB. Spowoduje to niezgodności pomiędzy schematami i płytą drukowaną w projekcie PCB, które należy zsynchronizować w podobny sposób, jak poprzednio, przyjmując kierunek zmian od schematów do PCB.

W obie strony...

... jednocześnie synchronizować projektów niestety nie można. Jeśli zdarzy się tak, że wprowadzimy zmiany zarówno do projektu PCB, jak i FPGA, bez synchronizacji na bieżąco, będziemy musieli dopilnować, aby w procesie synchronizacji każda z tych zmian była przeniesiona we właściwym kierunku. Co więcej, synchronizację należy przeprowadzić dwukrotnie – raz w kierunku od FPGA do PCB, drugi raz w kierunku odwrotnym. Kolejność niema większego znaczenia. W końcowym efekcie powinniśmy uzyskać stan synchronizacji, czyli zielone linie łączące wszystkie składniki projektów w oknie *FPGA Workspace Map*.

Grzegorz Witek
Evatronix S.A.