

PicoBlaze: sposoby konfiguracji układów FPGA z rodziny Spartan

Kontynuujemy omawianie problemów związanych z konfigurowaniem układów FPGA z rodziny Spartan 3. O tym, że zadanie to sprawia użytkownikom sporo problemów wiemy z listów, jakie napłynęły do redakcji po opublikowaniu cyklu artykułów o „miękkim” mikrokontrolerze PicoBlaze (publikacje zaczęliśmy w EP w maju 2005).

Miesiąc temu przedstawiliśmy trzy wybrane sposoby konfigurowania układów FPGA: za pomocą interfejsów JTAG, za pomocą wyspecjalizowanej pamięci nieulotnej z wyjściem szeregowym i za pomocą dowolnej pamięci typu ROM z wyjściem równoległym. Dotychczas nie wyjaśniliśmy skąd konfigurowany układ wie o tym, skąd brać dane konfigurujące, nie wiemy także jak porozumiewa się konfigurator z konfigurowanym układem. Wyjaśnimy to w artykule.

Tryby konfiguracji

Układy z rodziny Spartan 3 są przystosowane do obsługi 5 sposobów konfigurowania, z których w praktyce najczęściej korzystam z dwóch: JTAG oraz *Master Serial* (z wykorzystaniem konfiguratora). Dość popularnym trybem konfiguracji jest także *Slave Serial*, w którym konfigurowany układ FPGA jest źródłem sygnału zegarowego synchronizującego transmisję danych z zewnętrznej pamięci nieulotnej. Obydwa tryby *Serial* umożliwiają łączenie konfigurowanych układów w kaskady (rys. 5), dzięki czemu w niektórych przypadkach można wykorzystać jeden konfigurator (o odpowiednio dużej pojemności) do współpracy z kilkoma układami FPGA.

Wybór trybu konfiguracji odbywa się za pomocą trzech dedykowanych wejść oznaczonych M0...2,

zgodnie z opisem z tab. 2. Zmiana trybu konfigurowania jest możliwa poprzez zmianę stanów logicznych na wejściach M0...2 i wymuszenie rekonfiguracji układu (np. poprzez wyłączenie i włączenie zasilania lub zainicjowanie interfejsu JTAG).

Na rys. 6 pokazano przykładowy schemat elektryczny połączeń pomiędzy konfiguratorem XCF01S oraz układem z rodziny Spartan 3. Takie połączenie układów umożliwia automatyczne konfigurowanie FPGA po włączeniu zasilania oraz (alternatywnie) konfigurowanie FPGA za pomocą programatora dołączonego do interfejsu JTAG. Wybór aktywnego kanału komunikacyjnego jest możliwy za pomocą zworki JP2 – układ FPGA jest konfigurowany w jednym z dwóch trybów zaznaczonych w tab. 2 za pomocą szeregowo: *Master Serial* lub JTAG.

Na schemacie z rys. 6 pogrubioną linią zaznaczono ścieżkę przesyłania danych w łańcuchu JTAG. Należy pamiętać, że wszystkie układy wchodzące w skład łańcucha mają równolegle połączone (sterowane z programatora) linie: TCK i TMS, które służą odpowiednio do: taktowania i ustalania trybu pracy interfejsu JTAG. Przycisk S1 służy do ręcznego wymuszania rekonfiguracji układu FPGA – jego naciśnięcie wymusza skopiowanie zawartości pamięci Flash do pamięci konfigurującej SRAM wbudowanej w FPGA.



(Nie)porządek z napięciami

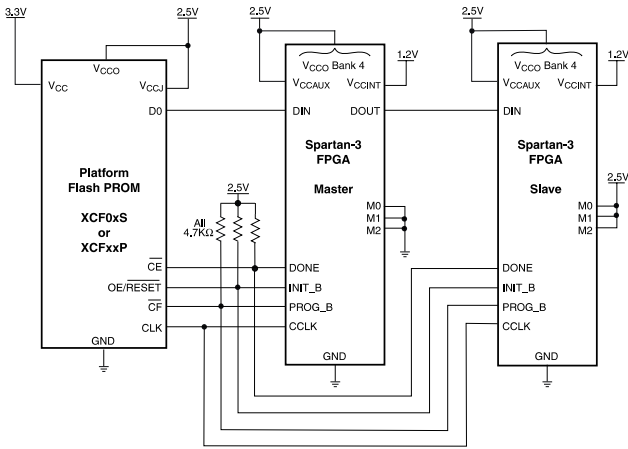
Z nie do końca jasnych przyczyn, Xilinx skomplikował użytkownikom korzystanie z interfejsów konfiguracyjnych, wprowadzając dodatkową (poza zasilaniem rdzenia 1,2 V i potów I/O do 3,3 V) linię zasilania – 2,5 V. Napięcie to jest traktowane jako maksymalne dopuszczalne (zgodnie z wymogami standardu napięciowego LVC-MOS25) dla wszystkich wyspecjalizowanych linii I/O wykorzystywanych podczas konfiguracji (PROG_B, TDI, TMS, TCK, TDO, CCLK, DONE, M0, M1, M2 oraz HSWAP_EN – tab. 3). Uwaga ta dotyczy także linii I/O stosowanych podczas konfiguracji za pomocą pamięci równoległych. Ponieważ większość dostępnych na rynku programatorów ISP jest przystosowana do pracy z napięciami z zakresu 3,3...5 V, konieczne jest zastosowanie rezystorów ograniczających prąd wejściowe w liniach I/O zasilanych napięciem o wartości wyższej od 2,5 V. Nie zastosowanie tych rezystorów może spowodować (przez przepływ prądu o zbyt dużym natężeniu, zazwyczaj powyżej 10 mA) uszkodzenie diod znajdujących się w strukturze układu pomiędzy linią I/O i linią zasilania (rys. 7), może także spowodować uszkodzenie lub niepoprawną pracę stabilizatora napięcia zasilającego, który – z natury rzeczy – nie jest przystosowany do przyjmowania prądu wpływającego od strony wej-

Tab. 2. Możliwe tryby konfiguracji układów Spartan 3

Nazwa trybu konfiguracji	M0	M1	M2	Sygnal synchronizujący	Szerokość magistrali danych
Master Serial	0	0	0	CCLK (wy)	1
Slave Serial	1	1	1	CCLK (we)	1
Master Parallel	1	1	0	CCLK (wy)	8
Slave Parallel	0	1	1	CCLK (we)	8
JTAG	1	0	1	TCK (we)	1

Napięciowe tajniki Spartan 3 w szczegółach

Tego, że zasilanie i sposoby dołączania elementów peryferyjnych do układów z rodziny Spartan 3 wywołują wiele problemów, dowodzi specjalna nota aplikacyjna przygotowana w lutym tego roku przez firmę Xilinx (jej oznaczenie: XAPP453). Polecamy jej przestudiowanie wszystkim Czytelnikom zainteresowanym tymi układami.



Rys. 5.

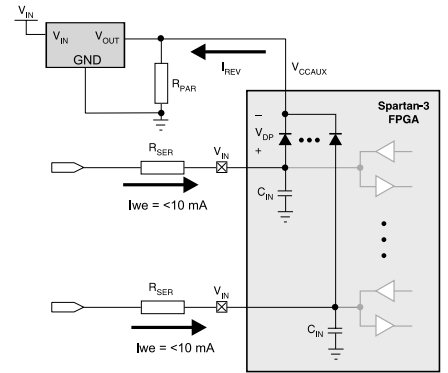
ścia. Z tego powodu, oprócz rezystorów ograniczających prąd wejściowy, konieczne jest zastosowanie rezystora odbierającego prąd zwrotny (I_{REV} na rys. 7) z linii zasilającej V_{CCAUX} .

Poważną (w stosunku do niektórych rozwiązań oferowanych przez firmę konkurencyjne) zaletą układów Spartan 3 jest możliwość dołączania napięć zasilających w dowolnej ko-

lejności. Można więc stosować standardowe stabilizatory pozbawione sekwencerów zasilania – ma to poważny wpływ na ograniczenie kosztu (i tak niełatwych do zdobycia) podzespołów zastosowanych w obwodach zasilania.

Linie I/O podczas konfiguracji

Ostatnim zagadnieniem, wartym do wzięcia pod uwagę w związku z konfiguracją układu, jest zachowanie się linii I/O podczas włączania zasilania i konfigurowania FPGA. Wbudowany w układy Spartan 3 układ POR (*Power On Reset*) powoduje, że linie I/O są utrzymywane w stanie wysokiej impedancji do chwili osiągnięcia prawidłowych wartości przez napięcia V_{CCINT} , V_{CC0_4} , V_{CCAUX} i następnie skonfigurowania



Rys. 7.

Specyficzne napięcia

Wejścia M0...2 są przystosowane do sterowania poziomami logicznymi zgodnymi ze standardem LVCMOS25 co oznacza, że maksymalna, bezpieczna wartość napięcia na tym wejściu nie może być większa niż 2,5 V.

układu. Po ustaleniu się napięć zasilających, stany linii I/O zależą od konfiguracji układu – jeśli FPGA nie został skonfigurowany, na liniach I/O jest utrzymywany stan wysokiej impedancji. Nie ma więc ryzyka, że konfiguracja lub rekonfiguracja układu FPGA w systemie cyfrowym, którego praca jest inicjowana (np. poprzez zerowanie) może zostać zaburzona przez przypadkowe sygnały występujące na jego liniach I/O.

W przypadku takiej konieczności jest możliwe dołączenie do linii I/O rezystorów podciągających, które są aktywowane podczas konfiguracji układu. Wymaga to zwarcia wyprowadzenia HSWAP_EN do masy zasilania (domyślnie jest ono podciągnięte do plusa).

Piotr Zbysiński, EP
piotr.zbysinski@ep.com.pl

Zasady

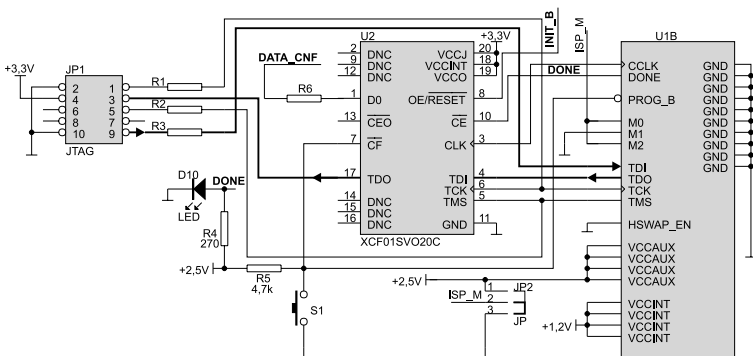
Rezystancje włączane szeregowo w obwody linii I/O akceptujących sygnały zgodne ze standardem LVCMOS25 napięciem 2,5 V należy dobrać w taki sposób, aby maksymalny prąd płynący przez nie przekraczał 10 mA.

Rezystancja rezystora odbierającego prąd zwrotny powinna zostać dobrana w taki sposób, aby przepływ prądu o natężeniu równym sumie prądów wpływających do linii zasilania przez diody zabezpieczające.

$R_{PAR} = V_{CCAUXmin} / I_{REV}$

Tab. 3. Maksymalne napięcia wejściowe wybranych linii specjalnych oraz wielofunkcyjnych

Nazwa linii	Maksymalne napięcie wejściowe [V]	Odnosny biegun zasilania I/O
PROG_B	2,5	–
HSWAP_EN	2,5	–
TDI	2,5	–
TMS	2,5	–
TCK	2,5	–
TDO	2,5	–
CCLK	2,5	–
DONE	2,5	–
M0...2	2,5	–
INIT_B	= VCC0_4	VCC0_4
DOUT	= VCC0_4	VCC0_4
BUSY	= VCC0_4	VCC0_4
DIN	= VCC0_4	VCC0_4
D0...3	= VCC0_4	VCC0_4
D4...7	= VCC0_4	VCC0_5
RDWR_B	= VCC0_4	VCC0_5
CS_B	= VCC0_4	VCC0_5



Rys. 6.