

LiveDesign w praktyce, część 6



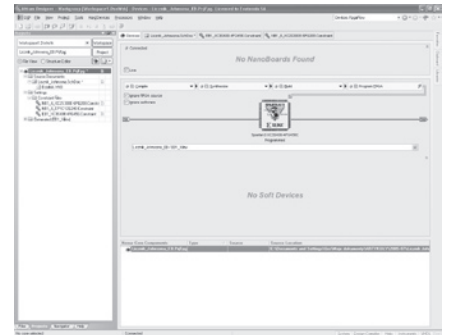
Jedną z najmocniejszych stron systemu Altium Designer, jest jego niezależność od platformy sprzętowej FPGA, na której będą implementowane projekty. Program obsługuje szeroką gamę układów programowalnych firm Actel, Altera i Xilinx. Dostosowanie projektu FPGA do wybranej platformy sprzętowej sprowadza się do przygotowania odpowiednich plików konfiguracyjnych. Tym zagadnieniom poświęcamy tą część kursu.

Teraz czas zastanowić się nad schematem. Nasz projekt logiczny korzysta z kilku elementów zewnętrznych: generatora sygnału zegarowego, przycisku TEST/RESET, kilku przycisków DIP oraz liniiki LED. Tak się szczęśliwie składa, że te elementy występują zarówno na płycie NanoBoard NB-1, dla której pierwotnie przygotowaliśmy projekt, jak również na płycie EB1 z zestawu *LiveDesign Evaluation*, na którą teraz staramy się układ przenieść. Można się nie zastanawiać nad szczegółami konstrukcji płyty, ponieważ producent dostarcza nam gotową bibliotekę *EvalBoard Port-Plug-in.IntLib*, w której znajdziemy wszystkie komponenty, reprezentujące peryferia na płycie ewaluacyjnej EB1.

Należy się parę słów wyjaśnienia, czym naprawdę są te niezwykle elementy, zgromadzone w bibliotece *EvalBoard Port-Plug-in.IntLib*, czy też *FPGA NanoBoard Port-*

-Plugin.IntLib, które w projekcie logicznym reprezentują fizyczne peryferia dostępne na płycie uruchomieniowej. Odpowiedź nasuwa się sama, jeśli wykonamy na takim elemencie prosty zabieg – konwersję na port. Z menu *Tools* wybieramy *Convert* i dalej *Convert Part To Ports*, a następnie wskazujemy element, np. TEST_BUTTON. Jak za dotknięciem czarodziejskiej różdżki, nasz tajemniczy element, zmienia się w zwykły port, oznaczony TEST_BUTTON.

Czyli połączenie projektu logicznego z fizycznym otoczeniem, zrealizowane jest za pomocą zwykłych portów, umieszczonych na najwyższym w hierarchii arkuszu schematu projektu FPGA. Wspomniane porty to nie wszystko. Drugi istotny element, to plik *.Constraint*, który łączy porty z fizycznymi pinami układu FPGA. Wystarczy otworzyć np. plik *EB1_XC3S400-4FG456.Constraint*



Rys. 29. Widok Devices z podłączoną płytą ewaluacyjną EB1 z zestawu *LiveDesign Evaluation*

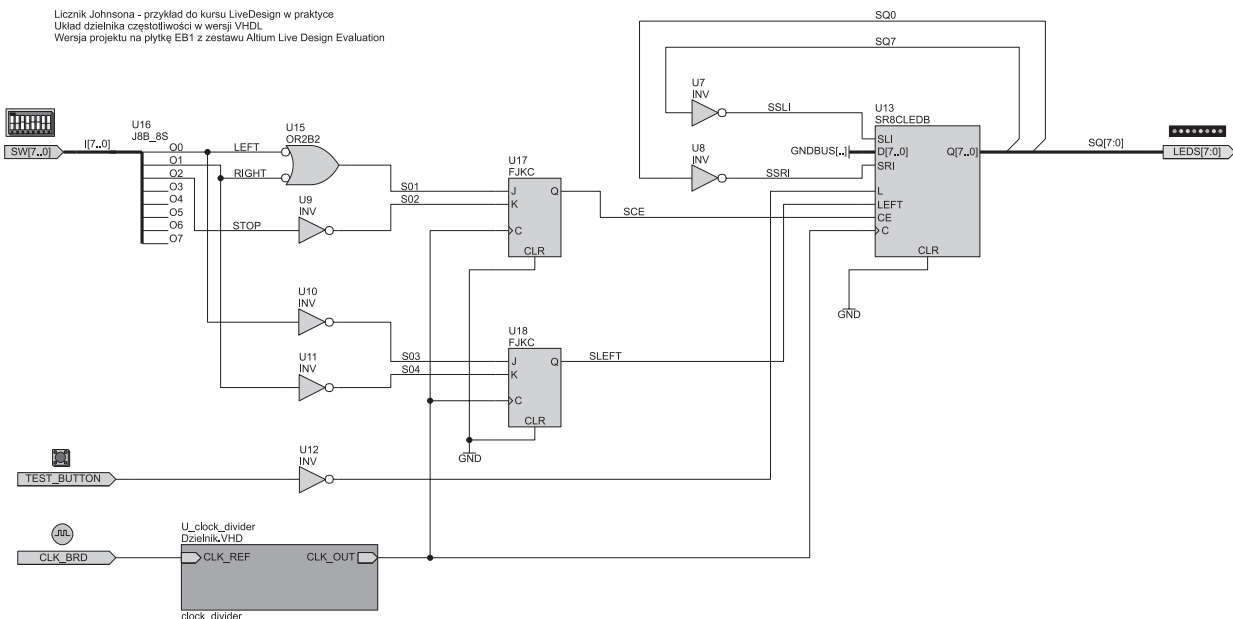
w naszym projekcie, a z łatwością znajdziemy w nim fragment:

```
Record = Constraint |
TargetKind=Port | TargetId=TEST_BUTTON |
FPGA_PINNUM=Y17
```

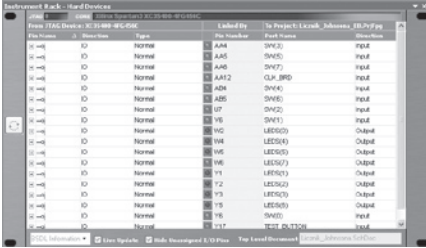
który mapuje przykładowy port TEST_BUTTON na wyprowadzenie Y17 układu FPGA.

To właśnie m.in. dzięki takiej,

Licznik Johnsona - przykład do kursu *LiveDesign w praktyce*
Układ dzielnika częstotliwości w wersji VHDL
Wersja projektu na płycie EB1 z zestawu Altium *Live Design Evaluation*



Rys. 28. Schemat licznika Johnsona dostosowany do implementacji na płycie uruchomieniowej z zestawu *LiveDesign Evaluation*



Rys. 30. Instrument Hard Devices pokazuje „na żywo” stan wyprowadzeń układu FPGA

dwupoziomowej konstrukcji łączy pomiędzy projektem logicznym, a fizycznym otoczeniem, system Altium Designer daje tak dużą elastyczność w przenoszeniu projektu pomiędzy różnymi platformami sprzętowymi.

Przechodzimy do schematu *Licznik Johnsona.SchDoc* (rys. 28) i zabieramy się za analizę elementów peryferyjnych. Jeśli porównamy elementy schematu: TEST_BUTTON, SW[7..0] i LEDS[7..0] z ich odpowiednikami w bibliotece *EvalBoard Port-Plug-in.IntLib* okaże się, że są prawie identyczne. Wprawdzie różnią się nieco wyglądem graficznym,

ale mają identyczne oznaczenia. Firma Altium stara się ułatwić życie projektantom i zadbała o identyczne oznaczenia w bibliotekach. Takie same peryferia, choć na różnych płytach uruchomieniowych, są tak samo nazwane w bibliotekach. Dzięki temu, wspomnianych elementów nie musimy ruszać na schemacie.

Jedynie, zamiast komponentu CLK_REF, wstawiamy element CLK_BRD_ z biblioteki *EvalBoard Port-Plug-in.IntLib*. To element reprezentujący generator sygnału zegarowego, który na płycie NanoBoard NB-1 jest inny, niż na płycie ewaluacyjnej z zestawu LiveDesign Evaluation. Prawidłowy schemat jest pokazany na rysunku poniżej.

Po tej prostej zmianie, należy zapisać cały projekt i można przejść do okna *Devices*, gdzie uruchomimy proces kompilacji projektu i programowania chipu FPGA.

Jeśli płyta ewaluacyjna jest podłączona, system wykryje ją automatycznie i zobaczymy na ekranie m.in. dużą ikonę układu Xilinx Spartan 3, jak na rys. 29.

Kliknięciem ostatniego przycisku *Program FPGA* uruchamiamy proces przetwarzania projektu, kończący się zaprogramowaniem układu. Jeśli w projekcie niema błędów, po dłuższej chwili możemy testować go w sprzęcie. Przypominam, że pracą licznika sterują przełączniki 1, 2 i 3 z zestawu DIP i przycisk TEST/RESET. W celach poznawczych warto jeszcze włączyć instrument *Hard Devices*, pokazany na rys. 30. Uruchamiamy go, klikając dwukrotnie ikonę układu FPGA.

Ten panel pozwala nam obserwować „na żywo” sygnały na wyprowadzeniach układu FPGA i jest podstawowym narzędziem diagnostycznym, które umożliwia sprawdzenie, czy układ pracuje. Tutaj też wiadac najlepiej powiązanie portów ze schematu z fizycznymi pinami układu.

Za miesiąc, w kolejnym odcinku, zajmiemy się tworzeniem własnej płyty drukowanej pod układ FPGA i synchronizacją projektu FPGA z PCB.

Grzegorz Witek, Evatronix



SPRZEDAŻ CZĘŚCI I PODZESPOŁÓW ELEKTRONICZNYCH

HURT:

01-985 Warszawa, ul. Dzierżonowska 9A, tel. (22) 865 30 60, fax (22) 865 30 50

DETAL - nasze SKLEPY:

02-585 Warszawa, Al. Niepodległości 84, tel. (22) 844 44 22, tel./fax (22) 844 09 92
02-620 Warszawa, ul. Puławska 132, tel./fax (22) 848 44 95, tel. (22) 844 44 43
40-032 Katowice, ul. Dąbrowskiego 1, tel. (32) 251 25 25, tel./fax (32) 251 58 44

SPRZEDAŻ WYSYŁKOWA • PEŁNA OFERTA W INTERECIE

www.slawmir.com.pl e-mail: slawmir@slawmir.com.pl



PRECYZYJNE REZYSTORY METALIZOWANE

Rezystancje od 0,3 Ω do 10 MΩ
Tolerancje od 0,01% do 0,5%

elpod

POLSKI PRODUCENT

<http://www.elpod.com.pl>

31-416 Kraków
ul. Dobrego Pasterza 120
tel. (012) 410-25-50 do 51
fax (012) 410-25-52

e-mail: biuro@elpod.com.pl

Ofertujemy ponadto: Rezystory SMD 0805 oraz 1206 10Ω do 1MΩ
Tolerancje 0,1%; 0,25%; 0,5%; 1%
TWR 10, 25, 50 ppm/K



CHEM04
Drobnokrystaliczny środek trawiący B327; 100g/0.5L roztworu. 4 zł



Folia termo-transferowa do samodzielnego wykonywania płytek drukowanych
TES200B - 10 arkuszy A4 31 zł
TES200A - 5 arkuszy A4 16,50 zł

Pisak do rysowania obwodów drukowanych
EDDING404 - kreska = 0,75mm 9 zł
EDDING400 - kreska = 1mm 8 zł



ET10
Zbiornik do wykonywania płytek drukowanych z pompką i grzałką 100W/230V
- wymiary zewnętrzne: 292 x 235 x 37mm
- wymiary wewnętrzne: 275 x 205 x 30mm
210 zł



CHEM14
Środek do cynowania chemicznego 90g/1l wody. Wysokiej jakości kąpieli chemiczna bezprądu do obwodów drukowanych. Wytwarza błyszczące, szczelne powłoki o dobrej przyczepności i lutowności. Grubość powłoki 5÷12 um 49 zł

LAMINAT			
1 warstwa		2 warstwy	
100*160	2,50 zł	100*160	2,5 zł
120*240	5 zł	100*200	3,7 zł
180*230	7 zł	150*150	4,1 zł
190*285	10 zł	155*230	9 zł
85*830	3,7 zł	210*220	8 zł
90*200	3 zł	250*265	12,2 zł
		85*370	4,1 zł

Zamówienia przyjmuje Dział Handlowy AVT, 01-939 Warszawa, ul. Burleska 9, tel.: (22) 568 99 50, fax: (22) 568 99 55, e-mail: handlowy@avt.com.pl