

Koniec ery 5 V, część 4 Ukryte pułapki

Czy podczas łączenia układów cyfrowych możemy napotkać na jakieś przykre niespodzianki? Cóż może się stać dziwnego z układami, które pracują tylko dwustanowo? Wielkiej filozofii przecież w tym nie ma.

Jak mogliśmy się wcześniej przekonać, współczesne układy cyfrowe nafaszerowane są różnymi udoskonaleniami, które nie mają nic wspólnego z realizowanymi funkcjami logicznymi, ale z elektrycznego punktu widzenia nie są obojętne.

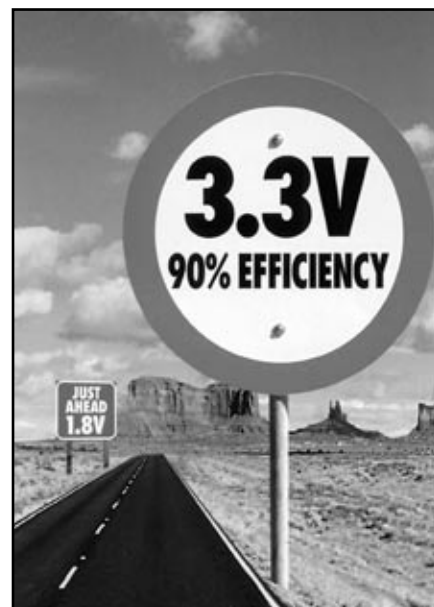
W drugiej części artykułu zapoznaliśmy się z różnego rodzaju udoskonaleniami i zabezpieczeniami stosowanymi we współczesnych układach cyfrowych. Były to obwód *Bus-Hold*, *Series Damping Resistor*, zabezpieczenia *Live Insertion*. Ze względu na dużą wrażliwość układów CMOS na zakłócenia elektrostatyczne (ESD - *Electrostatic Discharge*), często uwzględnia się również w ich strukturze dodatkowe elementy zabezpieczające. Musimy jednak pamiętać o tym, że istnieje możliwość uszkodzenia układów CMOS poprzez zwykłe dotknięcie ich końcówek ręką. Przykładowe rozwiązania zabezpieczeń przedstawiono na **rys.18**. Jedną z prostszych metod, przy tym wystarczająco skuteczną, jest umieszczenie diod zwierających wejścia do masy i do plusa zasilania. W przypadku pojawienia się zbyt wysokiego napięcia na wejściu (może to być np. napięcie elektrostatyczne przyłożone do końcówki układu), jest ono zwierane przez diodę D1 do V_{CC} (rys.18a), natomiast ujemne napięcie jest zwierane do masy przez diodę D2. Niestety, takie rozwiązanie z założenia wyklucza możliwość doprowadzania do wejścia układu sygnałów o wartości większej niż $V_{CC}+0,5V$. Układ taki, jeśli będzie zasilany napięciem 3,3V lub niższym, nie będzie się więc nadawał do współpracy z układami 5-woltowymi. W układach rodziny ABT zmodyfikowano to zabezpieczenie, umieszczając zamiast diod D1 i D2 dodatkowe tranzystory (MOS lub bipolarne) T1 i T2 (rys.18b). Pracują one w konfiguracji diody Zenera, zabezpieczając wejście jednocześnie

przed nadmiernymi napięciami dodatnimi i ujemnymi. W tym przypadku nie dochodzi do zwierania sygnału wejściowego do plusa zasilania, tym samym układ toleruje sygnały wejściowe o napięciu wyższym niż V_{CC} . W praktyce napięcie jest ograniczane do wartości napięcia Zenera, czyli ok. 7 do 10V.

Funktory logiczne, choć stworzone do realizacji funkcji boolowskich, są w rzeczywistości najzwyczajszymi układami elektrycznymi poddającymi się wszelkim prawom teorii obwodów, w szczególności prawom Kirchhoffa. Niesie to za sobą określone konsekwencje. Zostaną one przedstawione poniżej.

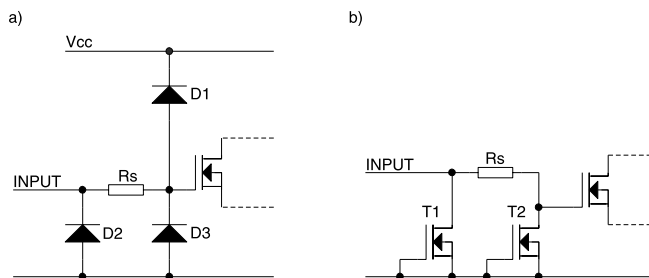
Łączenie układów wielonapięciowych - o czym trzeba pamiętać?

Układ *Bus-Hold* - niestety, podobnie jak w omawianych wyżej układach zabezpieczających przed ESD, i tu między źródłem i drenem górnego tranzystora występuje wewnętrzna dioda zwierająca zbyt wysokie napięcie wejściowe do plusa zasilania (**rys.19a**). Układ cyfrowy tak

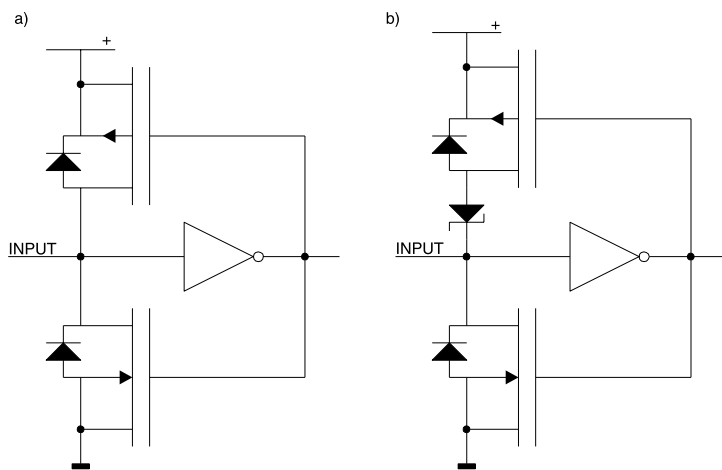


skonstruowany (np. serii ALVC) nie będzie więc tolerował napięć wejściowych wyższych, niż $V_{CC}+0,5V$. Układ *bus-hold* został zmodyfikowany w serii LVT (**rys.19b**). Wprowadzono tu dodatkową diodę Schottky'ego, włączoną szeregowo z górnym tranzystorem tak, aby wykluczyć zwieranie sygnału wejściowego do V_{CC} . Układy LVT tolerują napięcia wejściowe wyższe niż V_{CC} .

Stopnie wyjściowe układów CMOS. Tolerancja napięciowa nie dotyczy tylko obwodów wejściowych. W wielu przypadkach (bufory, transceivery, interfejsy magistral) do wyjścia układu cyfrowego może być również doprowadzone napięcie wyższe od napięcia zasilającego. Typowy stopień wyjściowy układu CMOS przedstawiono na **rys.20a**. Wewnętrzna dioda znajdująca się między źródłem i drenem górnego tranzystora może spowodować niepożądany przepływ prądu w przypadku, gdy do wyjścia zostanie doprowadzone napięcie wyższe niż V_{CC} . Praca układu zostanie więc zakłócona, a w najgorszym przypadku może nawet dojść do jego uszkodzenia. Niebezpieczeństwa takiego nie



Rys. 18. Przykładowe rozwiązania zabezpieczeń wejść układów CMOS przed wyladowaniami elektrostatycznymi



Rys. 19. Układ bus-holda: a) klasyczny, b) zmodyfikowany

będzie w przypadku układów NMOS, których stopień wyjściowy przedstawiono na **rys.20b**.

Stopnie wyjściowe typu *Open Collector* lub *Open Drain* - stopnie wyjściowe typu „*Open Collector*” (**rys.21**) stosowane w układach bipolarnych i *Open Drain* stosowane w układach CMOS stanowią bardzo wygodne rozwiązanie problemu tolerancji wysokiego napięcia wyjściowego. Do takich wyjść można doprowadzać dosyć wysokie napięcia, ograniczone jedynie wartością napięcia przebicia kolektor-emiter lub źródło-dren. Na ogół jest to kilkanaście do kilkudziesięciu woltów. Trzeba jednak pamiętać, że w tym przypadku musi być stosowany zewnętrzny rezystor podciągający. Jego wartość będzie miała wpływ na szybkość działania układu. Dla uzyskania dużych prędkości konieczne będzie użycie rezystora o małej wartości, a to spowoduje wzrost mocy rozpraszanej przez układ.

Niebezpieczeństwo przepływu prądu pomiędzy liniami zasilającymi np. od +5V do +3,3V (lub niższych), a także do masy. Z wcześniejszych rozważań wiemy już, że w przypadku połączenia ze sobą wyjść układów zasilanych napięciem 3,3V i 5V, wewnętrzna dioda między źródłem i drenem górnego tranzystora stopnia wyjściowego może być przyczyną przepływu prądu od linii zasilającej +5V, do zasilania 3,3V. W efekcie, napięcie na linii zasilania 3,3V może wzrosnąć na tyle, że nie „wytrzymają” tego układy przewidziane do zasilania tym napięciem. W najgorszym przypadku może dojść do uszkodzenia elementów, w najlepszym zaś odczujemy znaczny wzrost mocy rozpraszanej. Uwaga! Taki przepływ prądu jest możliwy nawet wte-

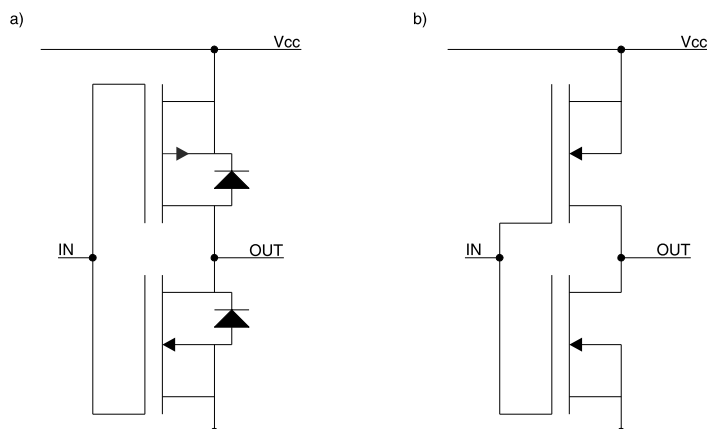
dy, gdy wyjście układu znajduje się w stanie wysokiej impedancji (prąd płynie przez wewnętrzną diodę).

To jeszcze nie koniec groźnych sytuacji. Analogiczny przepływ prądu pomiędzy różnymi liniami zasilającymi, mogący uczynić liczne spustoszenia w systemie, może wystąpić także wtedy, gdy na połączonych ze sobą wyjściach układów zasilanych różnymi napięciami wystąpi jednocześnie stan wysoki. Choć taka sytuacja w dobrze zaprojektowanym systemie nie powinna wystąpić, to jednak jest możliwa, tym bardziej, że może być wynikiem np. błędu oprogramowania mikrokontrolera. Równie groźny (i tak samo raczej mało prawdopodobny w dobrze zaprojektowanym systemie) może być przepływ prądu przez dwa połączone ze sobą wyjścia (niekoniecznie należące do układów zasilanych różnymi napięciami) jeśli jedno z tych wyjść znajduje się w stanie wysokim, drugie zaś w niskim. Jak łatwo wywnioskować przyglądając się schematom stopni wyjściowych, nastąpi wówczas zwarcie linii zasilającej układ, którego wy-

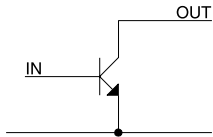
ście jest w stanie wysokim (**rys.22**) - jedynie przez kilkuomowe rezystancje włączonych tranzystorów.

Na szczęście producenci układów cyfrowych pomagają użytkownikom zwalczać niepożądane przypadki opisane wyżej, a trudne do przewidzenia na etapie projektowania aplikacji. Jedną z metod jest zaopatrywanie układów w stopień wyjściowy typu *Auto 3-State*. Jest tak np. w przypadku serii ALVT. Wyjście tego typu przedstawiono na **rys.23**. Zasada działania opiera się na ciągłym porównywaniu napięcia występującego na końcówce wyjściowej układu z wartością napięcia zasilającego. Realizuje to odpowiednio zaimplementowany komparator. Jeśli w chwili, gdy wyjście znajduje się w stanie aktywnym zostanie do niego doprowadzone zewnętrzne napięcie wyższe niż V_{CC} , to komparator przełączy stopień wyjściowy w stan wysokiej impedancji. Przeciwnie włączone diody Schottky'ego zapobiegają niepożądanemu przepływowi prądu. Dzięki temu, ani zabezpieczony układ, ani inne elementy systemu nie ulegają uszkodzeniu. Należy się jednak liczyć z tym, że w chwili zadziałania komparatora na wyjściu układu wystąpi stan logiczny nie zawsze odpowiadający oczekiwanemu. Pamiętajmy jednak, że jest to sytuacja awaryjna, która w normalnych warunkach pracy nigdy nie powinna mieć miejsca. Wyjście *Auto 3-State* jest, jak sama nazwa wskazuje, typu 3-stanowego, nie może być do niego dołączany rezystor podciągający (w szczególności wejście *bus-hold*).

Ostrzeżenia opisane wyżej powinny skłaniać konstruktorów do podejmowania przemyślanych decyzji związanych z doбором układów cyfrowych w swoich projektach, szczególnie w przypadku systemów wielo-

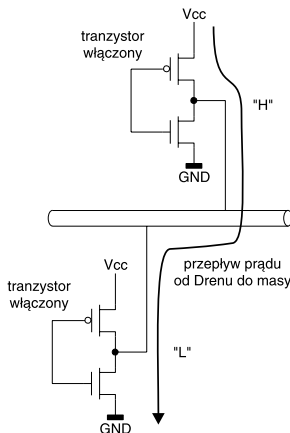


Rys. 20. Stopnie wyjściowe układów CMOS i NMOS



Rys. 21. Stopień wyjściowy *Open Collector*

napięciowych. Pomocna może być w tym tab.1 (przedstawiona w pierwszej części artykułu), w której zebrano parametry napięciowe różnych serii układów cyfrowych. Tabela ta została opracowana na podstawie not katalogowych firmy Texas Instruments. Kolumna *Szereg napięć zasilających* zawiera typowe dla układów cyfrowych napięcia zasilające. Są one równe: 5V, 3,3V, 2,5V, 1,8V, 1,5V, 1,2V, 0,8V. Dla zapewnienia jak najlepszych warunków współpracy urządzeń powinny być projektowane zgodnie z tymi wartościami. Fizyczne zakresy pracy układów rozciągają się najczęściej na ciągi przedział od wartości minimalnej, do maksymalnej. Parametr ten jest umieszczony



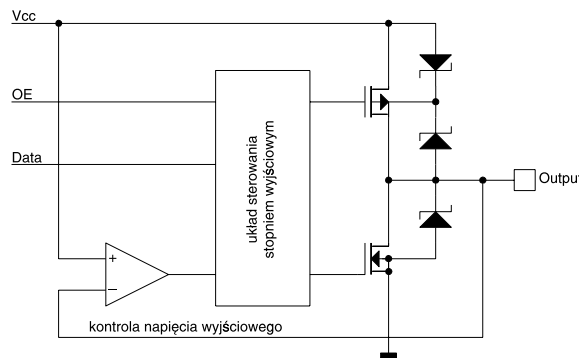
Rys. 22. Możliwość zwarcia zasilania przez nieprawidłowoysterowane wyjścia układów cyfrowych CMOS

w kolumnie: *Roboczy zakres napięć zasilających*. W kolumnie *Standard poziomów...* zawarto standardy poziomów logicznych (TTL, CMOS, LVC-MOS, LVTTTL), z którymi są zgodne poszczególne serie układów. Najważniejsze, z punktu widzenia możliwości współpracy, są kolumny *Tolerancja napięć...* Podano w niej dopuszczalne wartości napięć wejściowych i wyjściowych, jakie mogą być doprowadzone do końcówek logicznych układu. Są one „wzięte” z grupy danych zalecanych, a więc takich przy których można bezpiecznie pracować w normalnych warunkach. W niektórych przypadkach, w katalogach parametry te nie są podawane i wtedy zostały przepisane w nawiasach z rubryk *Wartości absolutne*. Należy pamiętać, że przekroczenie wartości absolutnych grozi nieodwracalnym uszkodzeniem układu. W pewnych przypadkach parametry katalogowe zostały uzupełnione o dodatkowe warunki, dla których obowiązują (opisane w legendzie pod tabelą).

Poznaliśmy chyba już wszystkie zagrożenia z jakimi możemy się spotkać łącząc układy cyfrowe zasilane różnymi napięciami. Generalnym problemem konstruktora jest zapewnienie kompatybilności poziomów lo-

gicznych, a metody, jakimi ten cel ma być osiągnięty powinny uwzględniać wszystkie powyższe ostrzeżenia. Dopasowanie pojedynczych linii cyfrowych można realizować „na piechotę”, wykorzystując zwykłe bramki wykonane w odpowiedniej technologii. Bardzo przydatna okazuje się do tego rodzina Little Logic, ale można stosować również układy standardowe (duże). Do translacji wyższego napięcia do niższego wykorzystuje się często wejściową tolerancję napięciową wybranych serii układów scalonych. W bardziej złożonych systemach, w szczególności wtedy, gdy istnieje potrzeba dopasowywania do siebie wieloliniowych szyn, pomocne mogą być specjalnie przeznaczone do tego celu układy translatorów poziomów. Do tej grupy układów możemy ponadto zaliczyć wielobitowe drivery, translatory, multipleksery i przełączniki. Chyba wszyscy znaczący producenci mają w swojej ofercie bogatą kolekcję układów tego typu. W następnej części artykułu zostaną przedstawione przykładowe realizacje praktyczne interfejsów dla logiki wielonapięciowej.

Jarosław Doliński, EP
jaroslaw.dolinski@ep.com.pl



Rys. 23. Stopień wyjściowy typu Auto3-State

MONTAŻ SMT

- na paście
- na kleju

PROGRAMOWANIE KONSTRUOWANIE

- sterowników na bazie mikrokontrolerów 8-bitowych, 16-bitowych, 32-bitowych

PROJEKTOWANIE

- układów elektronicznych
- obwodów drukowanych

PONADTO OFERUJEMY:

- montaż mieszany: przewlekany, SMT
- lutowanie na fall lutowniczej SOLTEC MIDI z podwójną falą typu SMART WAVE

MCD Electronics
 34-300 Żywiec ul. Lelewela 26
 tel/fax: 33/861 60 35
 e-mail: smt@mcd.com.pl
<http://www.mcd.com.pl>