

Układy FPGA w przykładach, część 3

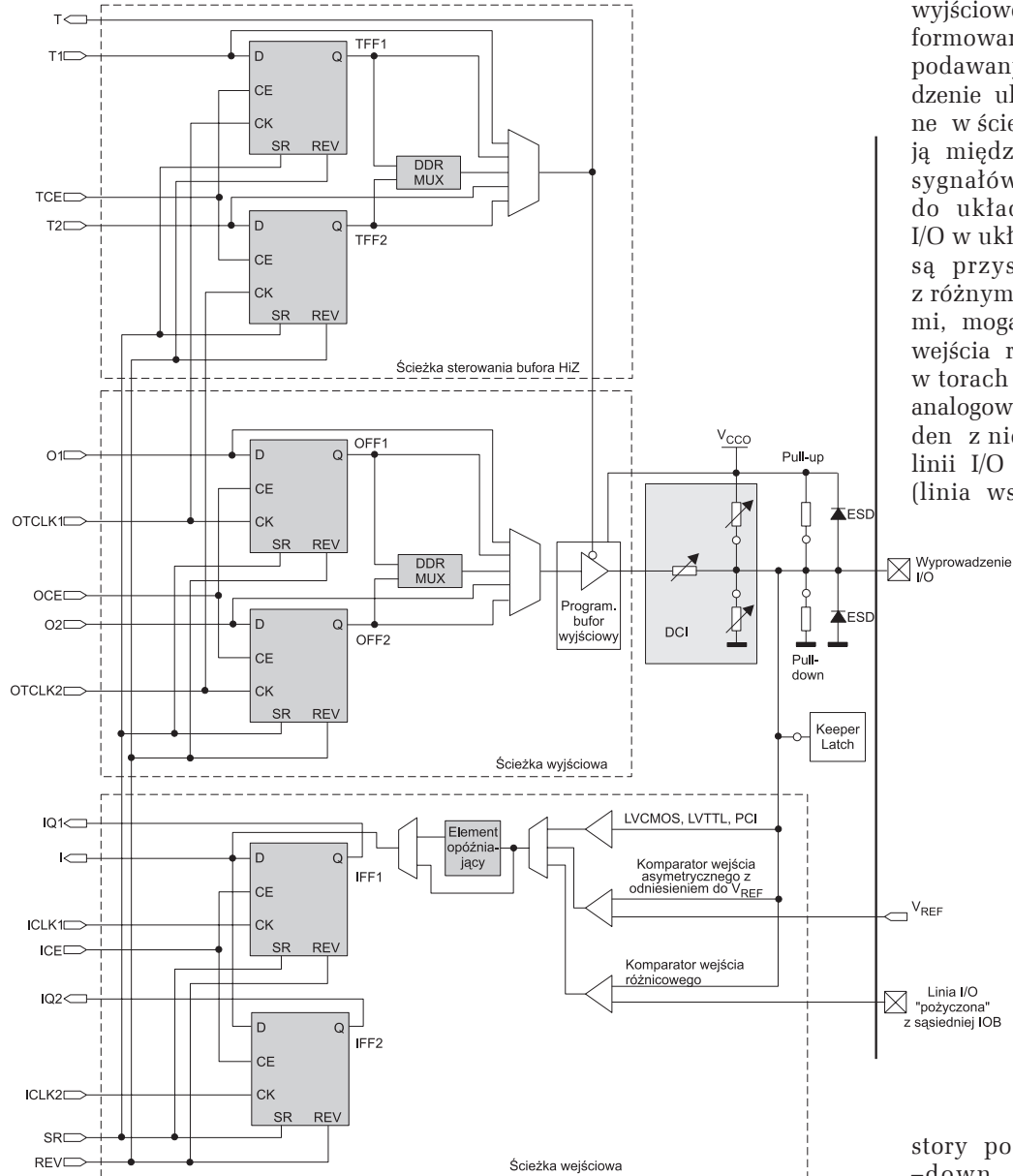
Kontynuujemy prezentację zasobów dostępnych w układach FPGA z rodziny Spartan 3. W tej – przedostatniej „teoretycznej” – części kursu omawiamy budowę komórek I/O oraz zasady dystrybucji sygnałów zegarowych w układach FPGA.

Komórki wejścia wyjścia – IOB

Budowa komórek I/O w układach Spartan 3 jest dość skomplikowana (rys. 12), ale możliwości oferowane przez nie przewyższają (pod względem elastyczności i funkcjonalno-

ści) rozwiązania spotykane w mikrokontrolerach i innych układach cyfrowych.

Zadaniem komórek IOB (Input–Output Block) jest zapewnienie dwukierunkowej wymiany danych pomiędzy komórkami CLB tworzą-



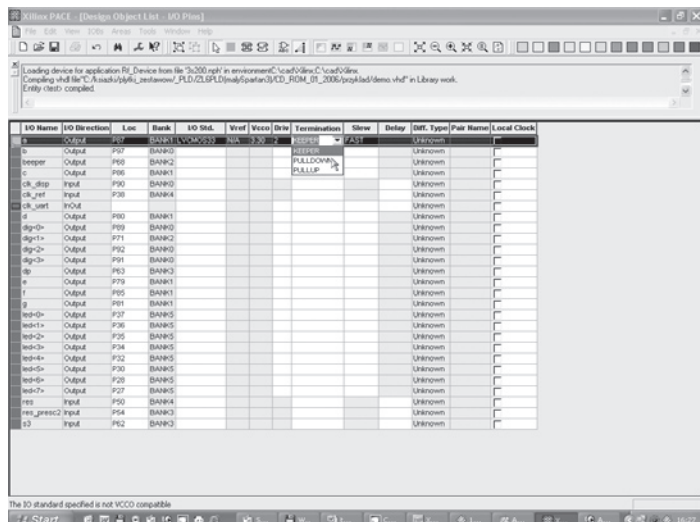
Rys. 12. Budowa komórki IOB

cymi strukturę logiczną zaprojektowaną przez użytkownika (patrz EP11/2006) z otoczeniem.

Jak widać na rys. 12, komórka IOB składa się z trzech ścieżek przepływu danych: ścieżki sterowania bufora HiZ (trójstanowego), ścieżki wyjściowej i ścieżki wejściowej. Podstawowym zadaniem ścieżki sterowania bufora HiZ jest wytwarzanie sygnałów sterujących pracą wyjściowego bufora trójstanowego, który znajduje się w ścieżce wyjściowej. Jej zadaniem jest z kolei formowanie sygnałów wyjściowych, podawanych na fizyczne wyprowadzenie układu. Elementy zintegrowane w ścieżce wejściowej odpowiadają między innymi za uformowanie sygnałów podawanych z zewnątrz do układu FPGA. Ponieważ linie I/O w układach z rodziny Spartan 3 są przystosowane do współpracy z różnymi standardami napięciowymi, mogą one pracować także jako wejścia różnicowe (symetryczne), to w torach wejściowych zastosowano analogowe komparatory napięcia. Jeden z nich porównuje napięcie na linii I/O z napięciem na linii VREF (linia wspólna dla grup I/O), drugi jest wykorzystany do konwersji sygnału różnicowego (symetrycznego) na asymetryczny, przy czym trzeba pamiętać, że w takim trybie pracy wykorzystywane są dwie linie I/O sąsiadujących ze sobą komórek IOB.

Wszystkie ścieżki komórki IOB mają wbudowane po dwa konfigurowalne przerzutniki, które można wykorzystać m.in. podczas transmisji danych w trybie DDR (Double Data Rate), czyli z taktowaniem obydwoma zobczymi sygnałami zegarowymi.

Każdy blok IOB wyposażono w rezystory podciągające pull-up i pull-down, które użytkownik może indywidualnie uaktywniać i odłą-



Rys. 13. Konfigurację linii I/O umożliwia m.in. edytor wymuszeń XilinxPACE

czać. Ponadto, każda linia I/O jest wyposażona w tzw. pin-keeper, czyli przerzutnik utrzymujący na linii ostatni wymuszony z zewnątrz stan logiczny, dzięki któremu nie ma konieczności dołączania do zewnętrznego potencjału niewykorzystanych linii I/O. Można go stosować wymiennie z rezystorami pull-up i pull-down. Sterowanie dołączaniem rezystorów jest możliwe zarówno z poziomu opisu HDL jak i (co jest zdecydowanie łatwiejsze do opanowania i wygodniejsze w stosowaniu) z poziomu pliku wymuszeń UCF (User Constraints File), w którym znajdują się także przypisania sygnałów do konkretnych

wyprowadzeń układu. Poniżej pokazano jedną linię z pliku *.ucf, która opisuje parametry linii I/O wyprowadzającej sygnał o nazwie na_probe. Sygnał ten jest dołączony do wyprowadzenia numer 87, jest zgodny ze standardem napięciowym LVCMOS 3,3 V, wydajność prądowa linii I/O wynosi 16 mA, dołączony jest do niej pin-keeper. Dodatkowo ustalono, że prędkość zmian sygnału na wyjściu będzie miała maksymalną dopuszczalną wartość (dyrektywa SLEW=FAST):

```
NET „na_probe” LOC = „P87”
| IOSTANDARD = LVCMOS33
| DRIVE = 16 | KEEPER | SLEW
= FAST;
```

Edycję pliku *.ucf można wykonać za pomocą edytora tekstowego lub – w wielu przypadkach jest to wygodniejsze – za pomocą edytora wymuszeń XilinxPACE, zintegrowanego w pakiecie WebPack ISE (rys. 13).

Jak widać na rys. 12, każda linia I/O została zabezpieczona przed uszkodzeniem ESD za pomocą diod włączonych szeregowo-zaporowo. Powoduje to ograniczenie maksymalnego napięcia na wejściu do wartości z przedziału ok. VCCO - 0,5 V... VCCO + 0,5 V, nie ma więc możliwości bezpośredniej współpracy ze standardowymi układami TTL lub CMOS zasilanymi napięciem 5 V. Użytkownicy zamierzający łączyć ze sobą układy Spartan 3 z układami

Konfiguracja I/O	Standardy I/O
	LVDCI_15 LVDCI_18 LVDCI_25 LVDCI_33
	LVDCI_DV2_15 LVDCI_DV2_18 LVDCI_DV2_25 LVDCI_DV2_33
	GTP_DCI GTP_L_DCI HSTL_III_DCI HSTL_III_DCI_18
	HSTL_I_DCI HSTL_I_DCI_18 HSTL_II_DCI_18 LVDS_25_DCI LVDS_EXT_25_DCI
	SSTL18_I_DCI SSTL2_I_DCI SSTL2_II_DCI

Rys. 14. Możliwe konfiguracje I/O z aktywnym modulem DCI

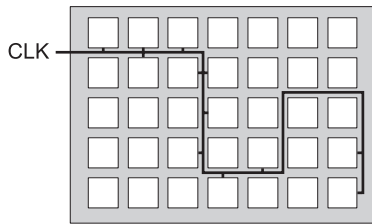
zasilanymi napięciem wyższym niż 3,3 V powinni zastosować konwertery poziomów (w konwerterach jednokierunkowych układy TTL z rodziny LVC/LCX) lub (zdecydowanie gorsze rozwiązanie) rezystory włączone w szereg z linią I/O, ograniczające natężenie prądu wpływającego/wypływającego do/z linii I/O.

FPGA – co trzeba o nich wiedzieć – tip #7
Sygnaly globalne

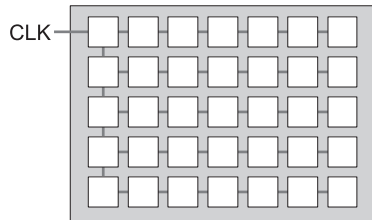
Do dystrybucji sygnałów taktujących w układach FPGA jest zalecane wykorzystywanie globalnych linii zegarowych. Należy do nich dołączać możliwie duże grupy elementów taktowanych tym samym sygnałem zegarowym.

Plan kursu

1. Wprowadzenie
 - Budowa zestawu uruchomieniowego
 - Programowanie i konfiguracja układu XC3S200
 - Tryby konfiguracji układu XC3S200
 - Zasilanie układu XC3S200
 - Linie I/O w układzie XC3S200
 - JTAG jako uniwersalny interfejs do programowania i konfigurowania
2. Budowa, cechy funkcjonalne i parametry układów FPGA z rodziny Spartan 3
 - CLB
 - IOB
 - Globalne sygnały zegarowe
 - DCM
 - Sprzętowe multiplikatory
 - Pamięć BlockRAM
3. Projekty przykładowe



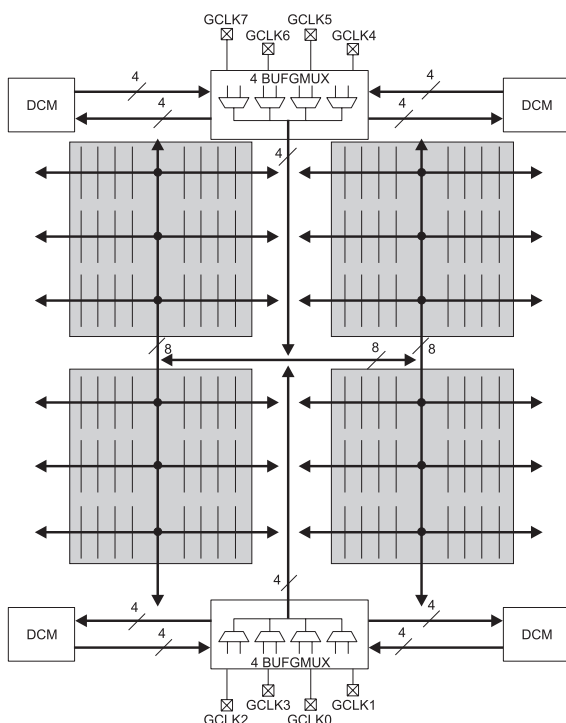
Do dystrybucji sygnału zegarowego wykorzystano segmentowane połączenia



Do dystrybucji sygnału zegarowego wykorzystano linie niezależne od lokalnych zasobów połączeniowych, zapewniające krótki czas propagacji sygnału

Rys. 15. Dystrybucja sygnałów zegarowych połączeniami segmentowanymi powoduje m.in. zmniejszenie maksymalnej częstotliwości taktowania projektu

Interesującym wyposażeniem komórek IOB jest także blok DCI (Dynamically Controlled Impedance), którego zadaniem jest dopasowanie falowe (ma więc znaczenie dla sygnałów o dużej częstotliwości) linii I/O do obciążenia. Impedancję wyjściową (szeregową i równoległą) linii I/O dobiera się za pomocą zewnętrznych rezystorów (po dwa na każdy zespół DCI), dołączonych do linii VRN i VRP



Rys. 16. Budowa systemu dystrybucji sygnałów zegarowych w układach Spartan 3

(funkcje alternatywne wybranych linii I/O). Możliwe konfiguracje bufora wyjściowego z aktywnym DCI pokazano na rys. 14. Odpowiednia konfiguracja DCI jest uaktywniana automatycznie po wybraniu trybu pracy I/O, co także pokazano na rys. 14.

Globalne linie zegarowe

Sporo problemów sprawia początkującym użytkownikom układów PLD zrozumienie koncepcji sygnałów globalnych, dlatego postaramy się ją tu nieco rozjaśnić.

W typowych projektach występują trzy rodzaje sygnałów potrzebnych jednocześnie w wielu miejscach układu FPGA (takie sygnały są nazywane globalnymi), są to sygnały: zegarowe, zerujący/ustawiający i sygnał zezwalający na pracę buforów trójstanowych (szczególnie istotny w systemach opierających się na komunikacji magistralowej). Ponieważ standardowe zasoby połączeniowe (pomiędzy CLB) w układach Spartan 3 – jak na układy FPGA przystało – są podzielone na krótkie segmenty, to dystrybucja nimi sygnałów potrzebnych w wielu miejscach jednocześnie powoduje zajęcie znacznej ich części przez niewielką liczbę sygnałów (rys. 15). Dodatkową, negatywną konsekwencją „segmentowych” tras przesyłania sygnałów jest znaczne ich rozszycenie w funkcji czasu: czasy przebiegu silnie zależą od trasy, a te zależą zarówno od sposobu opisu HDL jak i algorytmów optymalizacyjnych syntezy logicznego. Jakkolwiek dystrybucja sygnałów globalnych za pomocą połączeń lokalnych jest możliwa, to nie jest w praktyce możliwe uzyskanie stabilnej pracy tak zaprojektowanego układu z częstotliwościami taktowania bliskimi częstotliwości maksymalnej, wynikającej z parametrów czasowych układu FPGA.

Generalna zasada

Układy Spartan 3 wyposażono w 8 globalnych linii służących do dystrybucji niezależnych sygnałów zegarowych (rys. 16), które są dołączane do linii przesyłowych za pomocą multiplekserów 2/1 spełniających jedno-

List. 3. Sposób wykorzystania w projekcie globalnego bufora sygnału zegarowego BUFG (predefiniowany przez producenta)

```

BUFG_inst : BUFG
port map (
    O => moje_wyjście,
    I => moje_wejście
);
    
```

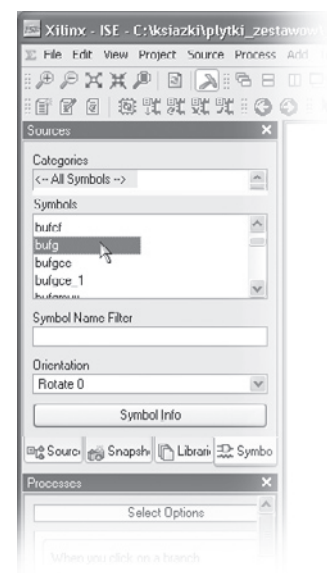
częściej rolę buforów separujących źródło sygnału zegarowego od taktowanej logiki. Inne wymienione sygnały często traktowane w PLD jako globalne (tzn. zerujący/ustawiający i zezwalający dla buforów trójstanowych) w układach Spartan 3 nie zostały wyprowadzone na zewnątrz układów.

Wykorzystanie w projekcie globalnych linii zegarowych jest możliwe na kilka sposobów, z których dwa są najbardziej popularne:

- przypisanie linii rozprowadzającej sygnały taktujące wewnątrz FPGA do wyprowadzenia GCLKx jest informacją dla syntezy, że użytkownik chce wykorzystać globalną linię zegarową,
- w opisie projektu (zarówno pisanego w HDL – list. 3, jak i w postaci schematu – rys. 17) można zastosować predefiniowany bufor BUFG.

Skuteczność obydwu przedstawionych sposobów jest taka sama.

Jacek Majewski
 jacek.majewski@pwr.wroc.pl
Piotr Zbysiński, EP
 piotr.zbysinski@ep.com.pl



Rys. 17. Atrybut globalności można nadać wybranej linii sygnałowej także w edytorze schematów