

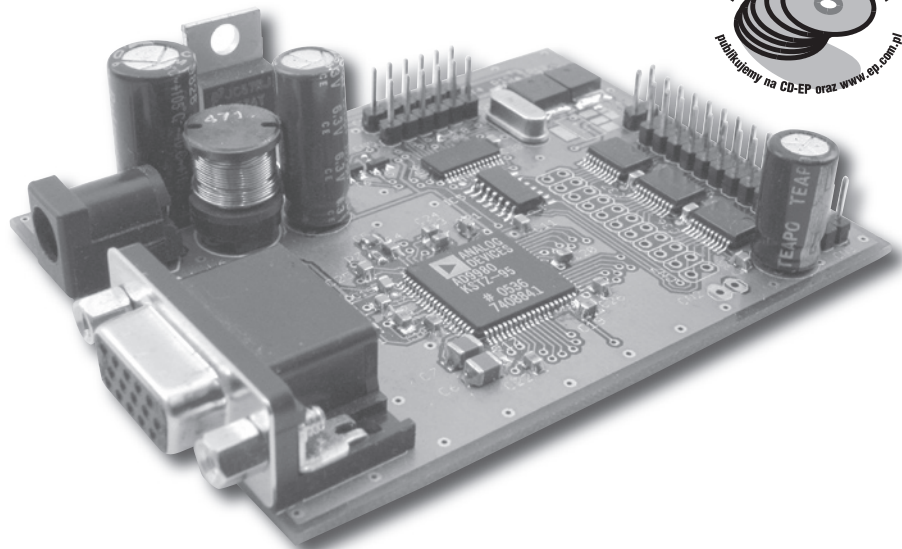
Konwerter VGA – LCD, część 2 AVT-949



Monitory LCD stają się coraz bardziej popularne, ale tym, których nie stać na wydatek kilkuset złotych lub potrzebują dodatkowego wyświetlacza do komputera, proponujemy wykonanie urządzenia opisanego w artykule. Umożliwia ono podłączenie kolorowej matrycy TFT starszego typu do zwykłej karty graficznej VGA.

Rekomendacje:

urządzenie pozwala m.in. przekształcić uszkodzony laptop na w pełni funkcjonalny, przenośny i energooszczędny monitor.



Programowanie układu AD9980

Jak wyżej wspomniano, procesor porozumiewa się z IC1 za pomocą magistrali I²C. Jest ona dołączona do portów P0.26 (AD_SCL) i P0.25 (AD_SDA). Procesor działa w trybie master. Zapis i odczyt rejestrów układu AD9980 odbywa się w następujący sposób:

```
void ad9980_write_reg(uint8 reg,
uint8 val)
{
mi2c_start(); // zajęcie szyny I2C
mi2c_write(0x98); // adres AD9980 do
zapisu
mi2c_write(reg); // wysyłamy numer
rejestr
mi2c_write(val); // wysyłamy nową
wartość rejestru
mi2c_stop(); // zwolnienie szyny I2C
}

uint8 ad9980_read_reg(uint8 reg)
{
uint8 val;
mi2c_start(); // zajęcie szyny I2C
mi2c_write(0x98); // adres AD9980 do
zapisu
mi2c_write(reg); // wysyłamy numer
rejestr
mi2c_start();
mi2c_write(0x98 | 1); // adres AD9980
do odczytu
mi2c_read(&val); // odczyt wartości
rejestr
mi2c_stop(); // zwolnienie szyny

return val;
}
```

Najistotniejsze rejestry AD9980 pojawiające się w oprogramowaniu mikrokontrolera:

- PLLDIVM (0x1) i PLLDIVL (0x2) – 12-bitowa wartość dzielnika częstotliwości zegara DTACK w pętli fazowej. 8 starszych bitów znajduje się w PLLDIVM, 4 młodsze w PLLDIVL. Wartość dzielnika jest równa liczbie tak-

tów zegara pomiędzy sąsiednimi impulsami synchronizacji poziomej. Rejestry te normalnie powinny być zainicjalizowane wartością parametru *Htotal* trybu, w którym pracuje karta graficzna. Wówczas liczba taktów zegara przypadająca na dane linie obrazu będzie równa jego szerokości w pikselach. Przez zmianę wartości tych rejestrów możemy w pewnym zakresie zmieniać szerokość obrazu. Jest to przydatne w przypadku wyświetlania trybu graficznego o innej rozdzielczości niż rozdzielczość matrycy.

- CLKCTL (0x3) – rejestr sterujący zakresem pracy generatora VCO w układzie wytwarzania zegara oraz prądem pompy ładunku w pętli fazowej. Należy ustawić go na wartość zalecaną przez producenta, zależną od częstotliwości pracy generatora.
- PH_ADJ (0x4) – regulacja przesunięcia fazowego zegara przetworników A/C. Umożliwia ona wybór punktu próbkowania sygnału wejściowego, zilustrowano to na rys. 8. Rejestr przyjmuje wartości z zakresu 0...31. Jego wartość należy dobrać doświadczalnie, aby uzyskać najlepszą wyrazistość obrazu.
- RGAIN (0x5), GGAIN (0x7), BGAIN (0x9) – sterowanie wzmocnieniem sygnału kolorów. Rejestry przyjmują wartości z zakresu 0...127, przy czym war-

PODSTAWOWE PARAMETRY

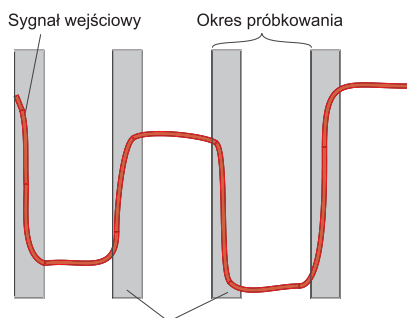
- Płytko o wymiarach: 80x60 mm
- Zasilanie 8...15 VDC
- Współpracuje z panelami TFT z 18-bitowym interfejsem równoległym
- Obsługuje matryce o rozdzielczości 640x480 i 800x600 i prawdopodobnie również wyższe (brak matryc do testów),
- Umożliwia regulację parametrów monitora za pomocą protokołu DDC/CI
- Zmiana typu matrycy i konfiguracji urządzenia nie wymaga przeprogramowania procesora

tość 0 odpowiada maksymalnemu (zakres napięć wejściowych 0...0,5 V), a 127 – minimalnemu wzmocnieniu (zakres 0...1 V). Zapis do tych rejestrów należy potwierdzić zapisaniem wartości 0 do rejestrów o adresach większych o 1.

- HSYNC_CTL (0x12) – istotny jest tylko bit 3 tego rejestru ustalający polaryzację impulsów na wyjściu HSOUT. Powinien być ustawiony na 0 (ujemna polaryzacja HSOUT) dla zapewnienia poprawnej pracy układu generującego sygnał ENAB.
- HSYNC_DURATION (0x13) – czas trwania impulsu generowanego na wyjściu HSOUT. Zmieniając wartość tego rejestru możemy przesunąć obraz w poziomie. Aby lewa krawędź obrazu pokrywała się z krawędzią matrycy, należy ustawić na (Htotal – Hstart).
- PWR_CTL (0x1E) – steruje m.in. poborem zasilania przez układ. Jeżeli bit 4 jest ustawiony na 0, zasilaniem steruje bit 3 (0 – normalna praca, 1 – tryb uśpienia)
- HSYNCS_PER_VSYNC – pomiar liczby impulsów HSYNC przypadających na cykl odświeżania pionowego (tylko do odczytu).

Wykrywanie trybu, w jakim pracuje karta graficzna komputera

Procesor za pomocą przerwania wyzwalanego linią HSYNC i timerem zlicza cykle zegara CPU przypadające na pojedynczą linię obrazu oraz – poprzez odczyt rejestru HSYNCS_PER_VSYNC – liczbę impulsów synchronizacji poziomej mieszczącą się pomiędzy sąsiednimi impulsami synchronizacji pionowej. Jeżeli zmierzone w ten sposób



Nieprawidłowe wartości rejestru PH_ADJ – próbki wypadają w miejscu zmian sygnału wejściowego
Rys. 8. Ilustracja działania rejestru PH_ADJ

czasy trwania cykli odświeżania w pionie i poziomie odpowiadają któremuś z obsługiwanych trybów graficznych, mikrokontroler programuje rejestry układu AD9980 oraz włącza zasilanie matrycy i podświetlenia, ustawiając stan wysoki na porcie P0.6. Jeżeli nie został wykryty poprawny tryb graficzny, zasilanie wyświetlacza jest odłączone, a układ IC1 jest wprowadzany w tryb uśpienia (*power-down*):

```
for(;;) // główna petla programu
{
  int mode = detect_gfx_mode(), i;
  // mode - numer trybu graficznego,
  // któremu // odpowiadają timingi
  // sygnału na wejściu // układu lub -1,
  // gdy nie znaleziono
  // takowego

  if(mode >= 0 && mode_activated!=mode)
  {
    memcpy(&current_mode, &gfx_mode
    table[mode], sizeof(gfx_mode_t));
    current_mode_num = mode;
    ad9980_set_power_state(1); //
    włączamy AD9980
    ad9980_set_gfx_mode(&current_mode);
    // programujemy AD9980
    ddcci_load_current_mode(current_
    mode_num); // ładujemy wartości
    kontrolerek DDC
    DISPLAY_POWER(1); // włączamy
    zasilanie matrycy
    mode_activated=current_mode_num;
  }
  else if (mode < 0 && mode_
  activated>=0)
  {
    ad9980_set_power_state(0);
    DISPLAY_POWER(0);
    mode_activated=-1;
  }
}
```

Przetwarzanie sygnałów synchronizacji

Zajmuje się tym funkcja obsługująca przerwanie wyzwalane sygnałem HSYNC z karty graficznej. Wytwarza ona sygnały MCU–HSYNC i MCU–VSYNC o polaryzacji odpowiedniej dla podłączonej matrycy. Ponadto, funkcja ta zlicza impulsy HSYNC i jeśli wartość licznika zawiera się w przedziale ($t_{vfp} + t_{vsp}$, $t_{vfp} + t_{vsp} + t_{vdisp}$), generuje z wykorzystaniem timera 0 na porcie P0.5 (ENAB_GATE) impulsy o programowanym czasie trwania. Jest to wykorzystywane do generacji sygnału ENAB (patrz rys. 5 w EP9/2006). Poprzez zmianę długości impulsu ENAB_GATE można regulować czas aktywności sygnału ENAB, co jest przydatne przy uruchamianiu niektórych matryc.

Obsługa magistrali DDC

Oprogramowanie mikrokontrolera implementuje obsługę standardu DDC 2.0. Dzięki temu system operacyjny komputera ma możliwość wykrycia parametrów dołączonego

do niego monitora i dostosowania wyświetlanych trybów graficznych do jego wymagań. Parametry monitora opisuje specjalna struktura – EDID (*Extended Display Identification Data*). W wersji 1.1, którą obsługuje nasz interfejs, jest to 128-bajtowy blok o budowie przedstawionej w tab. 4. Struktura ta jest przechowywana w szeregowej pamięci PROM/EEPROM z magistralą I²C. Domyślny adres tej pamięci na magistrali I²C to 0xA0.

Ponieważ interfejs wykorzystuje magistralę DDC nie tylko do przesyłania EDID-a, wysyłaniem tego bloku zajmuje się – zamiast osobnej pamięci szeregowej – procesor. Obsługa magistrali DDC–I²C została zaimplementowana programowo z wykorzystaniem timera 1 i dołączona do portów P0.17, P0.13 (DDC_SDA, DDC_SDAO) i P0.18, P0.15 (DDC_SCLI, DDC_SCLO). Mikrokontroler pracuje jako urządzenie typu *slave*. W urządzeniu nie wykorzystano sprzętowego kontrolera I²C wbudowanego w LPC2103, ponieważ jest on w stanie obsługiwać jednocześnie tylko jeden adres, a my potrzebujemy trzech (pamięć bloku EDID – 0xA0, DDC/CI – 0x6e oraz sterowanie konwerterem – 0x90).

Wyświetlacze TFT działają najlepiej, gdy wyświetlamy obraz w natywnej rozdzielczości matrycy. Problem pojawia się wówczas, gdy chcemy, aby nasz monitor wyświetlił tryb graficzny o rozdzielczości mniejszej niż rozdzielczość matrycy. Matryca 800x600 wyświetli poprawnie standardowy, zdefiniowany przez VESA tryb 800x600@60 Hz, jednak trybu 640x480 – już nie, gdyż ma on zbyt małą wartość parametru *Vtotal*. Jak wspomniano przy opisie sterowania LCD, konieczne jest odświeżanie wszystkich linii wyświetlacza. Standardowy tryb 640x480 ma długość cyklu odświeżania pionowego *Vtotal* równą 525 linii – mniej niż liczba linii wyświetlacza. Dla tego EDID przesyłany przez interfejs do komputera zawiera timingi trybów graficznych o mniejszych rozdzielczościach ze zwiększoną wartością *Vtotal*, co umożliwia poprawne wyświetlanie tych trybów. Istnieje również inne rozwiązanie, w którym sterownik zajmuje się resampowaniem obrazu do natywnej rozdzielczości matrycy. Jest to

Tab. 4. Opis struktury EDID 1.1

Offset	Funkcja
0 – 7	Nagłówek struktury EDID: 00 FF FF FF FF FF FF 00
8 – 9	Dwubajtowy kod nazwy producenta monitora (3 litery spakowane na 16-tu bitach)
10 – 11	Dwubajtowy kod modelu monitora. Format little-endian.
12 – 15	32-bitowy numer seryjny monitora. Format little-endian.
16	Tydzień produkcji monitora
17	Rok produkcji monitora (dodać 1990, aby uzyskać właściwą wartość)
18	Numer wersji struktury EDID (w wersji 1.1 wartość 1)
19	Numer rewizji struktury EDID (w wersji 1.1 wartość 1)
20	Definicja wejścia sygnału Bit 7: 0 – interfejs analogowy, 1 – interfejs cyfrowy Dla interfejsu cyfrowego: Bit 0: interfejs kompatybilny z DFP 1.0 Dla interfejsu analogowego: Bity 6–5: poziomy sygnał kolorów: 00 – 0.7 V, 0.3 V, 01 – 0.714 V, 0.286 V, 10 – 1 V, 0.4 V, 11 = 0.7 V, 0 V Bit 4: blank-to-black setup (?) Bit 3: interfejs posiada oddzielne sygnały synchronizacji pionowej i poziomej Bit 2: interfejs posiada sygnał synchronizacji composite (jedna linia dla pionu i poziomu) Bit 1: synchronizacja jest umieszczana w sygnale koloru zielonego (tzw Sync-On-Green). Bit 0: serration vsync (?)
21	Maksymalna szerokość obrazu w centymetrach.
22	Maksymalna wysokość obrazu w centymetrach.
23	Gamma monitora, wartość gammy jest obliczana jako $1 + \text{bajt}_{23} / 100$.
24	Możliwości monitora Bit 7: obsługa trybu czuwania (standby) Bit 6: obsługa trybu suspend Bit 5: obsługa trybu niskiego poboru energii (active-off/low power) Bity 4–3: typ wyświetlacza: 00 – monochromatyczny, 01 – kolorowy RGB, 10 – kolorowy nie-RGB, 11 – nieokreślony Bit 2: w strukturze znajdują się dane charakterystyki chrominancji monitora (offset 25–35). Bit 1: w strukturze znajduje się szczegółowy blok z timingami (offset 0x36) Bit 0: urządzenie poprawnie wyświetla tryby graficzne wygenerowane przez GTF (Generic Timing Formula)
25–26	2 najmłodsze bity współczynników chromatyczności: Rx1 Rx0 Ry1 Ry0 Gx1 Gx0 Gy1 Gy0 Bx1 Bx0 By1 By0 Wx1 Wx0 Wy1 Wy0
27–34	Starsze 8 bitów współczynników chromatyczności: Rx, Ry, Gx, Gy, Bx, By, Wx, Wy
35	Obsługiwane tryby graficzne VESA: Bity 7–0: 720x400/70 Hz, 720x400/88 Hz, 640x480/60 Hz, 640x480/67 Hz, 640x480/72 Hz, 640x480/75 Hz, 800x600/56 Hz, 800x600/60 Hz
36	Obsługiwane tryby graficzne VESA: Bity 7–0: 800x600@72 Hz, 800x600@75 Hz, 832x624@75 Hz, 1024x768@87 Hz (I), 1024x768@60 Hz, 1024x768@70 Hz, 1024x768@75 Hz, 1280x1024@75 Hz
37	Preferowany tryb graficzny producenta
38 – 53	Standardowe deskryptory trybów graficznych (rekordy długości 2 bajtów) Bajt 1 – rozdzielczość w poziomie obliczana jako $248 + \text{bajt}_1 * 8$ Bajt 2 bity 7–6 – stosunek rozdzielczości pionowej do poziomej (aspect ratio): 00 – 16:10, 01 – 4:3, 10 – 5:4, 11 – 16:9 Bajt 2 bity 5–0 – częstotliwość odświeżania obliczana jako $60 + \text{bajt}_2 \& 0x3f$
54 – 71	1 blok deskryptora – mogą to być: – szczegółowe parametry trybu graficznego (Detailed Timing Description – DTD) – pełna nazwa monitora lub jego producenta – struktura opisująca dopuszczalne parametry sygnału doprowadzanego do monitora – szczegółowe informacje o chromatyczności monitora
72 – 89	2 blok deskryptora
90 – 107	3 blok deskryptora
108 – 125	4 blok deskryptora
126	W wersji EDID 1.1 wartość 0
127	Suma kontrolna

stosowane w zwykłych monitorach LCD i realizowane przez specjalizowany (tzn. drogi i trudny do zdobycia w naszym kraju) układ scalony lub FPGA, co wiąże się ze znacznym wzrostem skomplikowania i kosztu urządzenia.

Ponieważ konwerter nie ma żadnych przycisków, pokręteł i innych

elementów pozwalających na regulację ustawień monitora, obsługuje on standard DDC/CI (znany również jako *MagicTune* w monitorach firmy Samsung), umożliwiającą zmianę nastaw monitora za pomocą magistrali DDC. Dzięki wykorzystaniu DDC jest również możliwe eksperymentowanie z dołączaniem

różnych typów matryc bez konieczności przeprogramowywania mikrokontrolera. Szczegóły przedstawimy w ostatniej części artykułu.

Tomasz Włostowski
twlostow@onet.eu