

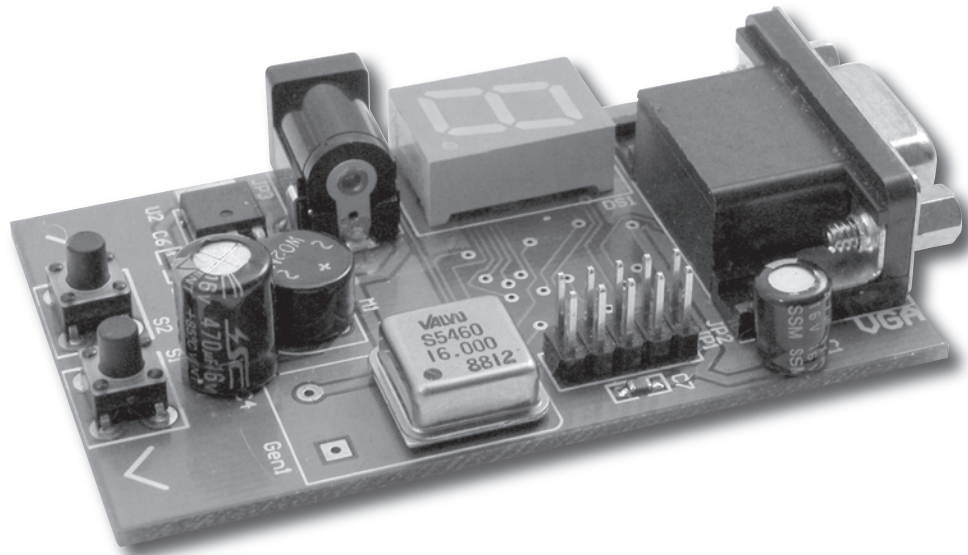
Prosty tester VGA

AVT-942

Sygnal VGA można wytworzyć programowo korzystając z zasobów mikrokontrolerów lub – co jest zdecydowanie bardziej naturalnym sposobem – całkowicie sprzętowo, do czego doskonale nadają się układy PLD.

Rekomendacje:

prezentowane urządzenie jest prostym w wykonaniu i zmodyfikowaniu (tzn. dodaniu własnych wzorów obrazów) testerem monitorów VGA.



Prezentowane urządzenie to typowy projekt wakacyjny: łatwy w wykonaniu, łatwy w modyfikowaniu, do tego daje spore możliwości rozwojowe, a to wszystko dzięki zastosowaniu niezwykle uniwersalnego układu cyfrowego: 36-komórkowego układu CPLD (*Complex Programmable Logic Device*) produkowanego przez firmę Xilinx. Opublikowany na CD-EP8/2006B projekt dla układu XC9572XL (można go edytować i kompilować za pomocą bezpłatnego WebPacka w wersji 8.1i lub nowszej) można dość łatwo modyfikować, bowiem projekt układu logicznego „wpisanego” w CPLD wykonano w postaci schematu, który pokazano na **rys. 1**.

Najważniejsze bloki funkcjonalne generatora obrazu VGA zaznaczono za pomocą szarych prostokątów, są to:

- 8-bitowy licznik punktów w linii, taktowany sygnałem zegarowym o częstotliwości 8 MHz,
- generator impulsów synchronizacji poziomej,
- 9-bitowy licznik linii obrazu (taktowany z wyjścia generatora impulsów synchronizacji poziomej),
- generator impulsów synchronizacji pionowej,
- układu kombinacyjnego dołączonego do bramek OR w sumatorze kanałów RGB, który odpowiada za tworzenie sygnałów sterujących składowymi R, G i B.

Układ pokazany na schemacie z **rys. 1** wyposażono dodatkowo w selektor wyświetlanego wzoru (dekoder

z wyjściem 1 z 8), który pozwala wygodnie uaktywnić jeden z 8 (lub więcej po zwiększeniu liczby wyjść dekodera) wyświetlanych wzorów.

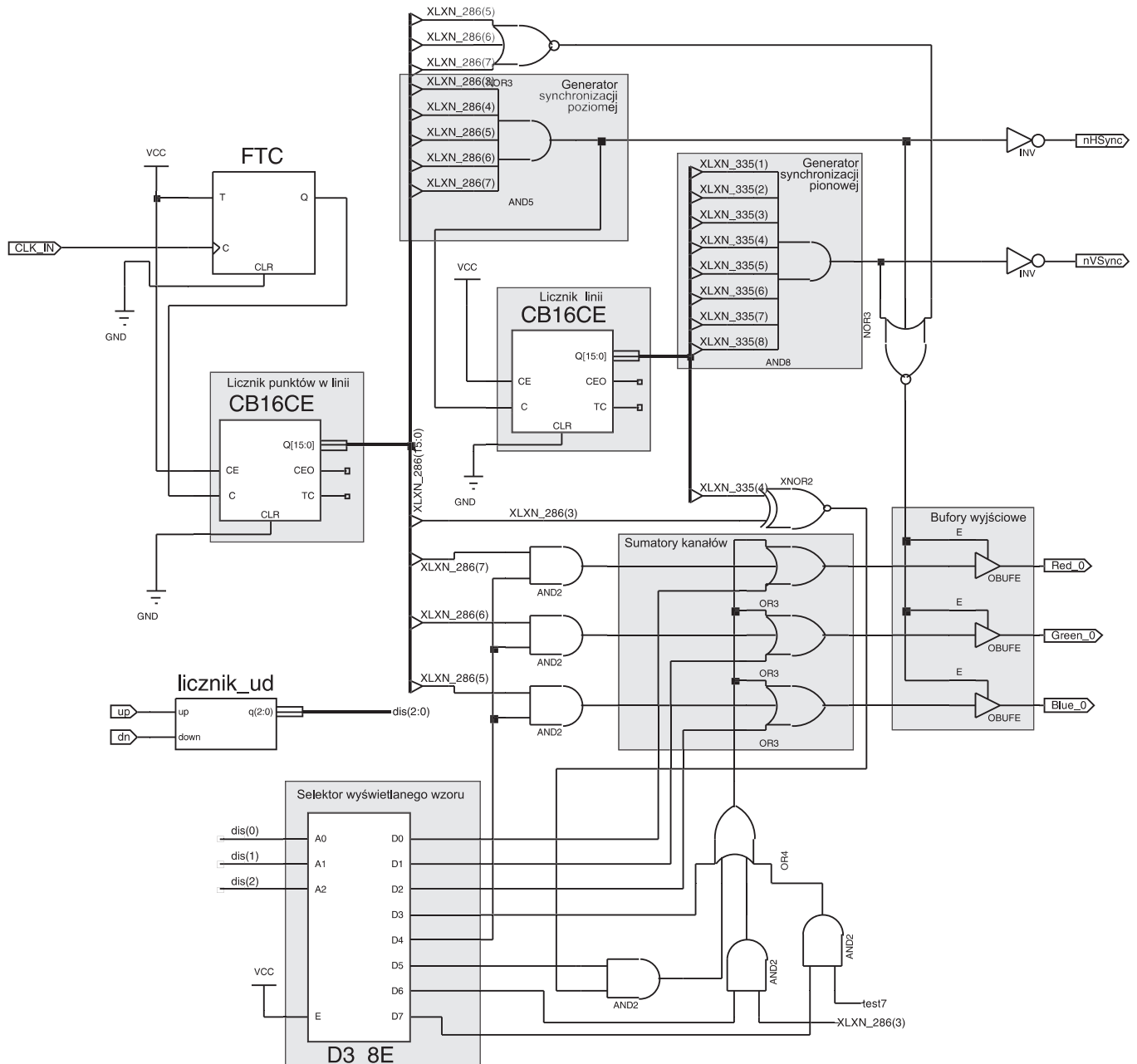
Podczas eksperymentów z samodzielnie zaprojektowanymi układami kombinacyjnymi odpowiadającymi za tworzenie wyświetlanego obrazu warto unikać modyfikowania generatorów sygnałów synchronizacji, bowiem po dołączeniu nieprawidłowo działającego generatora do monitora bez wbudowanego zabezpieczenia przed sygnałami nie spełniającymi standardów czasowych, można go skutecznie nadwyrężyć lub wręcz uszkodzić. Modyfikacje części odpowiadającej za składowe koloru nie są niebezpieczne ani dla monitora, ani dla generatora.

Opis układu

Schemat elektryczny testera pokazano na **rys. 2**. Układ U1 wytwarza zarówno sygnały RGB jak i obydwa sygnały synchronizujące. Bezpośrednio z wyjść tego układu sygnały są podawane na gniazdo VGA (JP2). Do wyprowadzeń U1 dołączono także dwa przyciski: S1 i S2, za pomocą których można zmieniać wzór wyświetlany na monitorze. Jeden z przycisków służy do zmiany numeru wyświetlanego wzoru „w górę”, drugi „w dół”. Aby ułatwić użytkownikowi orientację w numerze wybranego testu, do wyjść układu U1 można dołączyć wyświetlacz 7-segmentowy LED ze wspólną katodą, na którym jest wyświetlana cyfra

PODSTAWOWE PARAMETRY

- Płytko o wymiarach: 72x44 mm
- Zasilanie: 7...12 V (DC lub AC)
- Generowane sygnały: RGB, synchronizacji pionowej i poziomej
- Predefiniowany obraz wyświetlany na monitorze z możliwością własnych zmian



Rys. 1. Schemat logiczny projektu zaimplementowanego w układzie CPLD

z zakresu 1...8 (w modelu). Wyświetlacz oraz rezystory ograniczające prąd płynący przez segmenty nie są elementami koniecznymi dla działania generatora.

Scalony generator Gen1 dostarcza do globalnego wejścia zegaro-

wego U1 sygnał prostokątny o częstotliwości 16 MHz – jest to sygnał wzorcowy, który wyznacza wszystkie stałe czasowe w układzie.

Montaż i uruchomienie

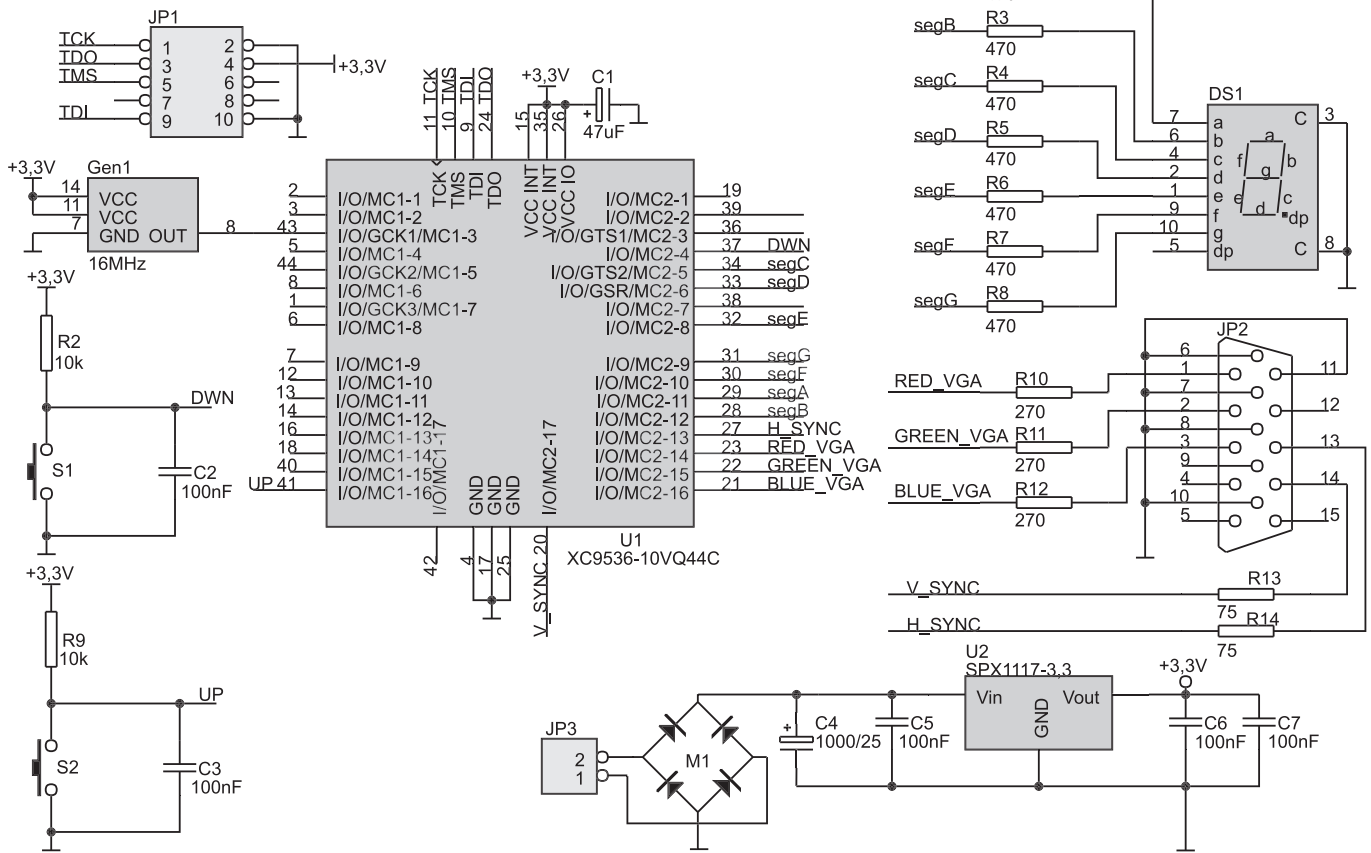
Na rys. 3 pokazano schematy montażowe płytki drukowanej – elementy rozmieszczono po jej obydwu stronach. Jak wspomniano wcześniej, montowanie wyświetlacza i rezystorów R1...R8 nie jest konieczne, ale elementy te upraszczają stosowanie urządzenia.

Montaż należy zacząć od elementów ulokowanych na „dolnej” stronie płytki drukowanej. Następnie montujemy elementy SMD znajdujące się po

stronie „górnej”, a na końcu elementy przewlekane.

Po zmontowaniu układu należy podłączyć do gniazda JP3 zasilanie (napięcie 7...12 VDC o dowolnej polaryzacji na wtyczce) i sprawdzić, czy na wyjściu stabilizatora U2 napięcie ma wartość 3,3 V. Jeżeli tak, to można przystąpić do programowania układu U1. Konieczny do tego będzie programator zgodny z DLC III firmy Xilinx (np. AVT1303 z EP4/2001 lub AVT560 z EP1/2004, można skorzystać także z programatora komercyjnego ZL11PRG firmy *kanami.pl*). Do zaprogramowania układu XC9572XL konieczne będzie zainstalowanie oprogramowania WebPack ISE, które wie-

WebPack w praktyce
Ułatwieniem we wprowadzeniu modyfikacji w prezentowanym projekcie jest książka „Układy programowalne, pierwsze kroki”, dostępna w ofercie handlowej AVT pod numerem KS-220604.



Rys. 2. Schemat elektryczny testera

WYKAZ ELEMENTÓW

Rezystory

- R1...R8: 470 Ω
- R2, R9: 10 kΩ
- R10...R12: 270 Ω
- R13, R14: 75 Ω

Kondensatory

- C1: 47 μF/16 V
- C2, C3, C5...C7: 100 nF
- C4: 1000 μF/25 V

Półprzewodniki

- M1: 1 A/50 V
- DS1: SC51EWA
- U1: XC9572-10VQ44C
- U2: SPX1117-3.3
- Gen1: 16 MHz

Inne

- JP1: IDC10
- JP2: DB15VGA
- JP3: gniazdo DC
- S1, S2: mikroprzełączniki

lokrrotnie publikowaliśmy na naszych CD, można je pobrać ze strony www.xilinx.com. Układ U1 programujemy zawartością pliku `vga_tester.jed`, który także publikujemy (w katalogu z projektem) na CD-EP8/2006B.

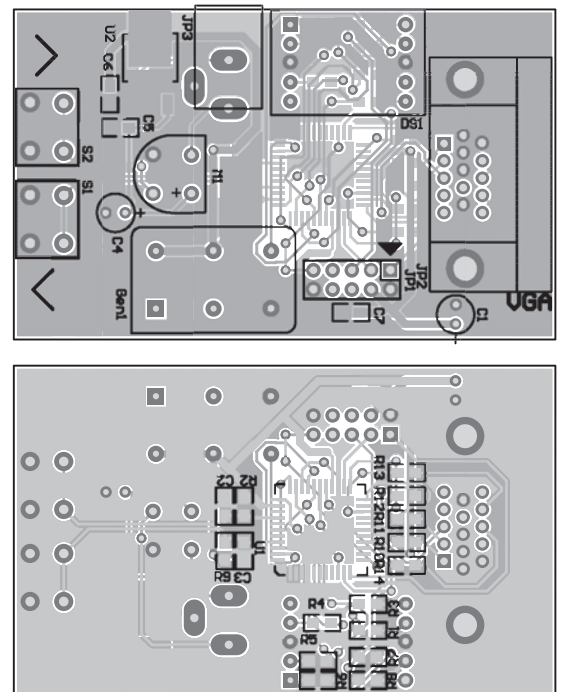
Na tym – jeśli urządzenie jest poprawnie zmontowane i podłączone do monitora – kłopoty z uruchomieniem się kończą i możemy przejść – jeśli

jest taka chęć lub potrzeba – do modyfikowania obrazów poszczególnych testów.

Modyfikacje

Możliwości modyfikacji wyświetlanych wzorów są bardzo duże. Jedyną trudnością jest wyobrażenie sobie zawartości ekranu monitora jako matrycy punktów o adresach podawanych przez licznik punktu w linii i licznik linii. Najlepszym sposobem zrozumienia tego „co się dzieje gdy...” jest prowadzenie szeregu prób. System projektowy WebPack ISE pozwala mieszać ze sobą różne sposoby opisu, tak więc prezentowane urządzenie może być także niezłą szkołą podstaw VHDLa lub Veriloga.

Projekt bez trudu mieści się w najmniejszym układzie z rodziny XC9500XL – XC9536XL, ale na wszelki wypadek lepiej zastosować układy o dwukrotnie większej liczbie makrokomórek – minimalizuje



Rys. 3. Schemat montażowy płytki testera

to ryzyko braku możliwości „upakowania” zmodyfikowanego projektu w prezentowanym urządzeniu.

Andrzej Gawryluk