

Kolorowy wyświetlacz graficzny z telefonu Siemens S65/M65 z kontrolerem Hitachi HD66773, część 2

Nowoczesny sprzęt elektroniczny oferuje szerokie możliwości interakcji człowiek–procesor.

Jest to możliwe dzięki stałemu powiększaniu oferty na wyświetlacze graficzne.

Jednak ich nadal dość wysokie ceny sprawiają, że amatorzy coraz częściej szukają podzespołów z odzysku. Szczególną popularnością cieszą się wyświetlacze z telefonów komórkowych.

W pierwszej części artykułu poznaliśmy zasadę obsługi kolorowego wyświetlacza graficznego z telefonu Siemens S65/M65 od strony sprzętowej. Teraz skrótowo przedstawimy listę poleceń obsługiwanych przez sterownik HD66773, a w następnej części przedstawimy algorytmy funkcji obsługujących wyświetlacz od strony programowej.

Instrukcje obsługiwane przez sterownik HD66773

Wyróżnia się następujące kategorie instrukcji:

- ustawienie indeksu,
- odczyt statusu,
- kontrola wyświetlacza,
- zarządzanie energią,
- przetwarzanie danych graficznych,
- ustawienie adresu pamięci GRAM,
- zapis i odczyt danych z pamięci GRAM,
- ustawienie korekcji gamma.

Większość tych instrukcji służy do zapisania danych w rejestrach kontrolnych przechowujących aktualną konfigurację wyświetlacza lub pamięci GRAM. Każdorazowy zapis pixela do pamięci GRAM powoduje automatyczną inkrementację adresu. Wszystkie instrukcje są wykonywa-

ne natychmiast po ich odebraniu, dlatego możliwy jest zapis sekwencyjny, bez uwzględniania czasów potrzebnych na ich wykonywanie. Wyjątkiem jest tu sekwencja startowa wykonywana podczas inicjalizacji wyświetlacza oraz sekwencja włączenia wyświetlacza, gdzie należy przestrzegać odstępów czasowych pomiędzy jej kolejnymi etapami, aby dać czas obwodom zasilania na ustabilizowanie swojej pracy.

W **tab. 2** przedstawiono wykaz wszystkich instrukcji. Te z nich, które posiadają swój indeks służą do zapisu danych w rejestrach kontrolnych. Jest on podany w formie szesnastkowej (np. instrukcja *Entry mode* posiada indeks R05h). W celu zapisania danych do rejestrów kontrolnych lub pamięci GRAM, najpierw należy ustawić indeks instrukcji za pomocą komendy *Index*, czyli wysłać bajt startowy z bitami RS i R/W równymi 0, a następnie kolejne 2 bajty, w których bajt „wysoki” może być dowolny, a bajt „niski” ma zawierać indeks instrukcji wykorzystywanej podczas zapisywania danego rejestru kontrolnego lub pamięci GRAM. Następnie wysyłając ponownie bajt startowy z bitem RS równym 1, możemy dokonać wpisu do danego rejestru kontrolnego lub pamięci GRAM w kolejnych przesyłanych bajtach. Przykładowo: chcąc zapisać do pamięci GRAM jeden piksel o kolorze czerwonym, najpierw należy ustawić sygnał CS w stan niski i wysłać bajt startowy=01110100 odpowiadający instrukcji *Index*. Następnie trzeba wysłać 2 bajty: 00h oraz 22h, dzięki czemu zostanie ustawiony rejestr indeksowy na instrukcję *RAM data write* (o indeksie instrukcji R22h), po czym należy ponownie wysłać bajt startowy=01110110, a po nim 2 bajty koloru czerwonego – F8h oraz 00h. Transmisję kończy przełączenie sygnału CS w stan wysoki.

Index (IR) – służy do ustawienia aktualnego 7-bitowego (ID6...0)

indeksu instrukcji (od R00h do R3Bh).

Status

read (SR) – zwraca 8-bitową liczbę (L7...0) będącą numerem drivera rzędu, który jest w danej chwili odświeżany na wyświetlaczu.

Oscillation start (R00h) – służy do zerowania wewnętrznego oscylatora wykorzystywanego przez kontroler wyświetlacza przy wyjściu z trybu czuwania (*standby*). Po wykonaniu tej instrukcji należy odczekać przynajmniej 10 ms na ustabilizowanie się oscylacji, zanim zostanie wysłana kolejna instrukcja. Przy odczycie zwracany jest *device code* równy 0773h.

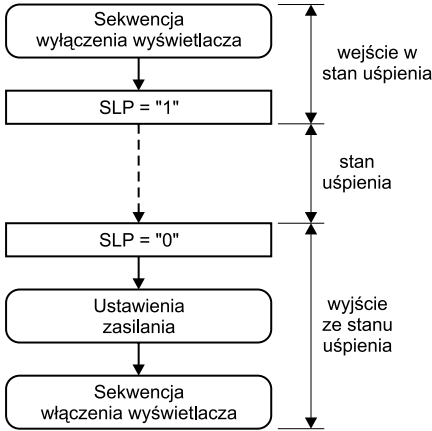
Driver output control (R01h)

- bity SM, GS oraz SS definiują sposób podłączenia matrycy LCD do kontrolera. Zmieniając bit GS możemy odbić wyświetlany obraz w pionie, zmieniając bit SS w poziomie. Bit SM zmienia kolejność odświeżania rzędów matrycy w specyficzny sposób opisany w dokumentacji kontrolera HD66773,
- bity NL4...0 określają liczbę linii matrycy LCD.

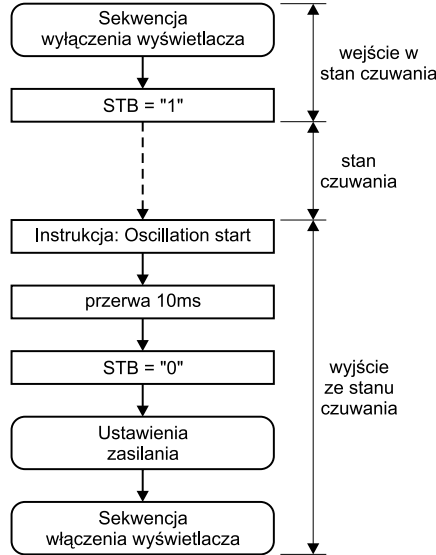
LCD drive AC control (R02h)

- bity FLD1...0 przy odświeżaniu z przeplotem określają, co ile kolejnych rzędów ma następować odświeżanie,
- bit B/C, gdy jest wyzerowany („0”) oznacza, że polaryzacja sygnałów sterujących wyświetlaczem jest zmieniana co każdą ramkę obrazu, gdy jest równy „1” polaryzacja jest zmieniana co konkretną liczbę rzędów określoną przez bity EOR oraz NW5...0. Przy niektórych typach matryc LCD częstsza zmiana polaryzacji poprawia jakość wyświetlanego obrazu,
- bit EOR, gdy ustawione są bity B/C=1 oraz EOR=1, sygnał pa-





Rys. 7. Sekwencja wejścia i wyjścia ze stanu uśpienia



Rys. 8. Sekwencja wejścia i wyjścia ze stanu czuwania

- bit SLP, gdy jest ustawiony („1”), kontroler wchodzi w stan uśpienia (*sleep*). Wszystkie operacje są wstrzymane z wyjątkiem pracy wewnętrznego oscylatora RC kontrolera. Podczas stanu uśpienia nie można zmieniać zawartości pamięci GRAM oraz innych rejestrów kontrolnych. Sekwencję wejścia i wyjścia ze stanu uśpienia pokazano na **rys. 7**,

- bit STB, gdy jest ustawiony („1”), kontroler wchodzi w stan czuwania (*standby*). Wszystkie operacje są wstrzymane włącznie z pracą wewnętrznego oscylatora RC. Mogą być wykonane tylko następujące instrukcje: wyjście ze stanu czuwania (*STB=0*) oraz restart oscylatora (*Oscillation start*). Podczas stanu czuwania zawartość pamięci GRAM oraz rejestrów kontrolnych może zostać utracona, więc po wyjściu z niego należy je ponownie ustawić. Sekwencja wejścia i wyjścia ze stanu czuwania jest pokazana na **rys. 8**.

Power control 2 (R04h)

- bit CAD ustawia konfigurację kondensatora retencyjnego matrycy TFT. CAD=0 dla Cst, CAD=1 dla Cadd.

Entry Mode (R05h)

- bit DIT, gdy jest ustawiony („1”), oznacza, że włączony jest tryb *hart-ditheringu* konwertujący kolor 18-bitowy na 16-bitowy

rzystej/nieparzystej ramki oraz sygnał zmiany polaryzacji co konkretną liczbę rzędów są poddawane operacji logicznej EXOR i dopiero ten sygnał jest użyty do sterowania wyświetlaczem, dzięki czemu z sygnału sterującego usuwana jest składowa stała,

- bity NW5...0 określają, co ile rzędów ma być zmieniana polaryzacja sygnałów sterujących wyświetlaczem w przypadku ustawienia bitu B/C=1.

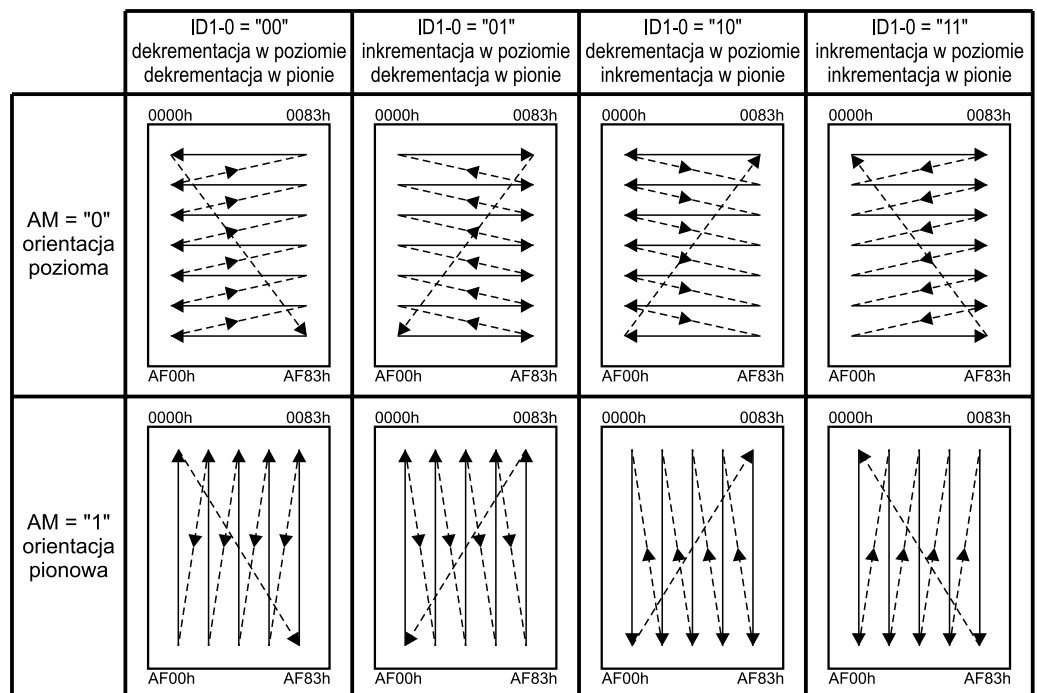
Power control 1 (R03h)

- bity BT2...0 określają ile razy ma być podnoszone napięcie w przetwornicach napięcia wbudowanych w kontroler LCD. Im mniejsza krotność podnoszenia, tym mniejszy pobór energii. Vci1 oraz Vci2 są wejściami przetwornic napięcia, napięcie DDVDH pojawia się na wyjściu pierwszej przetwornicy, a napięcie VGH na wyjściu drugiej. Wejście pierwszej przetwornicy Vci1 jest podłączone do wyjścia wewnętrznego źródła napięcia odniesienia (VciOUT), a jej wyjście jest połączone z wejściem drugiej, więc napięcie VGH jest generowane przez obydwie przetwornice. Napięcie DDVDH powinno być w granicach 4,5...5,5 V i VGH 9...16,5 V,

- bity DC2...0 służą do określenia częstotliwości przełączania przetwornic wbudowanych w kontroler LCD. Im częstotliwość przełą-

czania jest większa, tym jakość obrazu staje się lepsza, jednak rośnie pobór energii,

- bity AP2...0 określają prąd pobierany z wyjścia wzmacniacza operacyjnego użyty do zasilania przetwornic napięcia. Im prąd ten jest większy, tym lepsza jest jakość wyświetlanego obrazu, ale zużycie energii jest większe. Ustawienie AP2...0=000 wyłącza wzmacniacz operacyjny oraz układy przetwornic napięcia (przydatne w przypadku, gdy nie jest wyświetlany żaden obraz, dzięki czemu zredukowane jest zużycie energii),



Rys. 9. Sposoby auto-inkrementacji adresu pamięci GRAM

Tab. 2. Wykaz instrukcji kontrolera HD66773

| Indeks instrukcji | Nazwa instrukcji | RS | R/W | Bajt wysoki | | | | | | | | |
|-------------------|---------------------------------|----|-----|-------------|-------|-------|----------|-------|-------|----------|-------|---------------|
| | | | | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | | |
| R | Index | 0 | 0 | - | - | - | - | - | - | - | - | |
| SR | Status read | 0 | 1 | L7...0 | | | | | | | | |
| R00h | Oscillation start | 1 | 0 | - | - | - | - | - | - | - | - | |
| | Device code read | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | |
| R01h | Driver output control | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SM | GS | |
| R02h | LCD drive AC control | 1 | 0 | 0 | 0 | 0 | 0 | 0 | FLD1 | FLD0 | B/C | |
| R03h | Power control 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | BT2 | BT1 | |
| R04h | Power control 2 | 1 | 0 | CAD | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R05h | Entry mode | 1 | 0 | DIT | 0 | 0 | BGR | 0 | 0 | 0 | HWM | |
| R06h | Compare register | 1 | 0 | CP15...8 | | | | | | | | |
| R07h | Display control | 1 | 0 | 0 | 0 | 0 | PT1 | PT0 | VLEII | VLEI | | |
| R08h | Frame cycle control | 1 | 0 | NO1 | NO0 | SDT1 | SDT0 | EQ1 | EQ0 | DIV1 | | |
| R0Ch | Power control 3 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R0Dh | Power control 4 | 1 | 0 | 0 | 0 | 0 | | | | | | 0 VRL3...0 |
| R0Eh | Power control 5 | 1 | 0 | 0 | 0 | VCOMG | VDV4...0 | | | | | |
| R0Fh | Gate scan starting position | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R11h | Vertical scroll control | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R14h | First screen drive position | 1 | 0 | | | | | | | SEI7...0 | | |
| R15h | Second screen drive position | 1 | 0 | | | | | | | SEI7...0 | | |
| R16h | Horizontal RAM address position | 1 | 0 | | | | | | | HEA7...0 | | |
| R17h | Vertical RAM address position | 1 | 0 | | | | | | | VEA7...0 | | |
| R20h | RAM write data mask | 1 | 0 | | | | | | | WM15...8 | | |
| R21h | RAM address set | 1 | 0 | | | | | | | AD15...8 | | |
| R22h | RAM write data | 1 | 0 | | | | | | | WD15...8 | | |
| | RAM read data | 1 | 1 | RD15...8 | | | | | | | | |
| R30h | Gamma control 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PKP12 | PKP11 | |
| R31h | Gamma control 2 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PKP32 | PKP31 | |
| R32h | Gamma control 3 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PKP52 | PKP51 | |
| R33h | Gamma control 4 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PRP12 | PRP11 | |
| R34h | Gamma control 5 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PKN12 | PKN11 | |
| R35h | Gamma control 6 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PKN32 | PKN31 | |
| R36h | Gamma control 7 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PKN52 | PKN51 | |
| R37h | Gamma control 8 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PRN12 | PRN11 | |
| R3Ah | Gamma control 9 | 1 | 0 | 0 | 0 | 0 | VRP14 | VRP13 | VRP12 | VRP11 | | |
| R3Bh | Gamma control 10 | 1 | 0 | 0 | 0 | 0 | VRN14 | VRN13 | VRN12 | VRN11 | | |

wy. Użyteczny tylko w przypadku interfejsu 18/9-bitowego,

- bit BGR, gdy jest ustawiony („1”), oznacza, że zamieniana jest kolejność kolorów piksela z RGB na BGR,
- bit HWM włącza *szybki zapis do pamięci GRAM w trybie burst*. W tym trybie zapis do pamięci GRAM następuje dopiero po odebraniu 4 słów danych odpowiadających 4 pikselom. Tryb szybkiego zapisu zostanie omówiony dokładniej w dalszej części artykułu,
- bity I/D1...0 oraz bit AM określają kierunek auto-inkrementacji adresu pamięci GRAM zgodnie z **rys. 9**.
- bity LG2...0 określają operację jaka ma być wykonana przy

zapisie danych do pamięci GRAM.

Compare register (R06h)

- bity CP15...0 tworzą rejestr, który jest używany w przypadku warunkowego zapisu do pamięci GRAM określonego przez bity LG2...0.

Display control (R07h)

- bity PT1...0 przy podziale matrycy na dwa ekrany określają jak ma być sterowany obszar, który nie jest objęty żadnym z dwóch ekranów. Ustawienie to dobiera się w zależności od charakterystyki matrycy LCD,
- bity VLEI i VLEII, gdy bit VLEI jest ustawiony („1”), funkcja *płynnego przewijania* dotyczy ekranu pierwszego, a gdy VLEII=1, funk-

cja ta dotyczy ekranu drugiego. Płynne przewijanie obydwu ekranów jednocześnie nie jest możliwe i ustawienie VLEI=1 oraz VLEII=1 jest wyłączone,

- bit SPT, gdy jest ustawiony („1”), włączony jest podział matrycy LCD na dwa ekrany,
- bity GON, DTE, D1 oraz D0 sterują włączeniem lub wyłączeniem matrycy LCD i obwodów nią sterujących i muszą być zmieniane w odpowiedniej kolejności. Sekwencję włączenia i wyłączenia pokazano na **rys. 10**. Pomiedzy pewnymi etapami tych sekwencji należy odczekać czas potrzebny na odświeżenie 2 lub więcej pełnych ramek obrazu wyświetlacza,

| Bajt niski | | | | | | | | | |
|------------|-----------|---------|---------|--------------|-------|-------|-------|-------|-------|
| bit 0 | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 | |
| - | - | ID6...0 | | | | | | | |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| - | - | - | - | - | - | - | - | - | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| SS | 0 | 0 | NL4...0 | | | | | | |
| EOR | 0 | 0 | NW5...0 | | | | | | |
| BTO | DC2 | DC1 | DC0 | AP2 | AP1 | AP0 | SLP | STB | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | I/D1 | I/DO | AM | LG2 | LG1 | LG0 | |
| | CP7...0 | | | | | | | | |
| SPT | 0 | 0 | GON | DTE | CL | REV | D1 | D0 | |
| DIV0 | 0 | 0 | 0 | 0 | RTN3 | RTN2 | RTN1 | RTN0 | |
| 0 | 0 | 0 | 0 | 0 | 0 | VC2 | VC1 | VC0 | |
| | 0 | 0 | 0 | PON VRH3...0 | | | | | |
| | 0 | 0 | 0 | VCM4...0 | | | | | |
| 0 | 0 | 0 | 0 | SCN4...0 | | | | | |
| 0 | VL7...0 | | | | | | | | |
| | SSI7...0 | | | | | | | | |
| | SSII7...0 | | | | | | | | |
| | HSA7...0 | | | | | | | | |
| | VSA7...0 | | | | | | | | |
| | WM7...0 | | | | | | | | |
| | AD7...0 | | | | | | | | |
| | WD7...0 | | | | | | | | |
| | RD7...0 | | | | | | | | |
| PKP10 | 0 | 0 | 0 | 0 | 0 | 0 | PKP02 | PKP01 | PKP00 |
| PKP30 | 0 | 0 | 0 | 0 | 0 | 0 | PKP22 | PKP21 | PKP20 |
| PKP50 | 0 | 0 | 0 | 0 | 0 | 0 | PKP42 | PKP41 | PKP40 |
| PRP10 | 0 | 0 | 0 | 0 | 0 | 0 | PRP02 | PRP01 | PRP00 |
| PKN10 | 0 | 0 | 0 | 0 | 0 | 0 | PKN02 | PKN01 | PKN00 |
| PKN30 | 0 | 0 | 0 | 0 | 0 | 0 | PKN22 | PKN21 | PKN20 |
| PKN50 | 0 | 0 | 0 | 0 | 0 | 0 | PKN42 | PKN41 | PKN40 |
| PRN10 | 0 | 0 | 0 | 0 | 0 | 0 | PRN02 | PRN01 | PRN00 |
| VRP10 | 0 | 0 | 0 | 0 | 0 | VRP03 | VRP02 | VRP01 | VRP00 |
| VRN10 | 0 | 0 | 0 | 0 | 0 | VRN03 | VRN02 | VRN01 | VRN00 |

jedynczego rzędu matrycy LCD i służą do regulacji częstotliwości odświeżania całego ekranu zgodnie ze wzorem:

$$f = \frac{f_{osc}}{CPR \cdot DIV \cdot (NL + 8)}$$

gdzie:

f – częstotliwość odświeżania ekranu LCD (w Hz),

f_{osc} – częstotliwość drgań oscylatora kontrolera HD66773,

CPR – liczba cykli zegarowych na 1 rząd (od 16 do 31),

DIV – stosunek podziału oscylatora kontrolera HD66773 (od 1 do 8),

NL – liczba sterowanych linii wyświetlacza.

Power control 3 (R0Ch)

– bity VC2...0 służą do regulacji napięcia wyjściowego źródła napięcia odniesienia VciOUT dla napięć VREG1OUT, VREG2OUT oraz Vci1. Ustawienie VC2...0=111 wyłącza źródło napięcia odniesienia.

Power control 4 (R0Dh)

– bity VRL3...0 służą do ustawienia wzmocnienia napięcia VREG2OUT. Napięcie to jest użyte jako napięcie odniesienia w trakcie generowania sygnału VGOFF. Powinno być ono mniejsze od -5 V, ale przynajmniej o 0,5 V większe od napięcia VGL (napięcie VGL jest generowane poprzez odwrócenie napięcia VGH),

– bit PON włącza przetwornicę napięcia nr 3, która odwraca napięcie VGH na napięcie VGL,

– bity VRH3...0 służą do ustawienia wzmocnienia napięcia VREG1OUT. Napięcie to jest użyte jako napięcie odniesienia dla generatora napięć odcieni szarości. Powinno być ono większe od 3 V, ale przynajmniej o 0,5 V mniejsze od napięcia DDVDH.

Power control 5 (R0Eh)

– bit VCOMG, gdy jest ustawiony („1”), napięcie VCOML może osiągać ujemną wartość (-5 V). Gdy VCOMG=0, napięcie VCOML=0 V i wyłączany jest wzmacniacz napięcia ujemnego, dzięki czemu pobór prądu jest mniejszy, ponadto ustawienia bitów VDV4...0 są pomijane. W tym przypadku amplituda VCOM/VGOFF musi być regulowana za pomocą napięcia VCOMH używając bitów VCM4...0,

– bit CL, gdy jest ustawiony („1”) kontroler pracuje w trybie 8-kolorowym. Tryb 8-kolorowy zostanie omówiony w dalszej części artykułu,

– bit REV służy do odwrócenia kolorów matrycy LCD. Dzięki niemu możliwy jest wybór pomiędzy dwoma typami matryc: normalnie białą i normalnie czarną.

Frame cycle control (R0Bh)

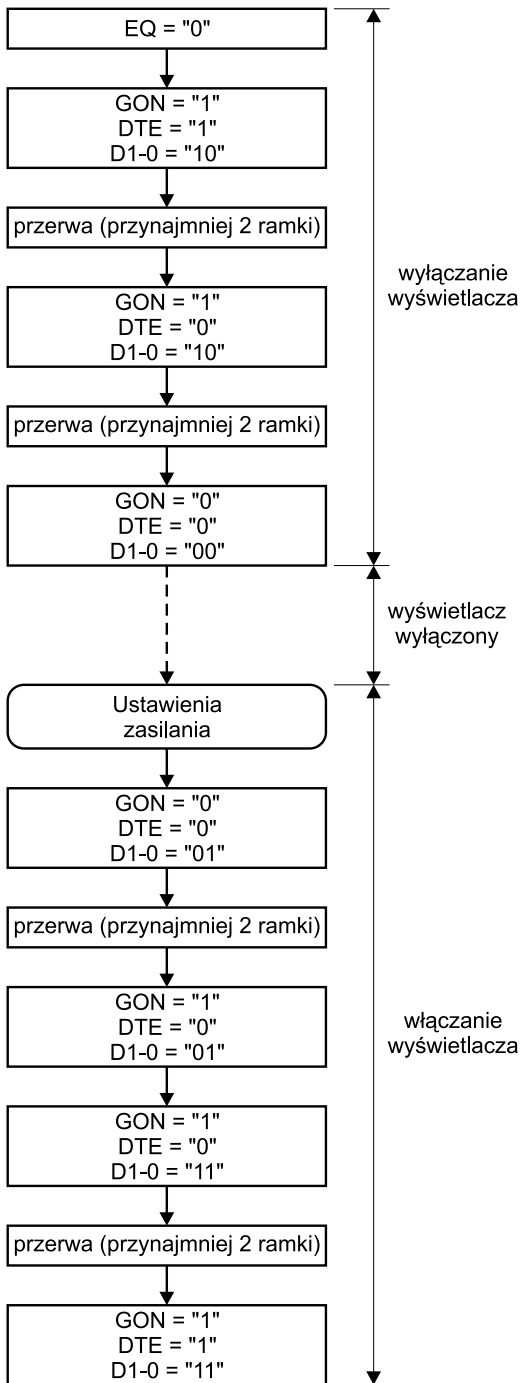
– bity NO1...0 ustawiają czas trwania odstępu pomiędzy sygnałami wybierania dwóch kolejnych rzędów matrycy LCD. Jest on określony w cyklach zegarowych kontrolera HD66773 pomiędzy zboczem opadającym jednego, a narastającym drugiego sygnału,

– bity SDT1...0 ustawiają opóźnienie pomiędzy zboczem opadającym sygnału wybierania rzędu, a początkiem sygnału sterującego kolumnami matrycy LCD,

– bity EQ1...0 ustawiają długość okresu equalizacji. Equalizacja jest możliwa tylko wtedy, gdy napięcie VCOML jest większe od 0 V. W przeciwnym wypadku należy ustawić EQ1...0=00,

– bity DIV1...0 określają stosunek podziału częstotliwości f_{osc} wewnętrznego oscylatora kontrolera HD66773. Wewnętrzne operacje kontrolera są wykonywane z częstotliwością ustawianą przez te bity.

– bity RTN3...0 ustawiają czas trwania impulsu wybierania po-



Rys. 10. Sekwencja włączenia i wyłączenia wyświetlacza

- bity VDV4...0 ustawiają wzmocnienie amplitudy napięcia VCOM oraz VGOFF. Gdy VCOM=0 ustawienie tych bitów jest ignorowane. Amplituda ta powinna mieć wartość $\leq 6 V$,
- bity VCM4...0 ustawiają napięcie VCOMH. Gdy VCM4...0=11111, wyłączona jest wewnętrzna regulacja i możliwa jest zmiana napięcia VCOMH za pomocą zewnętrznego potencjometru wpiętego pomiędzy końcówki VRE-

G1OUT i VCOMR kontrolera HD66773. Napięcie to powinno być większe od 3 V.

Gate scan starting position (R0Fh)
 - bity SCN4...0 określają, od którego drivera rzędu zaczyna się pierwsza linia matrycy LCD. Należy uważać, żeby nie ustawić pozycji końcowej odświeżania matrycy poza rzędem 176.

Vertical scroll control (R11h)
 - bity VL7...0 określają o ile rzędów ma być przewinięty ekran funkcji *płynnego przewijania*. Po rzędzie 176, wyświetlanie jest kontynuowane od pierwszego rzędu. Ustawienie tych bitów jest prawidłowe tylko w przypadku, gdy funkcja *płynnego przewijania* jest włączona (VLEI=1 lub VLEII=1).

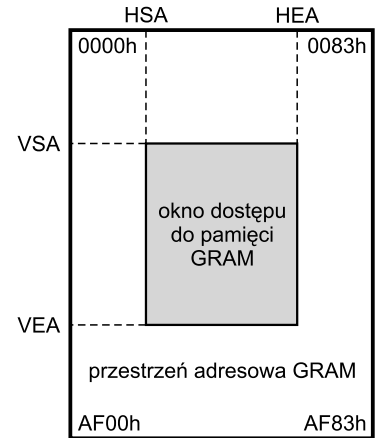
First screen drive position (R14h)
 - bity SSI7...0 służą do ustawienia pozycji początkowej pierwszego ekranu,
 - bity SEI7...0 służą do ustawienia pozycji końcowej pierwszego ekranu. Pozycja ta jest podawana w postaci nr rzędu minus 1. Czyli ustawienie SSI7...0=07h i SEI7...0=10h oznacza, że pierwszy ekran będzie wyświetlany od 8 do 17 rzędu.

Second screen drive position (R15h)
 - bity SSI7...0 służą do ustawienia pozycji początkowej drugiego ekranu,
 - bity SEI7...0 służą do ustawienia pozycji końcowej drugiego ekranu. Ustawienia te działają analogicznie do ustawień pierwszego ekranu.

Horizontal RAM address position (R16h)

- bity HSA7...0 oraz HEA7...0 określają w poziomie pozycję startową i końcową okna dostępu do pamięci GRAM. Dane mogą być wpisywane do pamięci tylko od adresu określonego przez HSA7...0 do adresu określonego przez HEA7...0. Auto-inkrementacja adresu odbywa się także tylko w obrębie określonego okna dostępu.

Vertical RAM address position (R17h)



Rys. 11. Okno dostępu do pamięci GRAM

- bity VSA7...0 oraz VEA7...0 określają w pionie pozycję startową i końcową okna dostępu do pamięci GRAM. Ustawienia te działają analogicznie do ustawień bitów HSA7...0 oraz HEA7...0. Idea okna dostępu do pamięci GRAM jest przedstawiona na rys. 11.

RAM write data mask (R20h)

- bity WM15...0 przy wpisywaniu danych do pamięci GRAM maskują wpisywane dane. Przykładowo: jeśli bit WM15=1, a pozostałe WM14...0=0, oznacza to, że bit WD15 z rejestru *RAM write data* nie jest wpisywany do pamięci GRAM, a pozostałe bity WD14...0 są wpisywane.

RAM address set (R21h)

- bity AD15...0 ustawiają wewnętrzny licznik adresu pamięci GRAM. Po wpisaniu danych licznik ten jest automatycznie inkrementowany zgodnie z ustawieniami bitów AM oraz I/D1...0.

RAM write data (R22h)

- bity WD15...0 tworzą rejestr służący do wpisywania danych do pamięci GRAM. Pięć najbardziej znaczących bitów odpowiada za kolor czerwony, kolejne sześć za zielony, a ostatnie pięć najmniej znaczących bitów za kolor niebieski.

RAM write read (R22h)

- bity RD15...0 tworzą rejestr służący do odczytu danych z pamięci GRAM. Niestety w omawianym wyświetlaczu z telefonu Siemens nie ma możliwości odczytu danych z pamięci GRAM.

Sebastian Gremba
sebgonzo@o2.pl