

MultiBoot: mało znane możliwości FPGA



Większość dostępnych na rynku układów FPGA jest wyposażona w pamięć konfiguracyjną typu SRAM, która każdorazowo po włączeniu zasilania wymaga zaprogramowania. Zazwyczaj prawidłowa (czyli odpowiadająca oczekiwanej konfiguracji) zawartość pamięci SRAM jest odtwarzana z nieulotnej pamięci Flash, zwanej konfiguratorym. Podczas prac uruchomieniowych zawartość pamięci SRAM (konfiguracyjnej) może być zadawana przez użytkownika bezpośrednio poprzez interfejs JTAG z pominięciem konfiguratora (rys. 1). Te dwa sposoby konfigurowania FPGA są najczęściej stosowane w praktyce, ale warto zdawać sobie sprawę także z dostępności innych możliwych sposobów konfigurowania FPGA, na przykład z wykorzystaniem pamięci z 8-bitową równoległą magistralą danych (rys. 2). Wybór sposobu konfiguracji (i jednocześnie źródła

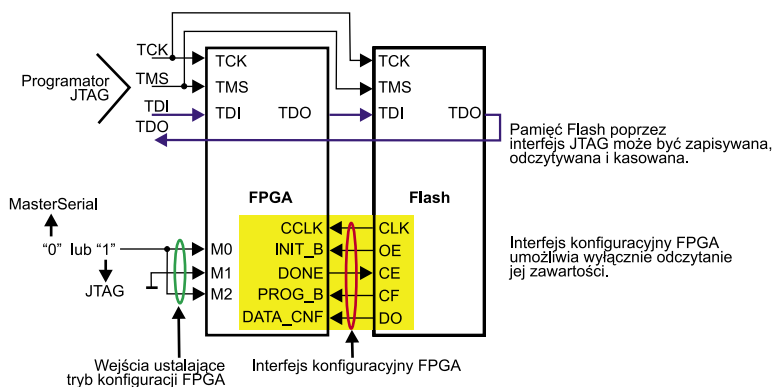
układów FPGA nie tylko taniej i jednocześnie rosną w zasoby logiczne – ich nowe rodziny charakteryzują się także coraz większą funkcjonalnością, otwierającą przed użytkownikami nowe możliwości aplikacyjne. Jedną z nowości wprowadzonych przez firmę Xilinx do rodziny układów Spartan 3A i jej pochodnych jest możliwość wykorzystania jednego konfiguratora do przechowywania kilku konfiguracji i ich swobodnej wymiany w zależności od potrzeb. Dzięki rekonfiguracji praktyczne możliwości układów Spartan 3A są większe niż wskazują na to dostępne w nich zasoby logiczne.

danych opisujących konfigurację) jest możliwy dzięki wejściom M0...M2, których funkcje są dokładnie opisane w dokumentacji konkretnych typów FPGA.

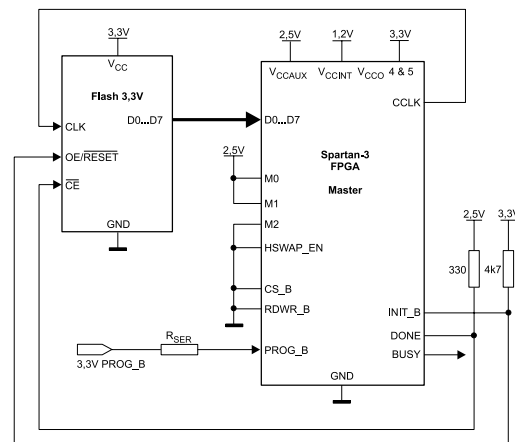
MultiBoot, czyli trochę więcej niż sama konfiguracja

Nazwą MultiBoot firma Xilinx określa zaawansowane możliwości

interfejsu konfiguracyjnego, w które wyposażono niektóre rodziny układów Spartan 3. W funkcjonalność MultiBoot wyposażono układy z serii: Spartan 3A, Spartan 3AN, Spartan 3A DSP oraz – w nieco węższym zakresie – także układy Spartan 3E (tab. 1). „Klasyczne” wersje



Rys. 1. Układy Spartan 3 mogą być konfigurowane przez interfejs FPGA lub – poprzez wydzielony interfejs szeregowy – przez z wykorzystaniem zewnętrznej pamięci nieulotnej (np. wyspecjalizowanego konfiguratora Flash lub pamięci Flash z interfejsem SPI)



Rys. 2. Układy FPGA Spartan 3 mogą być konfigurowane także z wykorzystaniem pamięci z interfejsem równoległym

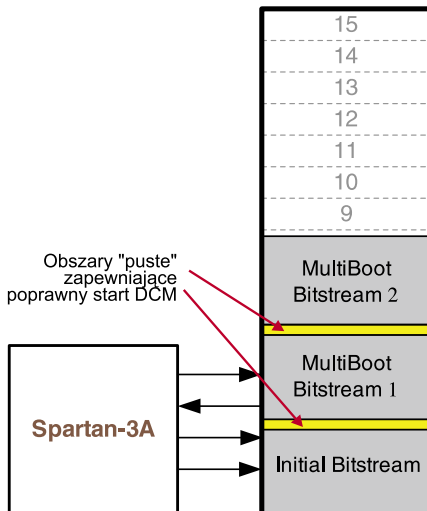


Sprzęt wielozadaniowy

Wykorzystanie mechanizmów MultiBoot pozwala na żądanie skonfigurować układ FPGA w jeden z wcześniej zdefiniowanych sposobów. Dzięki temu pojedynczy układ może spełniać w urządzeniu wiele funkcji, w zależności od aktualnych potrzeb.

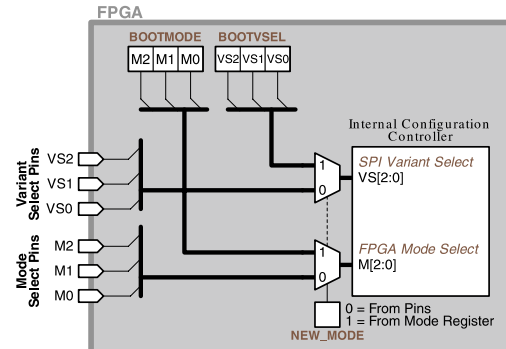
układów Spartan 3 (bez żadnego sufiksu w nazwie, np. XC3S200) nie obsługują funkcji MultiBoot.

Korzystanie z możliwości oferowanych przez MultiBoot wymaga zastosowania pamięci Flash z interfejsem SPI lub pamięci równoległych (tryb konfiguracji BPI – *Byte-wide Peripheral Interface*). Standardowe



Rys. 3. Rozmieszczenie plików zawierających opisy konfiguracji w pamięci Flash SPI może być dowolne. W przypadku wykorzystania opcji DCM_LOCK może wystąpić konieczność „dopełnienia” pamięci danymi, których czas trwania odczytywania z pamięci zapewni ustabilizowanie działania generatorów DCM

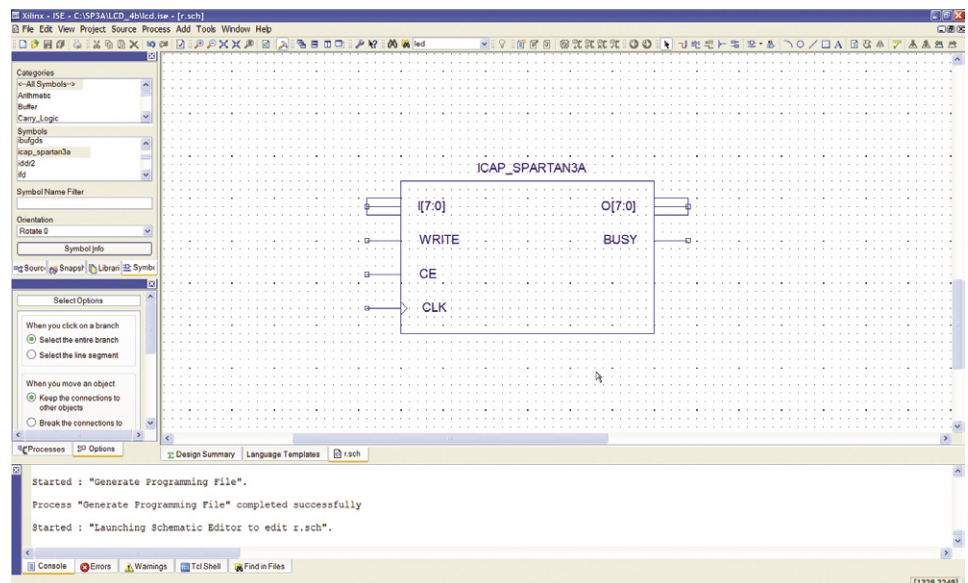
konfiguratorzy firmy Xilinx (jak np. XCF01S) nie są przystosowane do pracy w takim trybie konfiguracji. W przypadku korzystania z pamięci z interfejsem szeregowym SPI jest obsługiwana 24-bitowa przestrzeń adresowa (128 Mb), w trybie BPI przestrzeń adresowa wynosi 512 Mb (26 bitów adresowych). Poszczególne warianty konfiguracji FPGA przechowywane w FPGA mogą mieć praktycznie dowolną długość, przy



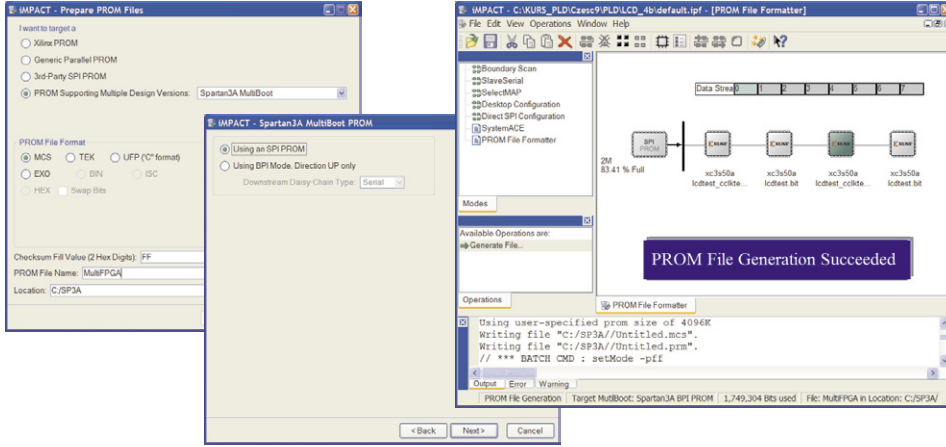
Rys. 4. Sposób odczytu kolejnej konfiguracji można ustalać za pomocą wyprowadzeń VS(2:0) i M(2:0) lub za pomocą wewnętrznych rejestrów interfejsu konfiguracyjnego

czym jeżeli działanie implementowanego projektu wymaga stabilnej pracy generatorów sygnałów taktujących DCM (aktywna opcja DCM_WAIT) konieczne jest zwiększenie długości ładowanego pliku w taki sposób, aby czas odczytu danych (mogą to być dane nadmiarowe, mogą to być także dane implementowanej aplikacji spoza standardowego pliku konfiguracyjnego) był dłuższy niż czas trwania stabilizacji pracy generatorów DCM (rys. 3).

Interfejs rekonfiguracyjny jest zabezpieczony przed wadliwymi danymi wykorzystywanymi do rekonfiguracji FPGA za pomocą timera watch-doga, który w przypadku odczytania z pamięci SPI nieprawidłowych danych (z punktu widzenia protokołu opisującego ich transfer), wymusza automatyczny pobór danych z kon-



Rys. 5. Dostęp do rejestrów interfejsu konfiguracyjnego jest możliwy między innymi dzięki prymitywowie ICAP, który Xilinx udostępnił m.in. jako element biblioteczny edytora schematów



Rys. 6. Za generację pliku służącego do zaprogramowania pamięci Flash SPI odpowiada program iMPACT – na rysunku przedstawiono wybrane, kolejne kroki przygotowywania projektu

Dzięki rekonfigurowaniu układów FPGA uzyskujemy możliwość budowania platform sprzętowych, których funkcje mogą się na żądanie zmieniać lub adaptować do aktualnych wymagań użytkowników. Można także budować urządzenia wymagające dużych zasobów logicznych z wykorzystaniem relatywnie małych układów FPGA.

W danej chwili układ FPGA zawsze jest skonfigurowany jednym z wybranych plików, których zawartość jest przechowywana w pamięci Flash SPI.

Ten sam układ FPGA po skonfigurowaniu działa zgodnie z wybraną konfiguracją

Tab. 1. Możliwości trybu MultiBoot w układach Spartan 3E i Spartan 3A/3AN/3A DSP (standardowe układy Spartan 3 nie obsługują trybu MultiBoot)

Funkcja	Spartan 3E	Spartan 3A/3AN/3A DSP
Odczyt konfiguracji z pamięci NOR Flash	+	+
Odczyt konfiguracji z pamięci SPI	-	+
Konfigurowanie w kilku różnych trybach z kilku różnych pamięci	-	+
Jednoczesne konfigurowanie kilku FPGA z jednego konfiguratora	-	+
Liczba możliwych konfiguracji	2	Ograniczona wyłącznie pojemnością pamięci (konfiguratora)
Wbudowany watchdog wymuszający rekonfigurację podstawową	-	+
Sposób adresowania pamięci konfiguratora	Od 0 w górę, od najwyższego adresu w dół	Począwszy od adres 0, zawsze w górę (dowolny podział pomiędzy kolejne pliki zawierające konfiguracje)

List. 1. Opis VHDL dołączenia do własnego projektu prymitywu ICAP

```

ICAP_SPARTAN3A_inst : ICAP_SPARTAN3A
port map (
  BUSY => BUSY, -- Busy output
  0 => moje_0, -- 8-bit data output
  CE => moje_CE, -- Clock enable input
  CLK => moje_CLK, -- Clock input
  I => moje_I, -- 8-bit data input
  WRITE => moje_WRITE -- Write input
);
    
```

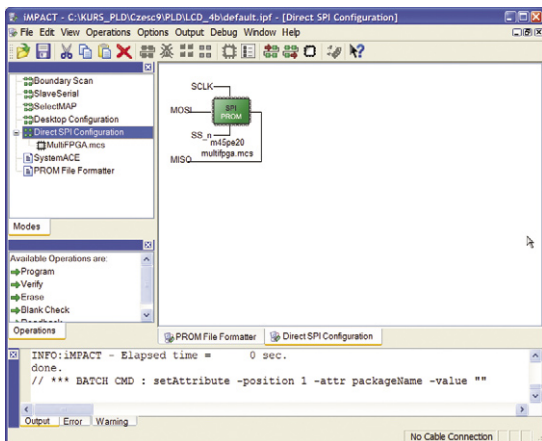
MultiBoot nie we wszystkich Spartanach 3. Funkcje MultiBoot są dostępne w nowych wersjach układów z rodziny Spartan 3: Spartan 3A, Spartan 3A DSP, Spartan 3AN oraz Spartan 3E.

figuracji domyślnej, ulokowanej od adresu 0 pamięci Flash.

Zarządzanie wymianą konfiguracji

Wymiana aktywnej konfiguracji FPGA jest możliwa za pomocą interfejsu JTAG, Slave Serial oraz Slave Parallel. Niezależnie od in-

terfejsu wybranego do sterowania przełączaniem konfiguracji FPGA działanie użytkownika lub mikrokontrolera sterującego wyborem konfiguracji polega na podaniu do odpowiednich rejestrów wewnętrznych (GENERAL1, GENERAL2, MODE_REG i CMD, wszystkie rejestry 16-bitowe): adresu początku kolejnej konfiguracji, jej źródła oraz kodu polecenia (większość jest 2-bajtowa) przeznaczonego do wykonania przez sterownik interfejsu. Za pomocą 8 bitów MSB rejestru GENERAL2 mogą być przekazywane polecenia sterujące pamięci Flash (SPI). W zależności od wymagań aplikacji, stany wejść ustalających sposób konfiguracji i tryb pracy pamięci SPI (VS[2:0] i M[2:0]) mogą być pobierane przez FPGA z zewnątrz lub z odpowiednich bitów rejestrów konfiguracji



Rys. 7. Pamięć Flash SPI można zaprogramować w systemie za pomocą programu iMPACT

(rys. 4) o czym decyduje dostępny dla użytkownika bit NEW_MODE.

Dostęp do rejestrów konfiguracyjnych jest możliwy także z wnętrza FPGA, dzięki czemu o wymianie konfiguracji na inną może zdecydować wbudowana w FPGA logika. Do tego celu służy prymityw ICAP (Internal Configuration Access Port), dostępny w bibliotekach schematowych (rys. 5), można korzystać z niego także z poziomu HDL (przykład w VHDL pokazano na list. 1).





MCD
electronics

MCD Electronics
34-300 Żywiec ul. Lelewela 26
tel/fax: 33/861 60 35
e-mail: smt@mcd.com.pl
www.mcd.com.pl

MONTAŻ SMT (ZGODNE Z ROHS):

- na paśmie
- na kleju

PROJEKTOWANIE I KONSTRUOWANIE:

- systemów zabezpieczeń budynków, głównie oświetlenia awaryjnego,
- sterowników embedded do urządzeń medycznych,
- podzespołów elektronicznych dla branży motoryzacyjnej, głównie sterowników programowalnych i ich otoczenia,

PONADTO:

- montaż mieszany: przewlekany i SMT
- lutowanie na fali lutowniczej

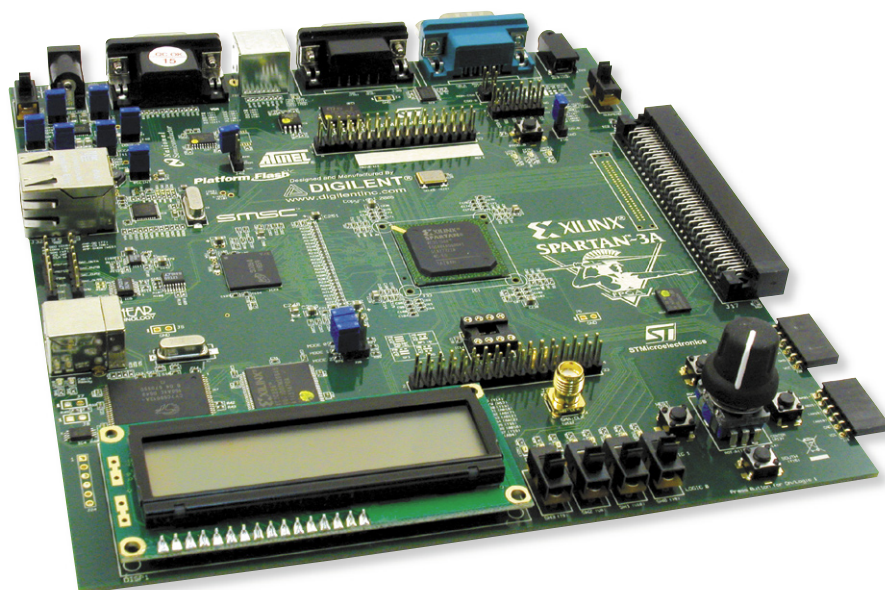
Zalecane sekwencje poleceń i sposoby programowania rejestrów konfiguracyjnych są szczegółowo opisane w podręczniku „Spartan-3 Generation Configuration User Guide” (UG332), który jest dostępny w postaci PDF na stronie www.xilinx.com.

W każdym przypadku warto pamiętać, że w nomenklaturze firmy Xilinx bit D0 jest bitem MSB, czyli przeciwnie niż w większości rozwiązań układów cyfrowych.

Przygotowanie pliku dla pamięci Flash SPI

Przygotowanie pliku *.mcs służącego do zaprogramowania pamięci Flash SPI umożliwia program iMPACT z bezpłatnego pakietu WebPack ISE. Użytkownik musi wybrać pojemność pamięci Flash SPI i podać nazwy i lokalizacje plików *.bit zawierających poszczególne konfiguracje FPGA, następnie (ewentualnie) pliki z danymi inicjującymi pamięci użytkownika (*.mem) oraz pliki z danymi aplikacji użytkownika (rys. 6).

Jeżeli pliki wejściowe są przygotowane poprawnie, wygenerowanie pliku wynikowego służącego do programowania pamięci SPI jest formalnością. Pamięć Flash SPI można programować w systemie za pomocą



Fot. 8. Testy praktyczne wymiany konfiguracji przeprowadzono na układzie XC3S700A, zastosowanym w zestawie ewaluacyjnym firmy Xilinx

standardowego programatora będącego odpowiednikiem *DLC III Cable* lub nowszego (rys. 7).

Podsumowanie

Możliwości rekonfiguracyjne nowszych rodzin układów Spartan 3 pozwalają poważnie myśleć o samodzielnej budowie rekonfigurowanych urządzeń, co z przyczyn obiektywnych było niełatwe w układach

FPGA starszych generacji. Procedura wymiany konfiguracji nie jest – jeszcze – prosta do przeprowadzenia ale Xilinx zapowiada, że w kolejnych wersjach pakietu WebPack ISE (dostępny bezpłatnie na stronie www.xilinx.com) mają zostać zaimplementowane narzędzia automatyzujące sterowanie rekonfiguracją.

Piotr Zbysiński, EP
piotr.zbysinski@ep.com.pl

FPGA dla początkujących

Uniwersalny, modułowy zestaw uruchomieniowy w cenie 358 zł brutto.

W jego skład wchodzi: płyta bazowa, moduł z układem Spartan 3 i programator JTAG.

http://www.sklep.avt.pl/go/_info/?id=47335