

# Tester monitorów VGA, część 2 AVT-979

*W dobie powszechnego korzystania z komputerów PC równie powszechne stało się użycie współpracujących z nimi monitorów VGA. Podczas wszelkich prac serwisowych związanych z ich naprawą i regulacją, zarówno tradycyjnych CRT, jak i LCD, szczególnie przydatny może być specjalny tester. Przedstawiona niżej konstrukcja takiego przyrządu zwraca uwagę m.in. ze względu na wykorzystanie układów programowalnych i języków opisu sprzętu.*

## **Rekomendacje:**

*tester trudno jest polecić komuś, kto chce jednorazowo wykonać naprawę monitora komputerowego, dla serwisantów robiących to na co dzień będzie natomiast cennym wyposażeniem stanowiska pracy.*

## **Blok generatora obrazu kraty**

Blok ten, oprócz obrazu kraty o regulowanej wielkości oczek, wytwarza również obraz kropek oraz umożliwia uzyskanie jednorodnego tła o trzech kolorach podstawowych oraz w kolorze białym. Poziom wysoki na wejściu *BLNAK* powoduje wyzerowanie wyjść *R*, *G*, *B* bloku (wygaszenie obrazu). Wejście *LP* steruje rodzajem obrazu wyświetlanego na ekranie: dla *LP=0* wyświetlana jest krata, dla *LP=1* obraz kropek, pojawiających się w miejscach skrzyżowania linii obrazu kraty. Na 10-bitowe wejścia *cntx*, *cnty* podawane są z bloku wytwarzania impulsów synchronizacji współrzędne odpowiednio pozioma i pionowa aktualnie wybranego punktu. Wejście *LSize* określa rozmiar (w punktach) oczka obrazu kraty lub gęstość kropek, a stan wejścia *PCol* wyznacza kolor (czerwony, zielony, niebieski lub biały) punktu na ekranie. Gdy *LSize=1*, wówczas uzyskuje się jednorodny obraz o kolorze zależnym od stanu wejścia *PCol*. Znaczenie wejść *MaxX* oraz *MaxY* jest identyczne jak dla bloku wytwarzania impulsów synchronizacji. Kod opisujący działanie bloku generatora obrazu kraty przedstawiono na list. 4.

## **Blok generatora obrazu kolorowych pasów**

Jedynym zadaniem tego bloku – jak sugeruje jego nazwa – jest wytwarzanie obrazu kolorowych pasów. Pasy są wyświetlane w typowym porządku: biały, żółty, niebieskozielony, zielony, karmazynowy, czerwony, niebieski, czarny. Kolor pierwszego od lewej pasa wyznacza wartość podana na wejście *RGBInitColor*. Dla *RGBInitColor=1* kolejność wyświetlanych pasów jest taka, jak opisano to powyżej, dla *RGBInitColor=2* obraz rozpoczyna się od pasa o kolorze żółtym, a kończy na pasie o kolorze białym, itd. Wartość podana na wejście *BCoef* określa szerokość (w punktach) pojedynczego pasa. Wartość ta, zadawana przez blok sterowania, jest równa

liczbie aktywnych punktów w linii dla danego trybu pracy podzielonej przez 8 (czyli całkowitą liczbę wyświetlanych pasów;  $BCoef=A_H/8$ ). Znaczenie pozostałych wejść jest takie samo jak dla bloku generatora kraty. Na list. 5 przedstawiono kod w języku Verilog opisujący działania bloku generatora kolorowych pasów.

## **Blok wyświetlania informacji na ekranie**

Blok ten spełnia dwie zasadnicze funkcje. Pierwsza z nich to funkcja multipleksera przełączającego sygnały RGB z bloku generatora kraty (dla sygnału *gsw=0*) lub bloku generatora pasów kolorowych (*gsw=1*). Druga funkcja polega na dodaniu do obrazu tekstowej informacji o bieżącej rozdzielczości obrazu i częstotliwości odświeżania. Informacja ta jest przechowywana w postaci odpowiednio przygotowanej mapy bitowej w pamięci typu *Block RAM* zastosowanego w testerze układu FPGA. W celu przygotowania map bitowych, odpowiadających poszczególnym wyświetlanym napisom, posłużono się specjalnie do tego celu napisanym programem w języku C++, który przekształca standardową (8-bitową) mapę bitową Windows do postaci kodu w języku Verilog zawierającego sekwencję inicjującą zawartość bloków pamięci *Block RAM*.

Na list. 6 pokazano fragment kodu opisujący moduł o nazwie *video\_rom*, który implementuje pamięć obrazu z zawartością mapy bitowej dla poszczególnych napisów. Wykorzystano tu elementy biblioteczne o nazwie *RAMB16\_S1* (dla rodziny *Spartan 3* firmy *Xilinx*) opisujące bloki synchronicznej pamięci RAM o organizacji 16384x1 bit. Inicjowanie zawartości początkowej takiej pamięci (ustalanej podczas konfiguracji układu FPGA) polega na zdefiniowaniu szeregu atrybutów (dla bloku o nazwie *RAMB16\_S1* dokładnie 64) rozpoczynających się od słowa kluczowego *defparam* – tak jak wyróżniono to na list. 6.

### PODSTAWOWE PARAMETRY

- Płytką o wymiarach 95x74 mm
- Zasilanie: 6...8 VDC
- Pobór prądu: 118 mA/6 V
- Obrazy testowe: kolorowe pasy (8 kolorów), krata, kropki, tło: czerwone, zielone, niebieski, białe
- Rozdzielczości obrazu: 640x480, 800x600, 1024x768
- Częstotliwości odświeżania: 60 i 85 Hz
- Wyświetlanie dodatkowych informacji na ekranie (OSD)
- Możliwość zmiany kolejności kolorów w obrazie pasów
- Regulowana gęstość węzłów kraty
- Możliwość zmiany koloru obrazu kraty i kropek (czerwony, zielony, niebieski, biały)
- Automatyczny tryb pracy (sekwencyjna zmiana poszczególnych obrazów testowych)

**List. 4. Opis bloku generatora kraty**

```

module cross_hatch(input vga_clk,
                  input [10:0] cntx, cnty, MaxX, MaxY, LSize,
                  input BLANK, LP,
                  input [1:0] PCol,
                  output R, G, B);

reg [10:0] cx, cy;
reg [2:0] RGB;
wire eq_cx, eq_cy;
reg set_pixel;
reg [2:0] RGBColor;

assign eq_cx=(cntx==cx);
assign eq_cy=(cnty==cy);

//ustalenie koloru punktów
always @(PCol)
case(PCol)
  2'b00: RGBColor=3'b111; //biały
  2'b01: RGBColor=3'b100; //czerwony
  2'b10: RGBColor=3'b010; //zielony
  2'b11: RGBColor=3'b001; //niebieski
endcase

always @(posedge vga_clk)
if (BLANK) RGB<=0; // jeżeli BLANK wygaś obraz
else
  if (cntx==0 || cntx==MaxX || cnty==0 || cnty==MaxY)
  begin
    RGB<=3'b100; //rytuj obramowanie obrazu
    set_pixel<=0;
    if (cntx==0) cx<=LSize;
    if (cnty==0) cy<=LSize;
  end
  else
  begin

    if (eq_cx) cx<=cx+LSize;
    if (eq_cy) begin cy<=cy+LSize; set_pixel<=1; end
    //aktualizacja współrzędnych węzłów kraty

    if (LP) //jeżeli ma być obraz kropek
  begin
    if (eq_cx&set_pixel) RGB<=RGBColor;
    else RGB<=3'b000;
  end else
  begin //obraz kraty
    if (eq_cx|set_pixel) RGB<=RGBColor;
    else RGB<=3'b000;
  end
  end
  assign {R,G,B}=RGB;
endmodule

```

**List. 5. Opis bloku generatora kolorowych pasów**

```

module bars(input vga_clk, BLANK,
           input [10:0] cntx, cnty,
           input [2:0] RGBInitColor,
           input [7:0] BCoef,
           output reg R, G, B);

reg [7:0] r_cnt;
reg [2:0] RGB;

always @(posedge vga_clk)
if (BLANK)
begin RGB<=3'b000; r_cnt<=8'd0; end
else
begin
  if (cntx==10'd0) RGB<=RGBInitColor;
  //jeżeli współrzędna x=0 inicjuj kolor 1-szego pasa

  if (r_cnt<BCoef) r_cnt<=r_cnt+1;
  else begin r_cnt<=0; RGB<=RGB+1; end
  //koniec szerokości pasa, zmiana koloru - następny pas
end

always @(RGB)
case (RGB)
  3'b000: {R,G,B}=3'b000;
  3'b001: {R,G,B}=3'b111;
  3'b010: {R,G,B}=3'b110;
  3'b011: {R,G,B}=3'b011;
  3'b100: {R,G,B}=3'b010;
  3'b101: {R,G,B}=3'b101;
  3'b110: {R,G,B}=3'b100;
  3'b111: {R,G,B}=3'b001;
endcase
//odzworowanie kolejności kolorów wyświetlanych pasów
endmodule

```

Z kolei **list. 7** przedstawia opis samego modułu wyświetlania informacji na ekranie, który odwołuje się do wspomnianego powyżej modułu pamięci obrazu.

**Blok sterowania**

Zadaniem bloku sterowania jest obsługa zdarzeń (zmiana trybu pracy, zmiana położenia obrazu, zmiana typu obrazu testowego, itp.) pochodzących od użytkownika testera VGA, posługującego się klawiaturą urządzenia oraz generowanie na tej podstawie odpowiednich wartości parametrów, które następnie są odpowiednio interpretowane przez pozostałe bloki testera. Znaczenie poszczególnych parametrów (sygnałów wyjściowych bloku sterowania) zostało już wymienione przy okazji omawiania innych bloków testera.

Listing bloku sterowania, ze względu na jego znaczną długość, nie został tutaj pokazany, ale jest dostępny w materiałach dodatkowych (CDEP4/2007 i CDEP6/2007).

**Układ elektryczny testera**

Schemat elektryczny testera pokazano na **rys. 4**. W znacznej części jest to standardowa aplikacja układu XC3S200 (U1) wraz z pamięcią konfiguracji XCF01 (U2).

Do zasilania układu testera wybrano trzy stabilizatory LDO z rodziny SPX1117 (układ FPGA wymaga trzech napięć zasilających: 1,2 V, 2,5 V oraz 3,3 V). Dioda D1 zabezpiecza układy testera przed skutkami odwrotnego włączenia napięcia zasilania. Jako źródło częstotliwości zegara zastosowano generator kwarcowy (U3) o wartości 40 MHz. Wszystkie porty wejścia-wyjścia układu FPGA zostały skonfigurowane do pracy w standardzie LVTTTL. Diody LED D2...D9 sygnalizujące tryb pracy testera są połączone poprzez rezystory ograniczające prąd bezpośrednio do końcówek układu FPGA.

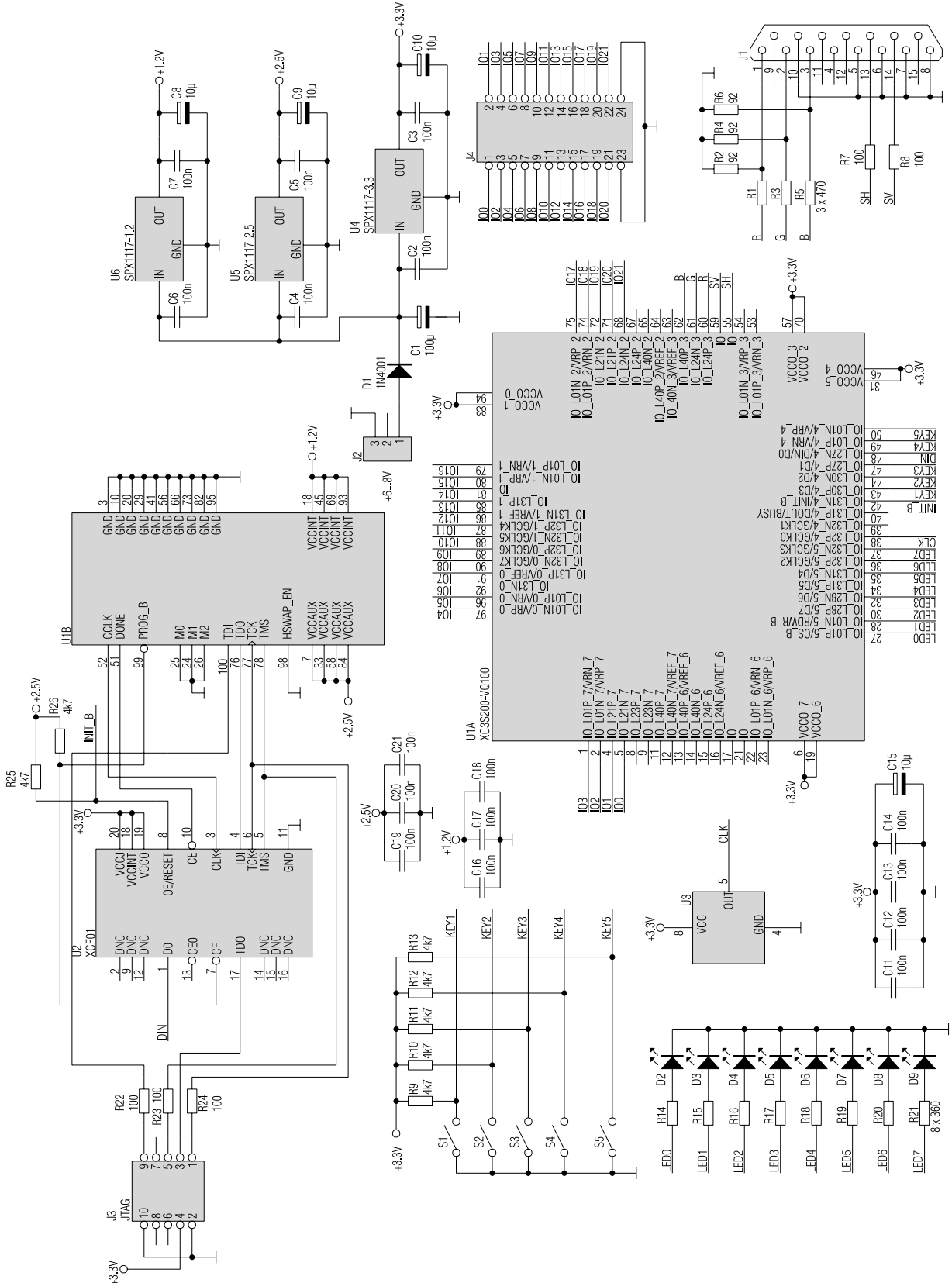
W celu dopasowania impedancji charakterystycznej i amplitudy sygnałów wyjściowych RGB do wymogów standardu VGA, zastosowano proste dzielniki rezystancyjne złożone z rezystorów R1...R6. Alternatywnym sposobem zapewnienia impedancji charakterystycznej 75 Ω dla sygnałów RGB może być wykorzystanie obwodów cyfrowego sterowania impedancją buforów wyjściowych (DCI – *Digitally Controlled Impedance*) zintegrowanych w układzie XC3S200. Jednak ze względu na trudności z jednoczesnym

zapewnieniem odpowiedniej amplitudy sygnałów, z pomysłu tego zrezygnowano.

Złącze J3 służy do konfiguracji układu FPGA i programowania pamięci

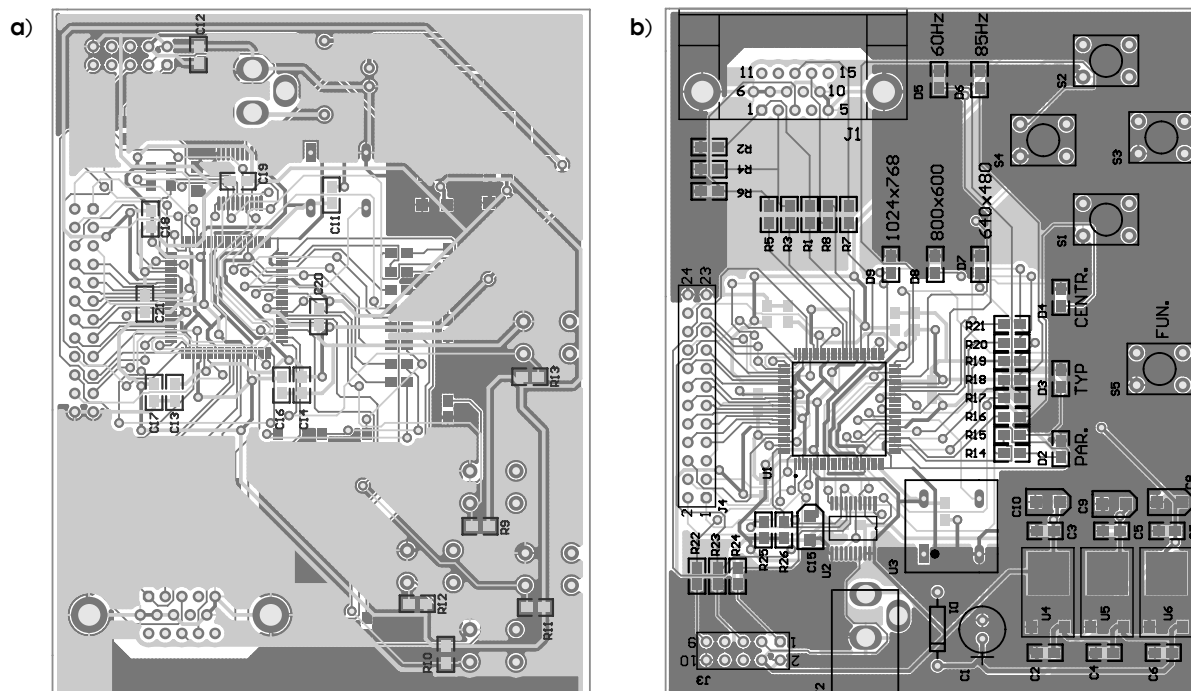
ci *Falsh* (U2) poprzez interfejs JTAG. Układ końcówek złącza jest kompatybilny z oferowanym np. przez programator *UnISProg* opisany w EP1/2004, który można zastosować do programo-

wania testera. Na złączu J4 dostępne są dodatkowo 22 sygnały portów wejścia-wyjścia układu FPGA, które mogą być przydatne np. podczas testowania i rozbudowy testera.



Rys. 4. Schemat elektryczny testera





Rys. 5. Schemat montażowy testera VGA a) widok górnej warstwy, b) widok dolnej warstwy

centrowania obrazu (zapalona dioda D4). Kolejne naciśnięcie klawisza S5 (oznaczonego na płycie drukowanej napisem „FUN.”) powoduje zmianę funkcji kolejno na: wybór typu obrazu testowego (zapalona dioda D3 powyżej napisu „TYP”), wybór parametrów (trybu) pracy (zapalona dioda D3 powyżej napisu „PAR.”) i ponownie centrowanie obrazu.

Dla aktywnej funkcji centrowania, uzyskany na ekranie obraz testowy można przesuwając w górę lub w dół (klawisze S4 lub S3) oraz w lewo lub w prawo (klawisze S1 lub S2).

W przypadku funkcji wyboru rodzaju obrazu testowego klawisze S1...S4 pełnią funkcje opisane niżej. Klawiszem S1 możliwy jest wybór rodzaju obrazu testowego: krata lub kolorowe pasy. W przypadku obrazu kolorowych pasów, klawiszami S4 i S3 można zmieniać (cyklicznie przesuwać) kolejność pasów. Klawisz S2 jest w tym trybie nieaktywny. W przypadku obrazu kraty, gęstość linii kraty można zwiększać lub zmniejszać (w stosunku x2 dla każdego naciśnięcia klawisza) za pomocą klawiszy S4 lub S3. Wielokrotne naciśnięcie tych klawiszy spowoduje, że w końcu uzyskamy obraz albo czarnego tła (na ekranie widoczna będzie czerwona ramka wyznaczająca granice obrazu oraz w lewym, górnym rogu ekranu, na niebieskim tle będzie widniał biały tekst informujący o bieżącej rozdzielczości obrazu i częstotliwości odświeżania), albo

tła białego (maksymalne zagęszczenie linii kraty). Zarówno kolor tego tła, jak i kolor linii kraty (lub punktów) można zmieniać naciskając klawisz S2. Możliwy jest wybór koloru białego, czerwonego, zielonego lub niebieskiego. Gdy wyświetlany jest obraz kraty, jednoczesne naciśnięcie klawiszy S4 i S2 (co praktycznie można zrealizować np. poprzez przytrzymanie klawisza S4 i wciśnięcie S2) spowoduje wyświetlenie obrazu kropek, których kolor można zmieniać klawiszem S2. Ponowne jednoczesne naciśnięcie klawiszy S4 i S2 spowoduje powrót do wyświetlania obrazu kraty.

Dla funkcji wyboru parametrów obrazu, klawiszami S4 i S3 odpowiednio zwiększa się i zmniejsza rozdzielczość obrazu, a klawiszami S1 i S2 możliwa jest zmiana częstotliwości odświeżania. Dla trybu pracy XGA 1024x768 dostępna jest tylko jedna częstotliwość odświeżania – 60 Hz.

W przypadku, gdy klawisz funkcyjny S5 zostanie przytrzymany dłużej (ok. 2 sekundy), diody D2...D4 będą zapalać się i gasnąć kolejno, aż do momentu zwolnienia klawisza S5. Jednocześnie tester przejdzie do automatycznego trybu pracy, w którym są zmieniane kolejno (w pętli) wszystkie dostępne parametry obrazu: rozdzielczość, częstotliwość odświeżania, rodzaj obrazu testowego, kolorowe pasy przesuwane są cyklicznie w lewo lub w prawo, obraz kraty zagęszcza się lub rozrzedza, następuje przemiesz-

czanie obrazu w górę, w dół, w lewo, w prawo, itd. W każdej chwili można powrócić do „normalnego”, manualnego trybu pracy poprzez jednokrotne naciśnięcie klawisza S5.

### Podsumowanie

W przedstawionej wersji opisu w języku Verilog, dla zrównoważonej strategii optymalizacji pomiędzy maksymalizacją szybkości działania i minimalizacją powierzchni, implementacja testera zajmuje 381 bloków logicznych *slice* spośród 1920 (19%) dostępnych w układzie XC3S200. Pozostaje więc jeszcze bardzo dużo wolnych zasobów, które można wykorzystać przy rozbudowie projektu testera. Dodatkowo, zamiast układu XC3S200 można byłoby zastosować „mniejszy” (tańszy) układ XC3S50 (architektura wyprawań wszystkich układów *Spartan 3* w takich samych obudowach jest identyczna, dzięki czemu przy zmianie układu nie trzeba zmieniać projektu płytki ani przypisań numerów końcówek dla portów wejścia/wyjścia), jednak układ ten posiada tylko jeden moduł DCM, w związku z czym do obsługi więcej niż 2 trybów pracy testera niezbędne byłoby zastosowanie kilku zewnętrznych generatorów taktujących o odpowiedniej częstotliwości punktu.

**Zbigniew Hajduk**  
**Politechnika Rzeszowska**