

Dekoder Dolby Digital/DTS,

część 1

AVT-982



Cyfrowy dekodery Dolby to urządzenie na miarę XXI wieku. Jego powstanie było możliwe dzięki postępowi technologicznemu. Urządzenie zostało wykonane z użyciem elementów, które wprawdzie nie są łatwo dostępne, ale gwarantują wysoką jakość urządzenia.

Rekomendacje: wykonanie dekodera będzie zadaniem trudnym, a nawet bardzo trudnym, jeśli jednak zakończy się sukcesem, na pewno dostarczy wiele satysfakcji i zadowolenia.

PODSTAWOWE PARAMETRY

- Płytki o wymiarach 137x77 mm
- Zasilanie 8...12 VAC
- Systemy dekodowania wielokanałowego dźwięku dookólnego: Dolby Digital 5.1 i DTS ES
- Odtwarzanie niekodowanych danych PCM
- Automatyczne wykrywanie systemu kodowania AC3/DTS/PCM
- Wykrywanie i dekodowanie sygnału Dolby Surround Pro Logic
- Cyfrowa regulacja poziomu sygnału (głośność) Master Volume
- Regulacja balansu w każdym z kanałów
- Regulacja opóźnień w każdym z kanałów
- Możliwość aplikacji systemów SRS, VMAX i Circle Surround (zależnie od wersji dekodera STA310)
- Wejście S/PDIF (standard RS422)
- Opcjonalne wejście I2S
- Liczba kanałów przetwornika DAC: 6
- Liczba kanałów wyjścia sygnału analogowego: 6
- Liczba kanałów analogowego filtra dolno-przepustowego: 6

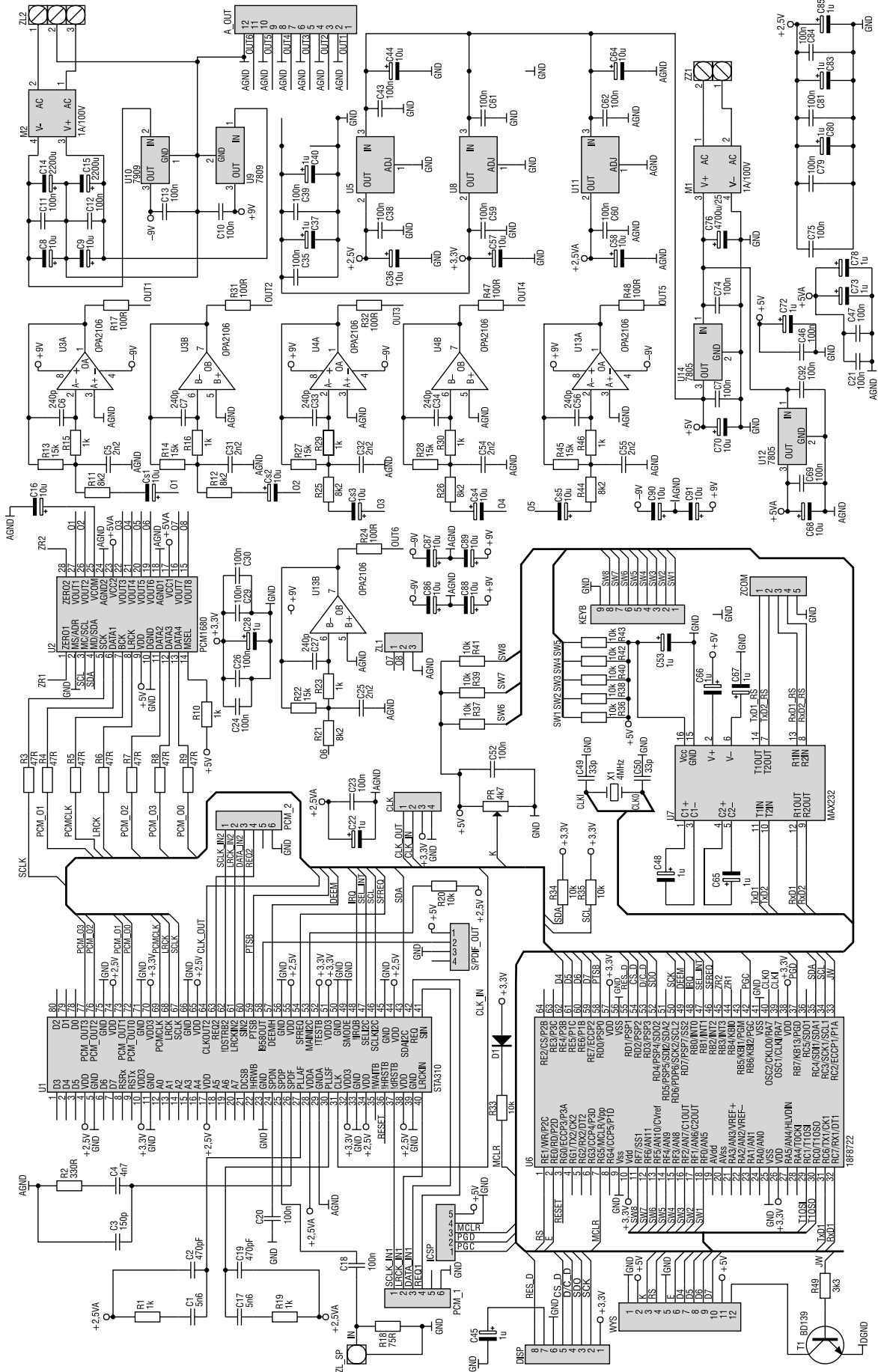
Wykonanie dekodera cyfrowo zakodowanego dźwięku dookólnego (surround) jest wyzwaniem, któremu nie łatwo poddać. Pierwszym problemem, z którym trzeba się zmierzyć to zdobycie układu scalonego dekodera. Do dekodowania strumienia danych stosuje się techniki cyfrowego przetwarzania sygnałów DSP. Ogólnie dostępne, uniwersalne procesory DSP z pamięcią programu typu Flash bez problemu poradzą sobie z tym zadaniem. Takie procesory produkuje na przykład Texas Instruments. Zasadniczym problemem jest jednak oprogramowanie. Napisanie programu dla dobrze działającego dekodera jest zadaniem trudnym i złożonym. Oprogramowanie takie jest kosztowne i powstaje w specjalistycznych firmach posiadających odpowiedni potencjał intelektualny i zaplecze pomiarowe. W Internecie można znaleźć bezpłatne programy dekoderek dźwięku dookólnego przeznaczone dla mikrokontrolerów z rdzeniem ARM tworzonych na zasadzie *open source*. Jednak w opinii tych, którzy próbowali je wykorzystać, są to wersje, nad którymi trzeba jeszcze długo pracować.

W urządzeniach powszechnego użytku są też stosowane scalone dekodery zawierające w swojej strukturze rdzeń DSP z zaprogramowaną pamięcią programu (*firmware*) oraz niezbędne układy peryferyjne. Implementacja takiego układu jest w zasięgu zaawansowanego amatora, jednak zdobycie pojedynczych sztuk takich układów graniczy z cudem.

Problem zdobycia scalonego dekodera dotyczy nie tylko tych, którzy mieszkają w krajach takich jak nasz, gdzie dostępność elementów elektronicznych jest na pewno gorsza niż w Niemczech lub Stanach Zjednoczonych. Również pasjonaci z krajów dużo bardziej rozwiniętych technicznie nie mogą sobie z tym poradzić, o czym świadczy wiele wpisów na forach dyskusyjnych poświęconych tematyce konstruowania cyfrowych urządzeń audio. Kiedy ja zacząłem poszukiwania dekodera, to zazwyczaj okazywało się, że dostanie nawet pojedynczych sztuk nie jest możliwe. Nie pomagało nawet poparcie redakcji i zapewnienia, że układ zostanie wykorzystany do popularyzacji rozwiązań firmy. Odmowa była też często tłumaczona koniecznością uzyskania licencji od firmy Dolby. Ostatecznie układ udało się zdobyć, dzięki dobrej współpracy z polskim oddziałem firmy STM. STM produkuje znany i ceniony multistandardowy dekodery STA310 i w oparciu o ten układ został zbudowany prezentowany tutaj dekodery dźwięku dookólnego. Schemat kompletnego dekodera został pokazany na rys. 1.

Opis układu dekodera

Dla ułatwienia analizy, układ dekodera zostanie podzielony na następujące bloki: zasilacza, dekodera STA310, mikrokontrolera, przetwornika cyfrowo-analogowego i filtrów dolno-przepustowych. Są one omówione poniżej.



Rys. 1. Schemat dekodera surround

Układ zasilacza. Blok ten dostarcza napięć niezbędnych do zasilania wszystkich pozostałych bloków urządzenia. Dla wszystkich napięć analogowych na płycie drukowanej została wydzielona wydzielona masa analogowa oznaczona na schemacie jako AGND. Wszystkie napięcia zasilające układy cyfrowe mają natomiast swoją masę cyfrową oznaczoną na schemacie jako DGND. Obie masy są połączone galwanicznie w pobliżu kondensatora C76.

Napięcie przemienne o wartości 8...12 V podawane na złącze ZZ1 jest prostowane w mostku M1 i filtrowane kondensatorem C76 4700 $\mu\text{F}/25\text{ V}$. Napięcie stałe jest podawane na wejścia scalonych stabilizatorów napięcia U14 i U12. Stabilizator U12 jest źródłem napięcia oznaczonego jako „+5VA” dla obwodów analogowych przetwornika cyfrowo-analogowego. Kondensator C92 blokuje jego wejście, a para kondensatorów C68, C69 wyjście.

Stabilizator U14 jest źródłem napięcia dla układów cyfrowych przetwornika cyfrowo-analogowego i jednocześnie źródłem napięcia

dla stabilizatorów LDO zasilających układ STA310 i mikrokontroler.

Układ scalony dekodera STA310 wymaga trzech napięć. Pierwsze z nich to napięcie +2,5 V zasilające rdzeń procesora DSP układu STA310. Dostarcza go stabilizator LDO SPX1117R2-5 (U5). Wejście i wyjście stabilizatora jest blokowane parami kondensatorów C43, C44 i C36, C38.

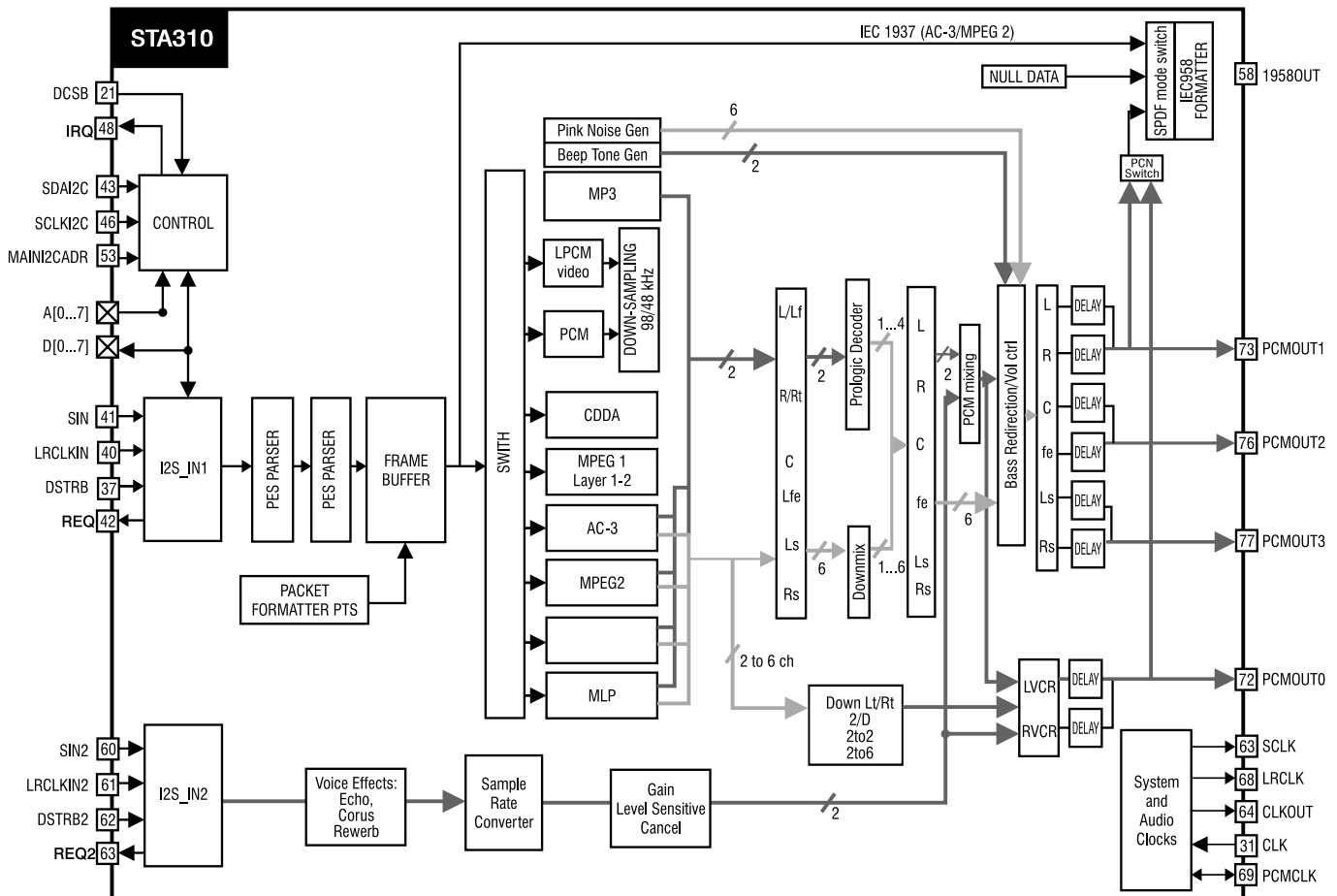
Stabilizator LDO - U11 (SPX1117R2-5) jest źródłem napięcia „+2,5VA” (względem masy analogowej AGND) zasilającego obwody pętli PLL odbiornika S/PDIF układu STA310. Wejście i wyjście tego stabilizatora jest blokowane parami kondensatorów C62, C64 i C60, C58.

Ostatnie wymagane przez STA310 napięcie +3,3 V zasilają układy peryferyjne: interfejsów PCM, magistrali I²C oraz linii sygnałów sterujących. Źródłem tego napięcia jest stabilizator LDO - U8 (SPX1117R3-3). Tym samym napięciem jest również zasilany mikrokontroler Microchipa PIC18F6722 (układ U6) oraz konwerter TTL/RS232 - U7 (MAX3232). Układ U8

jest również blokowany na wejściu (C61) i wyjściu (C57, C59).

Do zasilania wzmacniaczy operacyjnych filtru dolnoprzepustowego przetwornika cyfrowo-analogowego konieczne jest podłączenie symetrycznego napięcia przemiennego 2x12 V do zacisków złącza ZL2. Napięcie to po wyprostowaniu przez mostek M2 i odfiltrowaniu kondensatorami 2200 $\mu\text{F}/25\text{ V}$ (C14 i C15) jest podawane na wejścia stabilizatora napięcia dodatniego +9 V typu 7809 (układ U9) oraz na wejście stabilizatora napięcia ujemnego -9 V typu 7909 (układ U10).

Linie zasilające wrażliwe układy: dekodera STA310, przetwornika PCM1680 oraz mikrokontrolera PIC są dodatkowo blokowane przez pary kondensatorów: ceramiczny 100 nF i tanталowy 1 $\mu\text{F}/16\text{ V}$ w obudowach SMD. Kondensatory są umieszczane jak najbliżej nóżek wyprowadzeń zasilania układów scalonych. Blokowanie zasilania i odpowiednie prowadzenie ścieżek zasilających jest warunkiem prawidłowej pracy dość wymagającego pod względem zasilania układu.



Rys. 2. Schemat blokowy dekodera STA310

Podobne rozwiązanie zostało zastosowane przy zasilaniu układów wzmacniaczy operacyjnych filtrów przetwornika. Przy każdym z tych układów zostały umieszczone kondensatory elektrolityczne 10 μF /16 V, dodatkowo blokujące zasilanie +9 V i -9 V.

Dekoder STA310. STA310 jest wielostandardowym dekoderelem kodowanych cyfrowo sygnałów dźwięku dookólnego. Możliwości układu są imponujące. Może dekodować wszystkie kodowane formaty danych audio:

- Dolby Digital AC3
- DTS
- MPEG-1 (2 kanały)
- MPEG-2 (6 kanałów z 24-bitową precyzją)
- MPEG layer 3 (MP3)
- DVD Audio MLP

Oprócz tego, dekodek bez problemu radzi sobie z niekodowanym strumieniem danych PCM. Schemat blokowy dekodera został pokazany na **rys. 2**.

Strumień danych wejściowych jest przesyłany do dekodera przez główny interfejs I2S, na schemacie blokowym oznaczony jako I2S_IN1. Interfejs I2S może być wykorzystany w coraz częściej stosowanych dekodekach zintegrowanych z odtwarzaczem DVD i wszędzie tam, gdzie dane są przesyłane na niewielkie odległości w obrębie jednego urządzenia.

Drugą alternatywną możliwością przesyłania danych jest nie pokazany na **rys. 2** interfejs S/PDIF stosowany przy przesyłaniu na większe

odległości z urządzenia do urządzenia na przykład z odtwarzacza DVD do amplitunera. Oba kanały są równoprawne i mogą być programowo przełączane

W układzie z **rys. 1** dane są przesyłane do dekodera przez interfejs S/PDIF. W strukturze STA310 został umieszczony układowy odpowiednik odbiornika STA120. Interfejs wejściowy odbiornika akceptuje sygnały elektryczne standardu RS422. Sygnał może być symetryczny (taki jak w profesjonalnym standardzie AES) i jest wtedy dołączany do wejść SPDN i SPDP. W urządzeniach konsumenckich, a takim jest odtwarzacz DVD, jest stosowany standard S/PDIF i do tego standardu przystosowane jest wejście ZL_SP. Asymetryczny sygnał o amplitudzie 0,5 V jest podawany przez kondensator C18 na wejście SPDP, a wejście SPDN jest zwierane do masy dla sygnałów zmiennych przez kondensator C20. Rezystor R18 ma zapewniać dopasowanie falowe toru przesyłowego.

Wyjście do podłączenia elementów zewnętrznych (R2, C4 i C3) filtru pętli PLL układu odtwarzania zegara systemowego odbiornika S/PDIF jest połączone z wyprowadzeniem SPDF. Układy analogowe pętli PLL są zasilane napięciem „+2,5VA” poprzez wyprowadzenie VDDA względem masy analogowej AGND dołączanej do wyprowadzenia GNDA.

Układ z **rys. 1** jest również przystosowany do alternatywnego podłączenia strumienia danych wejściowych

przez interfejs I2S_IN1 (gdyby zachodziła taka potrzeba). Wszystkie sygnały interfejsu I2S są połączone do złącza PCM_1.

Oprócz dwu interfejsów danych, które są przesyłane do dekodowania, dekodek został wyposażony w drugie wejście I2S. Dane z tego wejścia nie są poddawane dekodowaniu, ale mogą być wykorzystywane w systemie karaoke (sygnał z mikrofonu) lub mogą być miksowane z sygnałami wyjściowymi dekodera. Zeby układ dekodera z **rys. 1** mógł korzystać z tego interfejsu, to wszystkie jego linie zostały dołączone do złącza PCM_2.

Dekodowanie sygnału kodowanego wymagają wykonywania wielu krytycznych czasowo i skomplikowanych operacji cyfrowego przetwarzania sygnałów. STA310 został zbudowany w oparciu o rdzeń procesora DSP nazywanego przez producenta MMDSP+. Procesor wymaga taktowania zewnętrznym sygnałem zegarowym podawanym na wejście CLK. Standardowo częstotliwość zegara taktującego powinna mieć wartość 27 MHz. Jeżeli z jakichś powodów częstotliwość zegara musi być inna, to można ją regulować w szerokim zakresie przez programowany wewnętrzny układ PLL. Zewnętrzne elementy (C17, C19 i R19) filtru pętli są dołączane do układu przez wyprowadzenie PLLSF.

Zegar systemowy taktujący rdzeń DSP nie musi być zsynchronizowany z sygnałem identyfikacji LRCK wejściowego interfejsu audio I2S.

WYKAZ ELEMENTÓW

Rezystory

R3...R9: 47 Ω /0,25 W

R18: 75 Ω /0,25 W

R17, R24, R31, R32, R47, R48:
100 Ω /0,25 W

R2: 330 Ω /0,25 W

R1, R10, R15, R16, R19, R23, R29,
R30, R46: 1 k Ω /0,25 W

R49: 3,3 k Ω

R11, R12, R21, R25, R26, R44:
8,2 k Ω /0,25 W

R20, R33: 10 k Ω (1206)

R34...R43: 10 k Ω /0,25 W

R13, R14, R22, R27, R28, R45:
15 k Ω /0,25 W

PR: 4,7 k Ω potencjometr montażowy

Kondensatory

C49, C50: 33 pF ceramiczne

C3: 150 pF ceramiczny

C6, C7, C27, C33, C34, C56: 240 pF
ceramiczny

C2, C19: 470 pF ceramiczny

C5, C25, C31, C32, C54, C55: 2,2 nF
foliowy

C4: 4,7 nF foliowy

C1, C17: 5,6 nF foliowy

C52: 100 nF

C10...C13, C21, C23, C24, C26, C29,
C30, C35, C38, C39, C43, C46, C47,
C59...C62, C69, C71, C74, C75, C79,
C81, C84, C92: 100 nF (1206)

C18, C20: 100 nF foliowy

C22, C28, C37, C40, C45, C48, C53,
C65, C66, C67, C72, C73, C78, C80,
C83, C85: 1 μF (3216) tantalowy

Cs1...Cs5, C8, C9, C16, C36, C44,
C57, C58, C64, C68, C70, C86,

C87...C91: 10 μF /16 V

C14, C15: 2200 μF /25 V

C76: 4700 μF /25 V

Półprzewodniki

U1: STA310

U2: PCM1680

U3,U4, U13: OPA2106

U6: PIC18F8722 zaprogramowany

U7: MAX3232

U9: 7809

U10: 7909

U12, U14: 7805

M1, M2: MOSTEK 1 A/100 V

T1: BD139

Inne

X1 - kwarc 4 MHz

Generator 25 MHz

8 mikroprzycisków

Żeby sygnał zegara systemowego audio mógł być odtworzony z sygnału LRCK, w układ jest wbudowana kolejna już, trzecia pętla PLL. I tak jak poprzednio, elementy zewnętrzne filtru pętli zostały dołączone do układu przez wyprowadzenie PLLAF.

Zdekodowany sygnał wejściowy jest formatowany w jednym z zaprogramowanych formatów PCM i wyprowadzony na wyjścia danych PCM_OUT0...PCM_OUT3. Magistrala PCM jest uzupełniona o sygnały zegarowe:

- identyfikacji kanałów LRCK,
- sygnału zegara taktującego przesyłaniem danych SCLK,
- sygnału zegara systemowego SCLK.

Do interfejsu wyjściowego można podłączyć wszystkie standardowe przetworniki cyfrowo-analogowe.

Przy tak dużych możliwościach dekodowania, niezbędna jest konfiguracja dekodera w zależności od wymagań stawianych aplikacji. Trzeba dodać, że dekodek może wykonywać dodatkowe funkcje: na przykład regulację poziomu sygnałów wyjściowych (siły głosu), operację postprocesingu itp. Konfiguracja i sterowanie funkcjami STA310 odbywa się przez zapisywanie rejestrów wewnętrznych. Do komunikacji z zewnętrznym sterownikiem przewidziano 2 magistrale: równoległą i szeregową.

Magistrala równoległa jest zbudowana w oparciu o 8-bitową szynę danych (wyprowadzenia D0...D7), 8-bitową magistralę adresową (A0...A7) mogącą zaadresować 256 rejestrów i sygnały sterujące !WAIT, HRWB (R!/W) i !DCSB. Magistrala równoległa jest przeznaczona do pracy w systemie mikroprocesorowym z zewnętrzną magistralą danych. Ponieważ systemy z zewnętrzną magistralą są coraz rzadziej stosowane i wykorzystanie magistrali równoległej może być kłopotliwe, to przewidziano możliwość programowania rejestrów przez szeregową magistralę I²C. Linia danych jest wyprowadzona na pin SDA-I2C, a linia zegarowa na SCLK-I2C. W magistrali I²C STA310 jest układem *slave*, a jego adres jest ustalany wyprowadzeniem MAINI2C. Kiedy MAINI2C jest w stanie wysokim, to adres *slave* ma ustaloną, stałą wartość. Kiedy MAINI2C jest w stanie niskim, to adres jest okre-

ślony przez linie A0...A6 (linie adresowe magistrali równoległej).

Wybieranie rodzaju magistrali odbywa się przez wymuszanie stanu logicznego na wejściu SELI2C: stan niski – magistrala równoległa, stan wysoki – magistrala szeregową.

W układzie pokazanym na rys. 1 wykorzystana jest magistrala I²C w wewnętrznym adresem *slave*. Rezystory R34 i R35 realizują wymagane przez standard I²C podciąganie linii interfejsu do plusa zasilania.

Do wymiany dodatkowych informacji z mikrokontrolerem sterownika wykorzystane są linie:

- zgłoszenia przerwania zewnętrznego IRQB,
- PTSB,
- deemfazy DEEM,
- częstotliwości próbkowania SFREQ,
- wejście zerowania sprzętowego (*hard reset*) HRSTB

Mikrokontroler sterujący. Głównym zadaniem mikrokontrolera jest ustawianie konfiguracji dekodera i realizacja interfejsu pomiędzy dekodekrem a użytkownikiem. Jak już powiedziałem, mikrokontroler komunikuje się z układem STA310 przez magistralę I²C. Do wykonywania wszystkich regulacji (na przykład regulacja siły głosu) służy klawiatura dołączona do złącza KEYB. Rezystory R36...R43 wymuszają stan wysoki na wejściach portu RF mikrokontrolera. Styki klawiatury zwierają te linie do masy. Złącze WYS jest przeznaczone do podłączenia standardowego wyświetlacza alfanumerycznego ze sterownikiem HD47780. Układ z tranzystorem T1 steruje podświetleniem wyświetlacza. Potencjometrem PR reguluje się kontrast wyświetlacza. Przez złącze DISP można alternatywnie podłączyć graficzny wyświetlacz od telefonu Nokia 3310. W modelowym projekcie oba złącza nie są wykorzystywane, a wszystkie informacje są wyświetlane na efektywnym i bardzo czytelnym wyświetlaczu VFD BA66 o organizacji 4x20 znaków, produkowanym przez firmę Nixdorf z przeznaczeniem dla terminali kas fiskalnych. Sterownik wyświetlacza akceptuje dane w postaci znaków ASCII przesyłanych łączem RS232 z prędkością 9600 Bd. Dane ze sprzętowego modułu USART są konwertowane do poziomu RS232 przez układ MAX3232 zasilany napięciem „+3,3VD”. Wyświetlacz wy-

maga dodatkowego, stabilizowanego źródła zasilania o napięciu +12 V i wydajności prądowej minimum 600 mA.

Złącze ICSP służy do programowania w układzie pamięci programu Flash mikrokontrolera PIC. Elementy R33 i D1 pracują w układzie zerowania mikrokontrolera.

Przetwornik cyfrowo-analogowy. Do konwersji danych PCM na sygnał analogowy zastosowałem przetwornik PCM1680. Jest to 8-kanałowy przetwornik typu delta-sigma produkowany przez firmę Burr Brown i przeznaczony do pracy w wielokanałowych systemach audio. Mimo upakowania czterech klasycznych przetworników analogowo-cyfrowych w jednej obudowie PCM1680 parametrami nie ustępuje dobremu przetwornikom stereofonicznym sprzed paru lat. Ma duży zakres dynamiki (typowo 105 dB) i małe zniekształcenia (THD+N=0,002%). Akceptowana jest częstotliwość próbkowania z zakresu 5 kHz...200 kHz.

Dane są przesyłane do przetwornika przez interfejs PCM składający się z linii danych (DATA), linii sygnału identyfikacji kanałów (LRCK), linii zegara taktującego przesyłaniem danych (BCK) i linii zegara systemowego (SCK). Wszystkie te linie są połączone z wyjściami dekodera STA310 przez rezystory o oporności 47 Ω. Te rezystory w połączeniu z pojemnościami pasożytniczymi tworzą filtry dolnoprzepustowe, filtrujące zakłócenia wielkiej częstotliwości indukujące się na ścieżkach płytki drukowanej.

Przetwornik ma wbudowany układ automatycznej detekcji mnożnika zegara systemowego. Mnożnik może mieć wartość 128fs, 192fs, 256fs, 384fs, 512fs, 768fs i 1152fs.

W każdym z sygnałów PCM, z wyjścia dekodera STA310 (PCM_OUT0...PCM_OUT3) przesyłane są 2 kanały audio. W **tab. 1** pokazano przyporządk-

Tab. 1. Przyporządkowanie wyjść przetwornika PCM1680		
Wejście danych	Kanał	Wyjście analogowe
DATA1	Lewy	Vout1
	Prawy	Vout2
DATA2	Lewy	Vout3
	Prawy	Vout4
DATA3	Lewy	Vout5
	Prawy	Vout6
DATA4	Lewy	Vout7
	Prawy	Vout8

Tab. 2. Wybór magistrali sterującej

Wyprowadzenie MSEL	Tryb pracy interfejsu	Funkcje wyprowadzeń		
		Pin2	Pin3	Pin4
Stan niski	SPI	IMS	MC	MD
Stan wysoki	I ² C	Adres	SCL	SDA

kowanie sygnałom danych wejściowych, wyjść analogowych.

Przetwornik jest konfigurowany przez zapisywanie wewnętrznych rejestrów. Dane konfiguracyjne mogą być przesyłane magistralą I²C lub SPI. Stan niski na wejściu MSEL powoduje wybranie magistrali SPI, a stan wysoki magistrali I²C. W tab. 2 zostały pokazane funkcje wyprowadzeń 2, 3 i 4 układu dla każdej z magistral.

Ze względu na to, że układ STA310 jest sterowany magistralą I²C, to PCM1680 został również dołączony do tej magistrali. Rezystor R10 wymusza stan wysoki na wejściu MSEL. Linia adresowa MS/ADR jest zwarta z masą.

Rejestry przetwornika po włączeniu zasilania są inicjowane domyślnymi wartościami (tab. 3).

Po włączeniu zasilania przetwornik jest ustawiany domyślnie z 24-bitowym formatem, dosunięciem do lewej, regulatorem poziomu wyjściowego ustawionym na brak tłumienia (0 dB) i wyłączonym wyciszaniem. Gdyby takie ustawienia były akceptowane przez źródło sygnału (STA310), to komunikacja szyną I²C z przetwornikiem nie byłaby konieczna. Niestety dane wyjściowe dekodera mają format I2S i przetwornik musi być przeprogramowany.

Zarówno część cyfrowa, jak i analogowa PCM1680 są zasilane napięciem +5 V. Minimalne napięcie wejściowe dla stanu wysokiego wynosi 2 V, więc układ bez problemu pra-

cjuje z sygnałami portu wyjściowego STA310 zasilanego napięciem +3,3 V.

Przetwornik ma wbudowany konwerter prąd/napięcie i sygnały wyjściowe audio są sygnałami napięciowymi. Napięciowy sygnał wyjściowy musi być poddany filtrowaniu w analogowym filtrze dolnoprzepustowym.

Analogowy filtr dolnoprzepustowy. Przetworniki delta-sigma charakteryzują się z zasady dużymi szumami kwantowania. Żeby wyeliminować, a raczej znacząco ograniczyć to niekorzystne zjawisko, stosuje się technikę kształtowania widma szumów (*noise shaping*). Polega ona głównie na spowodowaniu, by znakomita część energii widma szumów znalazła się poza pasmem określonym przez częstotli-

wość Nyquista ($f_s/2$). Tak przekształcony sygnał wyjściowy z przetwornika musi być filtrowany przez analogowy filtr dolnoprzepustowy. W układzie PCM1680 wbudowany jest taki filtr, ale musi być uzupełniony o zewnętrzny filtr analogowy.

Każdy z sześciu podstawowych kanałów wyjściowego sygnału analogowego przetwornika jest filtrowanych aktywnym filtrem dolnoprzepustowym Butterwortha drugiego rzędu. Zastosowano tutaj układ z wielokrotnym sprzężeniem zwrotnym MFB (*multiple feedback*).

Elementy stosowane w filtrze powinny być dobrej jakości. Szczególnie dotyczy to wzmacniacza operacyjnego. W modelowym układzie został zastosowany układ OPA2604 firmy Burr Brown. Wzmacniacze operacyjne filtrów są zasilane napięciem symetrycznym ± 9 V z układu zasilania omówionym wcześniej.

Tomasz Jabłoński, EP
tomasz.jablonski@ep.com.pl

Tab. 3. Wartości domyślne rejestrów PCM1680

Funkcja	Wartość domyślana po zerowaniu	Rejestr
Cyfrowe sterowanie poziomem sygnału 0...-63 db z krokiem co 0,5 dB	0 dB – bez tłumienia	1...6, 16, 17
Sterowanie wyciszaniem	Wyciszanie wyłączone	7, 18
Uaktywnianie kanałów DAC	DAC1...DAC8 aktywne	8, 19
Format danych wejściowych audio	24-bitowy, dosunięty do lewej	9
Charakterystyka filtru cyfrowego	Ostro opadająca	9
Deemfaza dla wszystkich kanałów	Deemfaza wyłączona	10
Deemfaza w funkcji częstotliwości próbkowania	44,1 kHz	10
Faza analogowego sygnału wyjściowego	Niezmieniana	10
Polaryzacja wyjścia zero flag	Stan wysoki	10
Blokada zerowania programowego	Zablokowany	10
Współczynnik nadpróbkowania	x64 x32 x16	12
Tryb pracy regulatora poziomu sygnału wyjściowego	0 db...-63 dB z krokiem co -0,5 dB	13
Kombinacja sygnałów wyjścia zero flag	ZERO1: DATA1 Lch Zero2: DATA1 Rch	13



Cena: 700 zł

CS200
Wyświetlacz LCD
Wskaźnik głębokości
Dyskryminator
Wodoszczelna sonda (20 cm)



Cena: 390 zł

CS150
Dyskryminator audio
VU meter
Wodoszczelna sonda (20 cm)



Cena: 190 zł

CS10MD
Wykrywacz "ręczny"
Idealny dla polejantów i ochroniarzy

WYKRYWACZE METALI

Zamówienia przyjmuje Dział Handlowy AVT
01-939 Warszawa, ul. Burska 9, tel. 022 568 99 50, fax 022 568 99 55
e-mail: handlowy@avt.pl, www.sklep.avt.pl



EBS
Ink Jet Systems

Renomowany producent
drukarek INK-JET
oferuje wysokiej klasy



Aktywny detektor podczerwieni do zastosowań w układach automatyki i zabezpieczeń

małe wymiary budowy (M18x1)
duża odporność na zakłócenia
wbudowany wskaźnik zadziałania
wyjście odporne na zwarcie
wykonania PNP, NPN

EBS Ink- Jet Systems Poland Sp. z o.o.
ul. Tarnogajska 13, 50-512 Wrocław
tel. (071) 367 04 11, fax (071) 373 32 69