

Spartan 3: tanie konfigurowanie

Układy z rodziny Spartan 3 cieszą się sporą popularnością w naszym kraju, czemu sprzyjają między innymi ciągle obniżające się ich ceny i łatwa dostępność w sprzedaży detalicznej.

Temu sympatycznemu (dla konstruktorów) trendowi nie chciały się przez długi czas poddawać pamięci-konfiguratorzy, umożliwiające automatyczne rozpoczęcie pracy przez FPGA po włączeniu zasilania.

Konieczność kupowania tych niewielkich, lecz dość kosztownych układów, mogła zniechęcać do korzystania z uroków układów Spartan 3 (i innych FPGA).

Na szczęście firma Xilinx dostrzegła anachroniczność wieloletniej taktyki: zamiast zmuszać użytkowników do kupowania specjalnych pamięci (monopol firmy Xilinx w tej dziedzinie próbuje podkopać Atmel, ale niezbyt skutecznie), do konfigurowania układów Spartan 3E i Spartan 3A można stosować tanie pamięci Flash z interfejsem SPI lub pamięci Flash z 8-bitową, równoległą magistralą danych.

SPI znaczy taniej

Ponieważ na temat konfiguracji układów Spartan 3 z wykorzystaniem wyspecjalizowanych pamięci Flash pisaliśmy w EP kilkakrotnie (m.in. w EP4/2007), w artykule skupimy się na przybliżeniu zalet korzystania z pamięci Flash wyposażonych w interfejs SPI. W ten

Na kłopoty: UG332

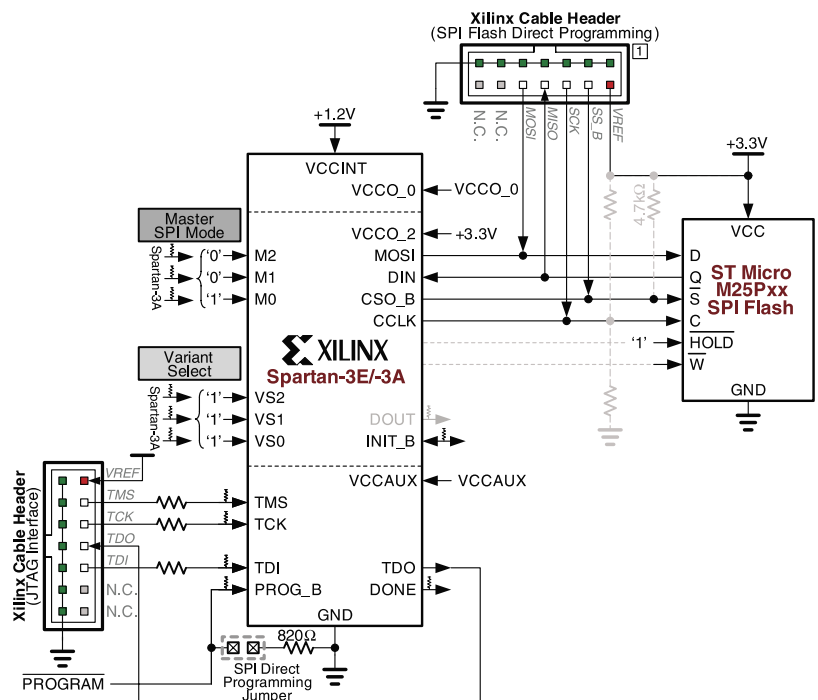
W dokumencie UG332 (280 stron, dostępny bezpłatnie na stronie www.xilinx.com) szczegółowo opisano „tajniki” wszystkich trybów konfiguracji dostępnych dla wszystkich rodzin układów Spartan 3.



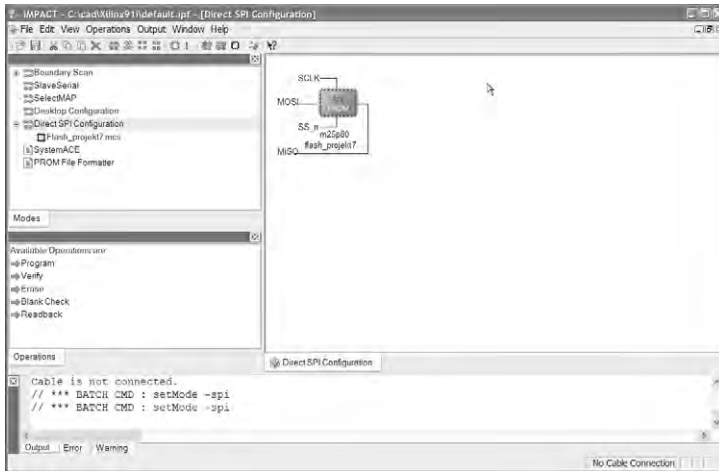
sposób można konfigurować układy z dwóch podrodzin: Spartan 3A i Spartan 3E, najstarsze – „zwykłe” Spartan 3 mogą być konfigurowane za pomocą zewnętrznego konfiguratora Flash z rodziny PlatformFlash firmy Xilinx. Należy pamiętać, że przedstawione w artykule nowatorskie sposoby konfigurowania układów FPGA są uzupełnieniem sposobów dotychczas stosowanych, dzięki czemu konstruktorzy lubiący

sprawdzone wcześniej rozwiązania nie muszą zmieniać przyzwyczajeni.

Na rys. 1 pokazano schemat połączeń pomiędzy konfigurowanym układem Spartan i pamięcią Flash SPI. Najpoważniejszą, widoczną na schemacie różnicą – w stosunku do konfigurowania FPGA z wykorzystaniem pamięci PlatformFlash – jest konieczność zastosowania dwóch gniazd ISP. Jedno z nich służy do konfigurowania FPGA (JTAG), drugie



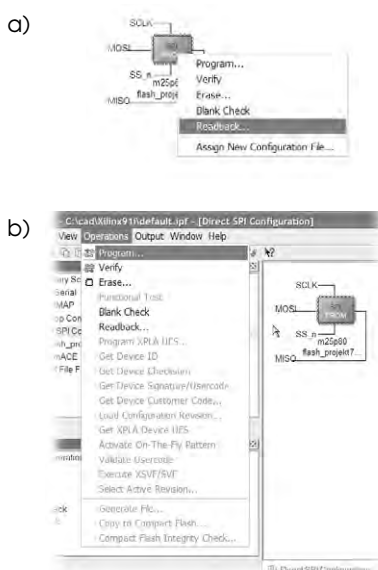
Rys. 1. Schemat elektryczny połączeń pomiędzy układem Spartan 3A/3E i pamięcią Flash SPI spełniającą rolę konfiguratora



Rys. 2. Widok okna programu iMPACT podczas programowania ISP pamięci Flash SPI

– do programowania w systemie pamięci Flash SPI. Rozwiązanie takie, jakkolwiek mniej wygodne od dostępu do obydwu układów połączonych w łańcuch JTAG, nie sprawia w praktyce zbyt wielu problemów, bowiem dość rzadko konieczne są na przemian: programowanie pamięci Flash i konfigurowanie FPGA.

Tak więc, podobnie jak miało to miejsce w przypadku pamięci PlatformFlash, także pamięci Flash SPI są programowane w systemie, do czego wystarczy standardowy programator (zgodny np. z DLC 5, Cable IV itp.). Programator jest obsługiwany przez program iMPACT (wchodzący w skład bezpłatnego pakietu WebPack ISE, okno pokazano



Rys. 3. Dostęp do operacji na pamięci Flash SPI jest możliwy po kliknięciu w symbol układu prawym klawiszem myszy a) oraz z poziomu menu b)

no na rys. 2), który w wersji 9.1i obsługuje następujące typy pamięci Flash SPI: AT45DB011/021/041/81/161/321/642 – produkowane przez Atmela, M25P10/16/20/32/40/64/80, M25PE40 oraz M45PE10/20/40/80 – produkowane przez STMicroelectronics. Jak pokazały eksperymenty, zarówno oprogramowanie jak i programator radzą sobie także z pamięciami produkowanymi przez innych producentów (Amic, SST, Spansion, Winbond itp.), które są kompatybilne z wcześniej wymienionymi. Konieczne jest jedynie ustalenie odpowiednich stanów logicznych na wejściach VS[2...0], których zadaniem jest poinformowanie automatu interfejsu SPI wbudowanego w FPGA o sposobie odczytu danych z pamięci Flash. Jest to konieczne, bowiem kody poleceń umożliwiających odczyt danych i związane z nimi sposoby odczytu danych nie są identyczne we wszystkich pamięciach tego typu.

Wybór trybu konfigurowania odbywa się klasycznie: za pomocą trzech wejść M2, M1, M0. Linie danych wykorzystywane do transmisji danych SPI można, po zakończeniu konfigurowania FPGA, wykorzystać we własnej aplikacji.

Dostęp do poleceń wykonania operacji na pamięciach Flash SPI jest możliwy po kliknięciu prawym klawiszem myszy w symbol układu scalonego w oknie programu iMPACT (rys. 3a), można także skorzystać z menu (rys. 3b), w którym opcje niedostępne dla pamięci Flash SPI są wyszarzone.

Podobnie jak ma to miejsce w przypadku pamięci PlatformFlash, także podczas korzystania z pamię-

Tab. 1. Zestawienie objętości plików zawierających opis konfiguracji układów Spartan 3A/3E i minimalnych zalecanych pojemności pamięci Flash SPI

Typ FPGA	Długość łańcucha konfiguracyjnego	Minimalna pojemność pamięci Flash
XC3S50A	437312	512 kb
XC3S200A	1196128	2 Mb
XC3S400A	1886560	2 Mb
XC3S700A	2732640	4 Mb
XC3S1400A	4755296	8 Mb
XC3S100E	581344	1 Mb
XC3S250E	1353728	2 Mb
XC3S500E	2270208	4 Mb
XC3S1200E	3841184	4 Mb
XC3S1600E	5969696	8 Mb

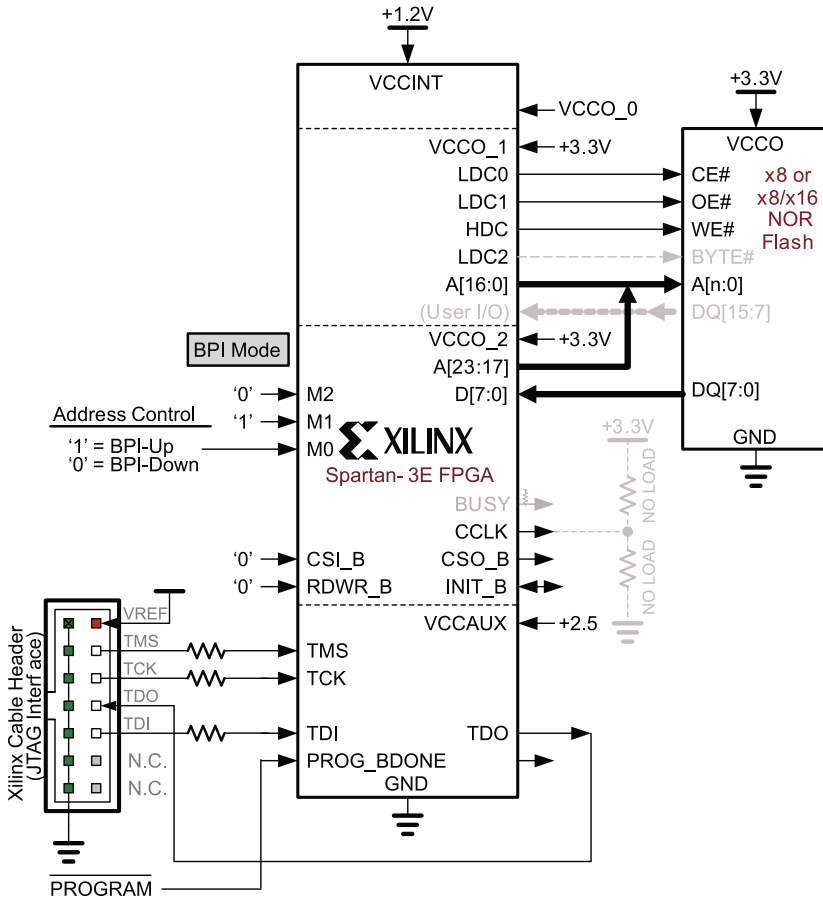
Uwaga! Układy FPGA połączone w łańcuch konfiguracyjny mogą być programowane z jednej (odpowiednio dużej) pamięci Flash SPI.

ci Flash SPI należy dobrać ich pojemność do wymagań konfigurowanego układu FPGA. Zestawienie sugerowanych pojemności pamięci Flash SPI dla układów Spartan 3A/3E przedstawiono w tab. 1.

Można także równolegle

Układy Spartan 3A i 3E (poza układami montowanymi w obudowach VQFP100, w praktyce dotyczy to układu XCS350A) wyposażono w zmodyfikowane interfejsy konfiguracyjne BPI (*Byte-wide Peripheral Interface*), umożliwiające ich współpracę z tanimi pamięciami Flash NOR (a także wszelkimi innymi typami pamięci asynchronicznych). Producent zaleca stosowanie pamięci z rodziny: M29W (STMicroelectronics), AT29/49 (Atmel), Am29 (Spansion).

Na rys. 4 pokazano sposób dołączenia do układu FPGA pamięci Flash NOR. Interfejs BPI wbudowany w układy Spartan 3E jest przystosowany do obsługi dwóch trybów adresowania: od adresu 0x0000 w górę oraz od adresu maksymalnego (wynikającego z pojemności pamięci) do 0. Kierunek adresowania jest zależny od stanu logicznego na wejściu M0 (rys. 4). Taki mechanizm adresowania pozwala, przy zastosowaniu odpowiednio dużej pamięci, w jednej jej części umieścić np. program dla mikrokontrolera/mikroprocesora zaimplementowanego w FPGA, a w drugiej dane wykorzystywane podczas konfigurowania. Różnic pomiędzy interfejsami BPI zastosowanymi



Rys. 4. Schemat elektryczny połączeń pomiędzy układem Spartan 3A/3E i pamięcią Flash NOR spełniającą rolę konfiguratora

w układach Spartan 3A i Spartan 3E jest więcej, ale idea ich działania jest w obydwu przypadkach taka sama.

Pomimo wielu zalet takiego sposobu konfigurowania FPGA, ma on jedną istotną wadę: dołączenie równoległej pamięci Flash wymaga zaangażowania dużej liczby linii I/O (8 bitów danych + do 20 bitów adresowych + do 4 sygnałów sterujących – razem 32 linie). Linie te, co prawda, są po zakończeniu konfigurowania zwalniane do dyspozycji użytkownika, ale skomplikowany projekt płytki drukowanej może utrudnić jej wykonanie (lub powiększyć jej wymiary), może także ograniczyć maksymalną szybkość pracy układu FPGA (z powodu dodatkowych pojemności obciążających linie I/O i indukcyjności „wydłużających” ścieżki).

Warto pamiętać, że podczas konfigurowania, interfejs BPI pracuje z 8-bitową magistralą danych – w przypadku zastosowania pamięci o 16-bitowym słowie wyjściowym jest konieczne przełączenie pamięci

(musi być ona wyposażona w wejście #BYTE) w tryb 8-bitowy.

Wykorzystanie pamięci równoległych do konfiguracji FPGA ma jeszcze jedną niedogodność: nie ma łatwego sposobu ich programowania w systemie. Xilinx opracował i opisał w dokumentacji dostępnej na stronie www.xilinx.com kilka sposobów programowania równoległych pamięci Flash NOR, ale w każdym takim przypadku użytkownik musi wykonać co najmniej kilka dodatkowych operacji, które nie zawsze są czasowo lub/i ekonomicznie uzasadnione.

Podsumowanie

Informacje przedstawione w artykule nie obejmują wszystkich aspektów konfiguracji układów FPGA z rodziny Spartan 3. Skupiliśmy się jedynie na przedstawieniu nowości, które pozwalają obniżyć koszt pamięci nieulotnej, który stanowił istotną pozycję w kosztorysach wykonawczych, zwłaszcza w przypadku, gdy były one oparte na „mniejszych” układach z rodziny Spartan 3.

Tab. 2. Zestawienie objętości plików zawierających opis konfiguracji układów Spartan 3A/3E i minimalnych zalecanych pojemności pamięci Flash NOR

Typ FPGA	Długość łańcucha konfiguracyjnego	Minimalna pojemność pamięci Flash NOR	Liczba linii adresowych
XC3S200A	1196128	2 Mb	A[17:0]
XC3S400A	1886560	2 Mb	A[17:0]
XC3S700A	2732640	4 Mb	A[18:0]
XC3S1400A	4755296	8 Mb	A[19:0]
XC3S100E	581344	1 Mb	A[16:0]
XC3S250E	1353728	2 Mb	A[17:0]
XC3S500E	2270208	4 Mb	A[18:0]
XC3S1200E	3841184	4 Mb	A[18:0]
XC3S1600E	5969696	8 Mb	A[19:0]

Uwaga! Układy FPGA połączone w łańcuch konfiguracyjny mogą być programowane z jednej (odpowiednio dużej) pamięci Flash NOR.

Poważnym problemem występującym we wszystkich trybach konfigurowania układów Spartan 3 jest brak ochrony lub słaba ochrona plików konfiguracyjnych przed nieuprawnionym kopiowaniem. Dlatego Czytelnikom zainteresowanym zabezpieczeniem swoich projektów przed kopiowaniem polecamy sięgnąć po układy Spartan 3AN, które wyposażono w wewnętrzne konfiguratory oparte na pamięciach Flash SPI. Przy stosunkowo niskiej cenie, dość dobrze chronią one własność intelektualną „zaszytą” w plikach konfiguracyjnych.

Piotr Zbysinski, EP

Nowe możliwości

Nowe możliwości konfiguracyjne oferowane przez układy Spartan 3A/3E są uzupełnieniem wcześniej dostępnych trybów konfiguracji (m.in. z wykorzystaniem pamięci Platform Flash), ale ich nie zastępują. Dzięki temu, użytkownicy mogą sami zdecydować z jakich pamięci nielotnych chcą korzystać i w jaki sposób chcą konfigurować układy FPGA. Nadal jest także możliwe konfigurowanie FPGA za pomocą interfejsu JTAG.