

Tester monitorów VGA, część 1 AVT-979

W dobie powszechnego korzystania z komputerów PC równie powszechne stało się użycie współpracujących z nimi monitorów VGA. Podczas wszelkich prac serwisowych związanych z ich naprawą i regulacją, zarówno tradycyjnych CRT, jak i LCD, szczególnie przydatny może być specjalny tester. Przedstawiona niżej konstrukcja takiego przyrządu zwraca uwagę m.in. ze względu na wykorzystanie układów programowalnych i języków opisu sprzętu.

Rekomendacje:

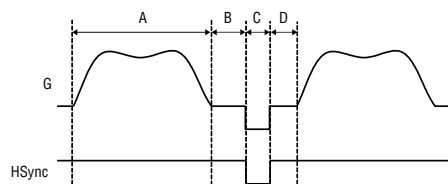
tester trudno jest polecić komuś, kto chce jednorazowo wykonać naprawę monitora komputerowego, dla serwisantów robiących to na co dzień będzie natomiast cennym wyposażeniem stanowiska pracy.

PODSTAWOWE PARAMETRY

- Płytką o wymiarach 95x74 mm
- Zasilanie: 6...8 VDC
- Pobór prądu: 118 mA/6 V
- Obrazy testowe: kolorowe pasy (8 kolorów), krata, kropki, tło: czerwone, zielone, niebieski, białe
- Rozdzielczości obrazu: 640x480, 800x600, 1024x768
- Częstotliwości odświeżania: 60 i 85 Hz
- Wyświetlanie dodatkowych informacji na ekranie (OSD)
- Możliwość zmiany kolejności kolorów w obrazie pasów
- Regulowana gęstość węzłów kraty
- Możliwość zmiany koloru obrazu kraty i kropek (czerwony, zielony, niebieski, biały)
- Automatyczny tryb pracy (sekwencyjna zmiana poszczególnych obrazów testowych)

Przedstawiony tutaj tester umożliwia uzyskanie 7 rodzajów obrazów testowych wyświetlanych w 5 różnych trybach pracy. Możliwe jest uzyskanie obrazu kolorowych pasów (8 kolorów) z możliwością zmiany kolejności kolorów, obrazu kraty o regulowanej gęstości węzłów, obrazu kropek oraz obrazu jednolitego tła o trzech kolorach podstawowych oraz w kolorze białym. Tester obsługuje rozdzielczości obrazu 640x480 (VGA), 800x600 (SVGA) oraz 1024x768 (XGA) dla częstotliwości odświeżania 60 i 85 Hz. Oprócz sygnalizacji bieżącego trybu pracy w postaci zapalonych diod LED obok odpowiedniego opisu na płycie drukowanej, tester umożliwia również wyświetlanie tej informacji w postaci tekstowej na ekranie monitora (funkcja OSD). Dostępny jest również specjalny tryb pracy, w którym poszczególne rodzaje obrazów testowych dla różnych rozdzielczości obrazu i częstotliwości odświeżania powtarzane są kolejno w pętli.

Projekt testera zrealizowano w oparciu o układy *Xilinx* FPGA z rodziny *Spartan 3* i środowisko projektowe *WebPack ISE* dostępne bezpłatnie na stronie producenta. Jako język opisu sprzętu wybrano Verilog. Pomimo, że do budowy testera użyto układy *Xilinx* FPGA, to udostępnione opisy w języku Verilog poszczególnych bloków funkcjonalnych testera (wirtualne komponenty) w większości (tj. tam gdzie nie odwołują się one do specyficznych właściwości architektury wybranej rodziny układów PLD) można bezpośrednio wykorzystać dla układów CPLD i FPGA innych producentów.



Rys. 1. Budowa linii obrazu VGA

W dalszej części artykułu krótko opisano budowę sygnału VGA, następnie przedstawiono ideę konstrukcji testera z podziałem na poszczególne bloki funkcjonalne i ich opisem w języku Verilog, omówiono układ elektryczny testera i opisano sposób obsługi urządzenia.

Sygnal VGA

Sygnal wizji w standardzie VGA, podobnie jak np. sygnał telewizyjny, składa się z szeregu kolejnych ramek obrazu. Każda ramka jest złożona z ciągu poziomych linii, a każda linia składa się z szeregu punktów. Linie w każdej ramce są przesyłane w porządku od góry do dołu, a punkty w linii od lewej strony do prawej. W standardzie VGA wykorzystuje się wybieranie progresywne (*non-interlaced*). W celu określenia zakończenia transmisji każdej linii i każdej ramki stosuje się dwa niezależne sygnały synchronizacji poziomej i synchronizacji pionowej. Dodatkowo złożony sygnał synchronizacji, powstały w wyniku operacji logicznej XOR obydwu wymienionych wyżej sygnałów synchronizacji, zazwyczaj jest kodowany również w zielonej (G) składowej sygnału kolorów podstawowych RGB.

Każda linia obrazu rozpoczyna się od aktywnego obszaru, w którym trzy sygnały barw podstawowych RGB, przesyłane na wyjście, określają wypadkowy kolor dla każdego punktu w linii (przedział A, na rys. 1). Za obszarem aktywnym następuje obszar wygaszania (suma przedziałów B, C i D na rys. 1), w którym przesyłane są punkty o kolorze czarnym. Wewnątrz obszaru wygaszania przesyłany jest impuls synchronizacji poziomej (aktywny poziom niski). Impuls ten jest poprzedzony tzw. przednim

Tab. 1. Zestawienie parametrów czasowych sygnału VGA dla kilku wybranych rozdzielczości obrazu i częstotliwości odświeżania

Format	Częstotliwość punktu [MHz]	Poziomo [punkty]				Pionowo [linie]			
		obszar aktywny	przedni przedział wyrównawczy	impuls synchronizacji	tylny przedział wyrównawczy	obszar aktywny	przedni przedział wyrównawczy	impuls synchronizacji	Tylny przedział wyrównawczy
		A_H	F_H	S_H	B_H	A_V	F_V	S_V	B_V
640x480, 60Hz	25,175	640	16	96	48	480	11	2	31
640x480, 72Hz	31,500	640	24	40	128	480	9	3	28
640x480, 75Hz	31,500	640	16	96	48	480	11	2	32
640x480, 85Hz	36,000	640	32	48	112	480	1	3	25
800x600, 56Hz	38,100	800	32	128	128	600	1	4	14
800x600, 60Hz	40,000	800	40	128	88	600	1	4	23
800x600, 72Hz	50,000	800	56	120	64	600	37	6	23
800x600, 75Hz	49,500	800	16	80	160	600	1	2	21
800x600, 85Hz	56,250	800	32	64	152	600	1	3	27
1024x768, 60Hz	65,000	1024	24	136	160	768	3	6	29
1024x768, 70Hz	75,000	1024	24	136	144	768	3	6	29
1024x768, 75Hz	78,750	1024	16	96	176	768	1	3	28
1024x768, 85Hz	94,500	1024	48	96	208	768	1	3	36

przedziałem wyrównawczym (*front porch*). Z kolei przedział czasu następujący za impulsem synchronizacji określa się jako tylny przedział wyrównawczy (*back porch*).

Budowa ramki obrazu (**rys. 2**) jest analogiczna do budowy pojedynczej linii. Początek ramki obrazu (obszar aktywny) zawiera wszystkie linie obrazu, które powinny zostać wyświetlone na ekranie. Za obszarem aktywnym następuje również obszar wygaszania (wszystkie punkty w transmitowanych liniach mają kolor czarny), składający się z przedniego przedziału wyrównawczego, impulsu synchronizacji pionowej oraz tylnego przedziału wyrównawczego. Złożony sygnał synchronizacji przesyłany w kanale zielonym ma postać zanegowaną w czasie trwania impulsu synchronizacji pionowej (działanie funkcji XOR dla obydwu sygnałów synchronizacji).

W **tab. 1** podano parametry czasowe sygnału wizyjnego VGA dla kilku popularnych rozdzielczości ekranu i częstotliwości odświeżania ramki (źródło: <http://www-mtl.mit.edu/Courses/6.111/labkit/vga.shtml>). W praktyce różni producenci monitorów podają nieco różniące się wartości niektórych parametrów czasowych. Podane w **tab. 1** wartości nie są jednak krytyczne. Dla przykładu, szerokość przedniego i tylnego przedziału wyrównawczego związana jest z położeniem obrazu na ekranie. Obraz na ekranie monitora można przesuwac w lewo

lub w prawo oraz w górę lub w dół właśnie poprzez zmianę szerokości odpowiednich przedziałów wyrównawczych zarówno dla linii jak i dla ramki obrazu.

Dysponując danymi zawartymi w **tab. 1** dla danej rozdzielczości obrazu i częstotliwości odświeżania ramki f_p , nominalną częstotliwość punktu f_p (czyli częstotliwość z jaką powinny być wybierane kolejne punkty w transmitowanej linii obrazu) można wyznaczyć z zależności:

$$f_p = (A_H + F_H + S_H + B_H) \cdot (A_V + F_V + S_V + B_V) \cdot f_V \quad (1)$$

Z kolei częstotliwość linii (częstotliwość impulsów synchronizacji poziomej) określa zależność:

$$f_H = \frac{f_p}{A_H + F_H + S_H + B_H} \quad (2)$$

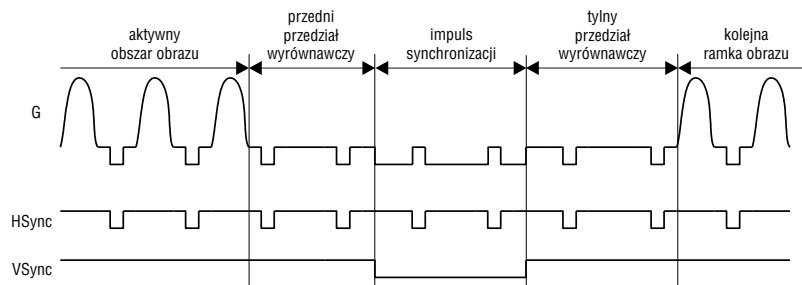
W przypadku, gdy rzeczywista częstotliwość punktu jest zadana z góry (np. poprzez zastosowanie rezonatora kwarcowego o wybranej wartości w generatorze taktującym) i różni się od częstotliwości nominalnej, wówczas zmianie ulega częstotliwość

odświeżania ramki, którą można wyznaczyć na podstawie zależności (1). Taka sytuacja zachodzi w przypadku danych w **tab. 1**, gdzie wartości częstotliwości punktu (druga kolumna) są podane w sposób przybliżony po odpowiednim zaokrągleniu (lub też inaczej można powiedzieć, że to częstotliwość odświeżania, widniejąca obok rozdzielczości obrazu, podana jest w sposób przybliżony). Dodatkowym skutkiem (nieznacznej) zmiany częstotliwości punktu, przy niezmiennych pozostałych parametrach, może być zmiana rozmiarów wyświetlanego na ekranie obrazu.

Od strony elektrycznej w standardzie VGA sygnały barw podstawowych RGB są sygnałami analogowymi o amplitudzie $0,7 V_{pp}$ i impedancji charakterystycznej 75Ω , zaś sygnały synchronizacji poziomej i pionowej to typowe sygnały o poziomach TTL.

Budowa testera

Schemat blokowy testera przedstawiono na **rys. 3**. Układy logiczne urządzenia zostały zgrupowane w kilku blokach funkcjonalnych,



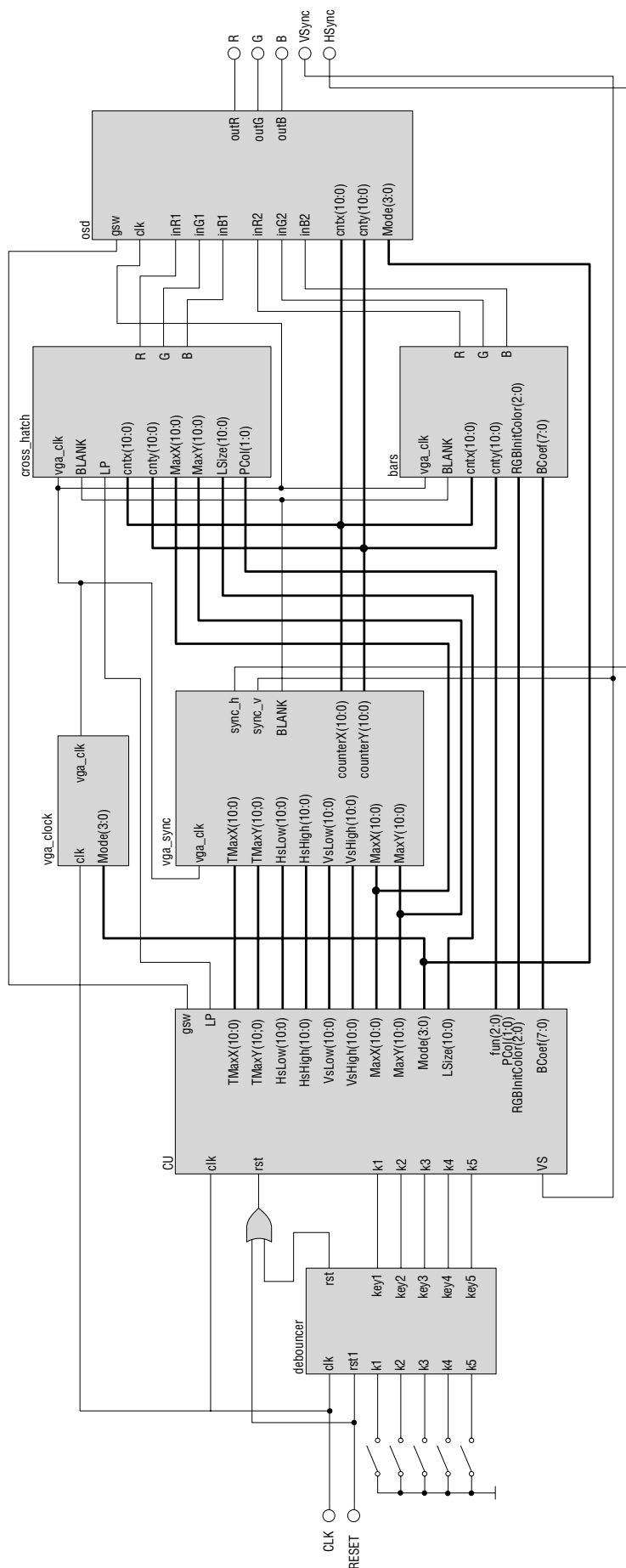
Rys. 2. Budowa ramki obrazu VGA

z których każdy został opisany w języku opisu sprzętu Verilog. Są to następujące bloki: blok eliminacji drgań zestyków klawiatury (*debouncer*), blok sterowania (*cu*), blok wytwarzania częstotliwości punktu (*vga_clk*), blok wytwarzania impulsów synchronizacji (*vga_sync*), blok generatora obrazu kraty (*cross_hatch*), blok generatora obrazu kolorowych pasów (*bars*) oraz blok wyświetlania informacji na ekranie (*osd*). Poniżej zostaną krótko omówione funkcje poszczególnych bloków wraz z ich opisem w języku Verilog. Pełne kody źródłowe opisujące poszczególne bloki dostępne są w materiałach dodatkowych.

Blok eliminacji drgań zestyków klawiatury. Zadaniem tego bloku jest dostarczenie do bloku sterującego niezakłóconego, stabilnego sygnału pochodzącego z klawiatury służącej do wyboru poszczególnych funkcji testera. Sygnał pochodzący bezpośrednio z klawiszy może zawierać oscylacje powstałe w wyniku mechanicznych drgań zestyków podczas naciskania klawiszy. Oscylacje te mogą powodować niepożądane działanie układu sterującego. Dodatkowo w tym bloku zaimplementowano automat sekwencyjny, który symuluje naciskanie przez użytkownika odpowiedniej sekwencji klawiszy, w wyniku czego w pętli powtarzane są kolejne obrazy testowe, zmieniająca jest rozdzielczość obrazu, częstotliwość odświeżania i inne parametry.

Na **list. 1** przedstawiono fragment opisu omawianego bloku w języku Verilog (pominięty został opis wspomnianego automatu – pełny kod znajduje się w materiałach dodatkowych). W celu realizacji zadania eliminacji drgań zestyków wykorzystano prosty pomysł polegający na kolejnym próbkowaniu w odpowiednich odstępach czasowych stanu poszczególnych klawiszy i przepisaniu go na wyjście modułu wówczas, gdy wartości kilku kolejnych próbek będą identyczne.

Blok wytwarzania częstotliwości punktu. Blok ten ma kluczowe znaczenie z punktu widzenia liczby trybów pracy (rozdzielczości obrazu, częstotliwości odświeżania) obsługiwanych przez tester. W testerze przyjęto założenie, że możliwy do wykorzystania jest tylko jeden sygnał zegarowy pochodzący z zewnętrznego generatora kwarcowego.



Rys. 3. Schemat blokowy testera VGA

List. 1. Opis modułu eliminacji drgań zestyków klawiatury

```

module debouncer(input clk,k1,k2,k3,k4,k5,
                 output key1,key2,key3,key4,key5);

reg [4:0] m_in,out;
wire [4:0] in;
reg [2:0] cnt;
wire clk2;
reg kk1,kk2,kk3,kk4,kk5;

assign in={k5,k4,k3,k2,k1};

always @(posedge clk) div<=div+1;
//realizacja dzielnika częstotliwości wejściowej

assign clk2=div[14];
//clk2 - częstotliwość próbkowania stanu klawiszy

always @(posedge clk2) m_in<=in;
//zapamiętanie stanu klawiatury

always @(posedge clk2)
begin
if (in==m_in)
//jeżeli brak zmiany stanu wejścia
begin
cnt<=cnt+1;
//zwiększ cnt o 1

if(cnt==3'd3) out<=m_in;
//jeżeli w ciągu 3 taktów clk2 brak zmiany stanu klawiatury
//zapamiętaj ten stan
end
else cnt<=0;
//jeżeli zmiana stanu klawiatury - wyzeruj cnt
end
end

assign {key5,key4,key3,key2,key1}=~out;
//przepisz na wyjście - aktywny poziom wysoki

endmodule

```

Wynika z tego, że odpowiednią częstotliwość punktu dla danych parametrów obrazu testowego należy wytworzyć w układzie testera. Takie właśnie zadanie należy do omawianego bloku. Ze względu na to, że częstotliwości punktu są dość znaczne (powyżej 25 MHz – por. tab. 1) oraz wymagają stosunkowo dużej dokładności, nie można ich uzyskać poprzez prosty podział częstotliwości wejściowej, która dodatkowo musiałaby być bardzo duża. Z pomocą przychodzą tutaj, wykorzystywane w projekcie testera, układy *Xilinx* FPGA z rodziny Spartan 3, które integrują w swojej strukturze syntezy częstotliwości, będące częścią składową układów zarządzania sygnałem zegarowym (DCM – *Digital Clock Manager*). Na wyjściu syntezy dostępna jest częstotliwość będąca iloczynem częstotliwości wejściowej i zadanej jako parametr pewnej liczby wymiernej. Liczba ta musi być określona już podczas kompilacji projektu (konfiguracji układu FPGA) i nie da się jej zmienić podczas normalnej pracy układu. W wykorzystywanym do budowy testera układzie XC3S200 dostępne są 4 niezależne układy DCM, dlatego też – łącznie z częstotliwością wejściową z zewnętrznego

generatora zegara – można uzyskać 5 częstotliwości punktu, czyli możliwa jest obsługa pięciu trybów pracy w standardzie VGA.

Na list. 2 pokazano kod w języku Verilog opisujący blok generowania częstotliwości punktu. Linie rozpoczynające się od identyfikatora DCM są konkretyzacjami (utworze-

nem instancji) układu zarządzania sygnałem zegarowym DCM, którego działanie jest określone poprzez wartości parametrów podanych jako wymuszenia projektanta w kolejnych liniach, rozpoczynających się od zapisu // *synthesis attribute*. Przykładowo dla instancji o nazwie *pixel_clk_36M* częstotliwość wejściowa z zewnętrznego generatora o wartości 40 MHz (sygnał *clk*) jest mnożona przez współczynnik *CLKFX_MULTIPLY* (tutaj równy 9) i dzielona przez współczynnik *CLKFX_DIVIDE* (tutaj równy 10), dając w rezultacie częstotliwość wypadkową (sygnał *clk_36M*) o wartości 36 MHz, co odpowiada częstotliwości punktu dla trybu pracy 640x480, 85 Hz (por. tab. 1).

Blok wytwarzania sygnałów synchronizacji. Blok ten, oprócz impulsów synchronizacji poziomej (*sync_h*) i pionowej (*sync_v*), wytwarza również impuls wygaszania (*BLANK*) informujący o tym, że wybierany aktualnie punkt znajduje się poza obszarem aktywnym obrazu. Na wyjściach bloku oznaczonych *counterX* i *counterY* dostępna jest współrzędna pozioma i pionowa (numer punktu w linii i numer linii) aktualnie wybieranego punktu. Jak wiemy tester obsługuje kilka trybów pracy VGA, a każdy tryb charakteryzuje się różnymi długościami przedziałów czasowych, na podstawie których wytwarzane są impulsy synchronizacji, stąd też potrzebna jest dodatkowa

List. 2. Opis bloku wytwarzania częstotliwości punktu

```

odule vga_clock( input clk,
                 input [3:0] Mode,
                 output reg vga_clk);

wire clk36M,clk56M,clk65M,clk25M;

DCM pixel_clk_36M (.CLKIN(clk),.CLKFX(clk56M6M));
// synthesis attribute CLKFX_DIVIDE of pixel_clk_36M is 10
// synthesis attribute CLKFX_MULTIPLY of pixel_clk_36M is 9
// synthesis attribute CLK_FEEDBACK of pixel_clk_36M is NONE
DCM pixel_clk_25M (.CLKIN(clk),.CLKFX(clk25M));
// synthesis attribute CLKFX_DIVIDE of pixel_clk_25M is 16
// synthesis attribute CLKFX_MULTIPLY of pixel_clk_25M is 10
// synthesis attribute CLK_FEEDBACK of pixel_clk_25M is NONE
DCM pixel_clk_56M (.CLKIN(clk),.CLKFX(clk56M));
// synthesis attribute CLKFX_DIVIDE of pixel_clk_56M is 10
// synthesis attribute CLKFX_MULTIPLY of pixel_clk_56M is 14
// synthesis attribute CLK_FEEDBACK of pixel_clk_56M is NONE
DCM pixel_clk_65M (.CLKIN(clk),.CLKFX(clk65M));
// synthesis attribute CLKFX_DIVIDE of pixel_clk_65M is 16
// synthesis attribute CLKFX_MULTIPLY of pixel_clk_65M is 26
// synthesis attribute CLK_FEEDBACK of pixel_clk_65M is NONE

always @(Mode)
case (Mode)
4'b1001: vga_clk=clk36M; //640x480 (VGA), 85Hz
4'b0010: vga_clk=clk; //800x600 (SVGA), 60Hz
4'b1010: vga_clk=clk56M; //800x600 (SVGA), 85Hz
4'b0100: vga_clk=clk65M; //1024x768 (XGA), 60Hz
4'b1100: vga_clk=clk65M; //1024x768 (XGA), 60Hz
default: vga_clk=clk25M; //640x480 (VGA), 60Hz
endcase

endmodule

```

List. 3. Opis modułu wytwarzania impulsów synchronizacji

```

module vga_sync(input vga_clk,
                output sync_h, sync_v, BLANK,
                output [10:0] counterX, counterY,
                input [10:0] TMaxX, TMaxY, HsLow, HsHigh, VsLow, VsHigh, MaxX, MaxY);

reg [10:0] cntx, cnty;

wire cntxMax=(cntx==TMaxX), cntyMax=(cnty==TMaxY);

always @(posedge vga_clk)
begin
    if(cntxMax) cntx<=0;
    else cntx<=cntx+1;
    //jeżeli osiągnięto całkowitą liczbę punktów - wyzeruj licznik punktów
    //w przeciwnym przypadku zwiększ zawartość licznika o 1

    if(cntxMax)
        if(!cntyMax) cnty<=cnty+1;
        else cnty<=0;
    //jeżeli osiągnięto maksymalną współrzędną punktu, sprawdź numer linii
    //jeżeli osiągnięto również maksymalną liczbę linii - wyzeruj licznik linii
    //w przeciwnym przypadku zwiększ licznik linii
end

assign BLANK=((cntx>MaxX)|(cnty>MaxY));
//definicja przedziału wygaszania

assign sync_h=~((cntx>HsLow)&&(cntx<HsHigh));
assign sync_v=~((cnty>VsLow)&&(cnty<VsHigh));
//definicja przedziałów dla impulsów synchronizacji

assign counterX=cntx;
assign counterY=cnty;
endmodule
    
```

informacja o parametrach czasowych charakterystycznych dla danego trybu pracy. Informacja ta dostarczana jest z układu sterującego w postaci 11-bitowych sygnałów o następującym znaczeniu: $TMaxX$ – pozioma współrzędna punktu odpowiadająca całkowitej liczbie punktów w linii ($TMaxX=A_H+F_H+S_H+B_H-1$), $TMaxY$ – numer linii wyznaczający całkowitą liczbę linii ($TMaxY=A_V+F_V+S_V+B_V-1$), $HsLow$ – pozioma współrzędna punktu, od której rozpoczyna się impuls synchronizacji poziomej ($HsLow=A_H+F_H-1$),

$HsHigh$ – pozioma współrzędna punktu wyznaczająca koniec impulsu synchronizacji poziomej ($HsHigh=A_H+F_H+S_H-1$), $VsLow$ – numer linii określający początek impulsu synchronizacji pionowej ($VsLow=A_V+F_V-1$), $VsHigh$ – numer linii wyznaczający koniec impulsu synchronizacji pionowej ($VsHigh=A_V+F_V+S_V-1$), $MaxX$ – pozioma współrzędna punktu odpowiadająca liczbie aktywnych punktów obrazu ($MaxX=A_H-1$), $MaxY$ – numer linii odpowiadający liczbie aktywnych linii obrazu ($MaxY=A_V-1$).

WYKAZ ELEMENTÓW

Rezystory (0805)

- R1, R3, R5: 270 Ω
- R2, R4, R6...R8, R22...R24: 100 Ω
- R9...R13, R25, R26: 4,7 kΩ
- R14...R21: 360 Ω

Kondensatory

- C1: 100 μF/25 V
- C2...C7, C11...C14, C16...C21: 100 nF (0805)
- C8...C10, C15: 10 μF/10 V tantal (SMD-A)

Półprzewodniki

- D1: 1N4007
- D2...D9: LED (0805)
- U1: XC3S200 (VQ100)
- U2: XCF01S (VO20)
- U3: generator kwarcowy 40 MHz
- U4: SPX1117-3.3 (TO252)
- U5: SPX1117-2.5 (TO252)
- U6: SPX1117-1.2 (TO252)

Inne

- J1: DB15F trójrzędowe
- J2: gniazdo zasilające
- J3: goldpin 5x2
- J4: goldpin 12x2

Na list. 3 przedstawiono kod w języku Verilog opisujący działanie bloku wytwarzania sygnałów synchronizacji.

Pozostałe bloki testera oraz uwagi dotyczące montażu przedstawimy w 2 części artykułu.

Zbigniew Hajduk
Politechnika Rzeszowska

EBS Renomowany producent drukarek INK-JET oferuje wysokiej klasy

Aktywny detektor podczerwieni do zastosowań w układach automatyki i zabezpieczeń

- małe wymiary budowy (M18x1)
- duża odporność na zakłócenia
- wbudowany wskaźnik zadziałania
- wyjście odporne na zwarcie
- wykonania PNP, NPN

EBS Ink-Jet Systems Poland Sp. z o.o.
ul. Tarnogajajska 13, 50-512 Wrocław
tel. (071) 367 04 11, fax (071) 373 32 09

Cena: 700 zł

CS200 Wyświetlacz LCD
Wskaźnik głębokości
Dyskryminator
Wodoodporna sonda (20 cm)

Cena: 390 zł

CS150 Dyskryminator audio
V3 meter
Wodoodporna sonda (20 cm)

WYKRYWACZE METALI

CS1000 Wykrywacz "rzeczy"
Idealny dla policjantów i ochotników

Cena: 190 zł

Zamówienia przyjmuje Dział Handlowy AVT
01-939 Warszawa, ul. Burleska 9, tel. 022 568 99 50, fax 022 568 99 55
e-mail: handlowy@avt.pl, www.sklep.avt.pl