



Virtex 5

FPGA o jakich marzemy

Najnowsza rodzina układów PLD firmy Xilinx – Virtex 5 – to znacznie więcej niż klasyczne FPGA. Układy te bez cienia przesady można określić mianem konfigurowalnych platform sprzętowych, silnie zorientowanych na sprzętową realizację algorytmów DSP oraz komunikacyjnych. Producent prezentowanych układów uniknął błędu polegającego na maksymalizacji uniwersalności struktur logicznych, w wyniku czego powstały cztery wyspecjalizowane, ale wzajemnie kompatybilne podrodziny układów Virtex 5.



Producenci układów programowalnych (PLD – Programmable Logic Devices) od lat bardzo duży nacisk kładą na wdrażanie i rozwój rodzin układów o bardzo dużej skali integracji, które poza „czystą” logiką konfigurowalną (do takiej można obecnie zaliczyć także konfigurowalną pamięć SRAM, syntezery sygnałów zegarowych, a także wielostandardowe porty I/O) są wyposażane w specyficzne peryferia, które ułatwiają stosowanie współczesnych PLD w bardzo zaawansowanych (przede wszystkim specyficzną) aplikacjach. Ponieważ zgromadzenie wielu takich peryferiów w jednym układzie przekłada się na

jego koszt, inżynierowie firmy Xilinx opracowując rodzinę Virtex 5 podzielili ją na cztery podrodziny, z których dwie są już produkowane.

LT vs LXT

Firma Xilinx zamierza w ramach rodziny Virtex 5 zaoferować cztery podrodziny, oznaczone symbolami: Virtex 5LX (układy ogólnego zastosowania o dużej uniwersalności), Virtex 5LXT (jak LX, dodatkowo wyposażone w szybkie interfejsy do transmisji danych, jak PCIe, Ethernet MAC, RocketIO), Virtex 5SXT (układy zorientowane na aplikacje DSP) oraz Virtex 5FXT (z nieprecyzyj-

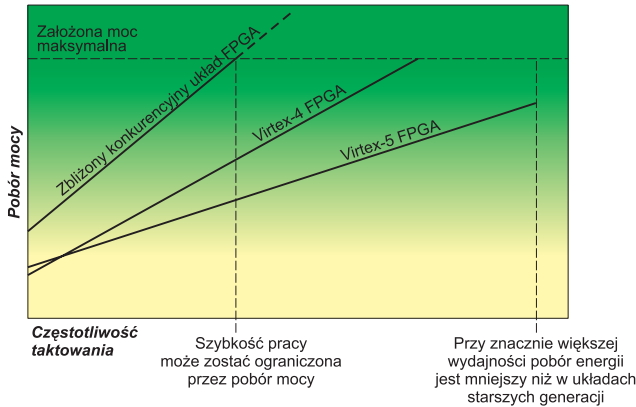
nych zapowiedzi wynika, że będą to układy przeznaczone do implementacji w nich kompletnych systemów *embedded*). Układy z podrodzin LXT, SXT i FXT będą oferowane w obudowach zapewniających ich wymiennność, co ułatwi adaptację funkcjonalności urządzenia do bieżących wymagań.

Jak pierwsze w sprzedaży pojawiły się układy Virtex 5LX i LXT, kolejność wprowadzania do produkcji następnych podrodzin nie jest jeszcze oficjalnie zapowiedziana.

Virtex 5 – w czym lepsze?

Wprowadzenie do produkcji układów Virtex 5

miało na celu udostępnienie użytkownikom układów FPGA o niespotykanej dużej zasobie logicznych przy stosunkowo niskiej ich cenie i niskim poborze mocy (statycznie i dynamicznie) – **rys. 1**. Były to podstawowe powody, dla których zastosowano zaawansowaną technologię produkcji struktur, której stosowanie jest kosztowne, ale uzyskana redukcja powierzchni struktur jest znacząca. Wymiar charakterystyczny zastosowanej technologii wynosi 65 nm (zastosowano aż 12 warstw metalizacji!), a warto zauważyć, że z wykorzystaniem podobnej technologii produkcji są wykonywa-



Rys. 1. Według zapewnienia producenta, układy Virtex 5 są w stanie pracować z maksymalnymi częstotliwościami taktowania bez przekroczenia maksymalnej mocy strat

ne konkurencyjne układy – Stratix III – oferowane przez firmę Altera (choć Xilinx w publikowanych porównaniach dość sprytnie odnosi się do wyników uzyskiwanych przez układy z nieco starszej rodziny Stratix II).

Architektura układów Virtex 5 jest zbliżona do architektury układów Virtex 4, przy czym wprowadzono do niej szereg udoskonaleń wynikających z możliwości technologii produkcji, wykorzystano także doświadczenia wynikające z relatywnie długiego funkcjonowania układów Virtex 4 na rynku.

Poza oczywistym zwiększeniem maksymalnej liczby konfigurowalnych komórek logicznych i liczby zintegrowanych przerzutników, zastosowano większe bloki rozproszonej pamięci SRAM, powiększono zespoły pamięci BlockRAM (do 36

zastosowaniem sprzętowych mechanizmów oszczędzania energii), do tego dodano nowe zasoby do łączenia rozproszonych w strukturze FPGA bloków logicznych. Zmodyfikowane zostały także bloki CLB (rodzaj konfigurowalnych mikrokomórek logicznych), a generatory funkcji LUT (*Look Up Table*) wyposażono w 6 niezależnych wejść, co znacznie zwiększyło ich elastyczność.

Z e w z g l ę d u na zintegrowane w układach Virtex 5 ogromne zasoby logiczne, wyposażono je w zaawansowane systemy generacji wewnętrznych sygnałów zegarowych, w których wykorzystano zarówno powielacze oparte

Zasilanie układów Virtex 5

Rdzeń układów Virtex 5 wymaga napięcia zasilającego o wartości 1 V. Bufory I/O mogą być zasilane napięciem z przedziału 1,14...3,45 V. Producent – niestety – nadal wymusza stosowanie dodatkowego napięcia zasilającego o wartości 2,5 V.

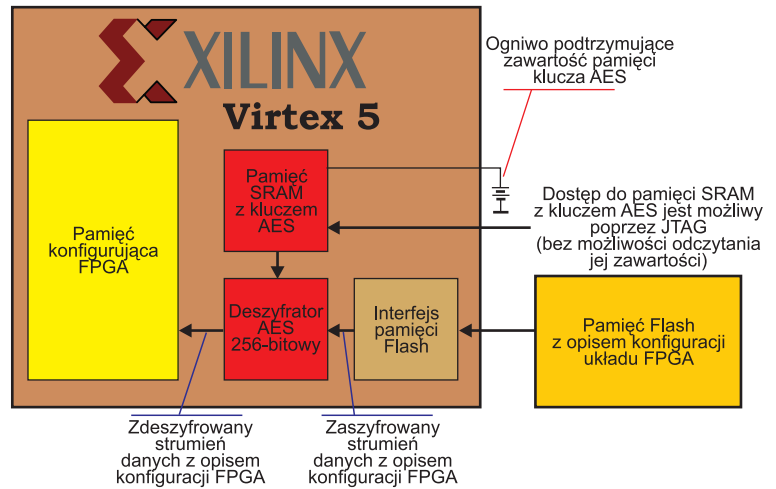
na PLL jak i bloki DCM znane z innych rodzin FPGA firmy Xilinx. Ich maksymalna liczba w największym pośród obecnie produkowanych układów wynosi 12. Zmodyfikowane systemy generacji sygnałów zegarowych w układach Virtex 5 nazwano CMT – *Clock Management Tiles*, każdy z nich składa się z dwóch bloków DCM i jednej pętli PLL.

Istotnemu uproszczeniu uległ także sposób konfigurowania układów po włączeniu zasilania, bowiem producent wyposażył je m.in. w interfejs SPI (dzięki niemu można

nia szerokości magistrali danych. Użytkownicy lubiący stosować klasyczne rozwiązania mogą nadal konfigurować FPGA za pośrednictwem interfejsu JTAG oraz konfigurować je z wykorzystaniem klasycznych pamięci-konfiguratorów.

Interesującą nowością w układach Virtex 5 jest moduł interfejsu DRP (*Dynamic Reconfiguration Port*), który umożliwia dynamiczną (czyli taką, która odbywa się podczas normalnej pracy układu FPGA) rekonfigurację niektórych zasobów układów.

Producent układów



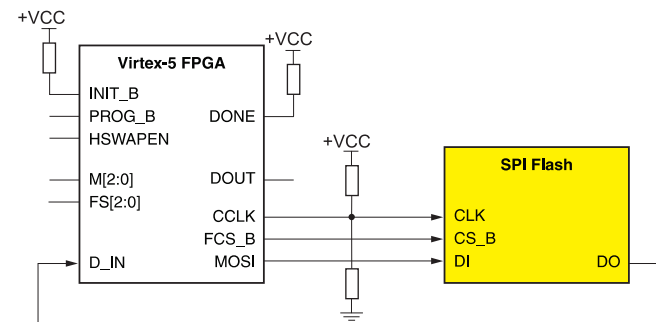
Rys. 3. Zasada działania zabezpieczenia pliku konfiguracyjnego pobieranego z zewnętrznego konfiguratora

korzystać z wielu typów pamięci Flash wyposażonych w ten interfejs – rys. 2) oraz rozbudowany – w stosunku do starszych rodzin FPGA – interfejs równoległy, wyposażony m.in. w mechanizm automatycznego wykrywa-

Virtex 5 zadbał o zabezpieczenie przed kopiowaniem implementowanych w nie projektów, które są – jak wiadomo – ulokowane w zewnętrznej pamięci Flash, której zawartość może być bez trudu odczytana i skopiowana.

Energooszczędnie lecz wcale nie ma!

Pobór prądu przez układy Virtex 5 jest relatywnie niewielki ale trzeba pamiętać, że prąd spoczynkowy rdzenia w najmniejszym układzie XC5VLX30 wynosi 360 mA, a w nieco większym XC5VLX110 – blisko 956 mA. Podczas pracy z sygnałami zegarowymi o wysokiej częstotliwościach pobór prądu może wzrosnąć kilkakrotnie, co należy wziąć pod uwagę podczas projektowania zasilacza.



Rys. 2. Układy Virtex 5 są przystosowane do konfiguracji także ze standardowych pamięci Flash SPI

ZAJRZYJ NA TE STRONY

www.lcel.com.pl

nadajemy kształt elektronice

- klawiatury
- obudowy
- materiały pomocnicze
- wsparcie technologiczne
- pluty czołowe
- akcesoria

WIĘCEJ NIŻ PROFESJONALNA DYSTRYBUCJA

www.marthel.pl

UKŁADY SCALONE WINBOND, WARYSTORY
TERMISTORY, KOMPUTERY PRZEMYSŁOWE

www.maszczyk.pl

ZTS MASZCZYK
05-071 Sulejówek-Mitosa
ul. Mickiewicza 10
tel: (0 22) 783 45 20
fax: (0 22) 783 90 85
maszczyk@maszczyk.pl

MERSERWIS aparatura kontrolno pomiarowa,
elementy automatyki, serwis

ul. Gen. Wł. Andersa 10
00-201 Warszawa
fax/tel: +48 22 831 42 56

www.merserwis.pl

PRODUKCJA I SPRZEDAŻ AKCESORIÓW DO BEZKONTAKTOWEJ IDENTYFIKACJI - RFID
STEROWNIKI MIKROPROCESOROWE NA ZAMÓWIENIE

www.mikrokontrola.pl

ul. Wólczyńska 55, 01-908 Warszawa
tel: [0 prefix 22] 885 55 45, fax: [0 prefix 22] 885 55 44

MS Elektronik
Dystrybutor Elementów Elektronicznych
Tel. (58) 629 24 69
Faks: (58) 629 32 00
E-mail: info@mselektronik.com.pl

Oferta czynnych i biernych elementów elektronicznych renomowanych producentów

www.mselektronik.com.pl

www.nepius.pl

Nowy rok, nowy sklep!

www.nordelektronikplus.pl

Zestawy do samodzielnego montażu. Projekty na zamówienie.

HURTOWNIA CZĘŚCI ELEKTRONICZNYCH

firma@piekarz.pl
Warszawa, ul. Przy Agorze 28 lok. U1
☎ 022 835 50 37
Warszawa, ul. Wolumen 53, lok. 66
☎ 022 663 76 01

www.piekarz.pl

PODZESPOŁY ELEKTRONICZNE

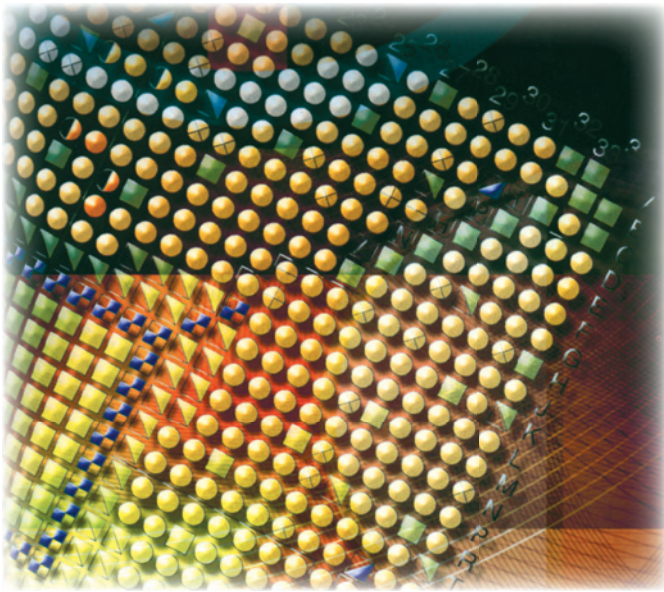
TRIM-POT

tel: +48(12)387-06-01
fax: +48(12)387-06-02

Oferuje

- potencjometry
- rezystory
- kondensatory
- przełączniki
- mikro-przełączniki
- warystory
- termistory
- czujniki
- oprawy
- bezpiecznikowe
- bezpieczniki
- termiki
- termostaty
- diody
- diody LED
- lampy LED
- mostki
- przełączniki
- przełączniki krańcowe
- magazyn
- buforowy

www.trim-pot.com.pl



Uwaga podczas startu!

W chwili opracowywania artykułu nie były dostępne szczegółowe dane dotyczące koniecznej wydajności stabilizatorów napięć zasilających, ale producent zwraca uwagę na możliwość niepoprawnej inicjalizacji układów Virtex 5 po włączeniu zasilania, w przypadku gdy wydajność prądowa zasilaczy będzie zbyt mała.

Sposób rozwiązania tego problemu pokazano na rys. 3. Dzięki zastosowaniu szyfrowania AES z 256-bitowym kluczem o wartości ustalonej przez użytkownika, strumień danych wprowadzanych do FPGA z zewnętrznej pamięci Flash jest praktycznie bezwartościowy dla użytkowników nie znających klucza, a potencjalna możliwość złamania szyfru jest bardzo mała. Kod klucza jest wpisywany do specjalnego obszaru pamięci SRAM (za pomocą interfejsu JTAG), której zawartość jest podtrzymywana za pomocą zewnętrznego ogniwa lub akumulatora.

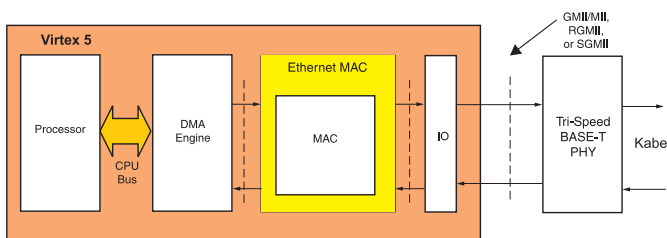
dy Virtex 5LXT wyposażono w niebanalne peryferia, które doskonale uzupełniają potężne zasoby „klasyczne”. Spodziewać się można, że w naszych realiach mniejszy zachwyty wzbudzi interfejs PCIe wspomagany zespołem wyspecjalizowanych transceiverów GTP, natomiast wielu konstruktorów zainteresuje zintegrowany w układach interfejs MAC

Architektura...

...układów Virtex 5 jest podobna do stosowanej w innych układach FPGA nowych generacji firmy Xilinx. W pojedynczej komórce CLB (Configurable Logic Block) zintegrowano: 8 konfigurowalnych przerzutników, 8 tablic LUT, 256 bitów rozproszonej pamięci SRAM, 128-bitowy rejestr przesuwający (wykorzystujący alternatywnie zasoby LUT).

Wyposażenie specjalne

Produkowane już ukła-



Rys. 4. Standardowym wyposażeniem wewnętrznym układów Virtex 5LXT jest m.in. moduł MAC Ethernet

Układy Virtex 5 w skrócie:

- do 332000 komórek logicznych
- do 207360 konfigurowalnych przerzutników,
- do 11,6 Mb konfigurowalnej pamięci SRAM,
- do wewnętrznych, programowanych 12 syntezerów sygnałów zegarowych (do 550 MHz),
- do 1200 wyprowadzeń I/O,
- do 192 bloków DSP (DSP48E Slice),
- do 4 bloków Ethernet MAC (10/100/1000),
- wbudowany sprzętowy end-point interfejsu PCI Express,
- 6-wejściowe komórki LUT,
- interfejsy różnicowe (LVDS) do 1,25 GHz,
- obudowy BGA 1 mm o liczbie wyprowadzeń 220...1200,
- technologia 65 nm, zasilanie napięciem 1 V,
- pojemność pamięci konfiguracji do 83 Mb.

Ethernet przystosowany do pracy w trzech standardach: 10/100/1000 Mb/s. Chcąc wykorzystać jego możliwości należy dołączyć do FPGA za pomocą jednego ze standardowych interfejsów (spośród GMII, MII, RGMII, SGMII) interfejs warstwy fizycznej (PHY Ethernet – rys. 4), dostępny jako pojedynczy układ scalony.

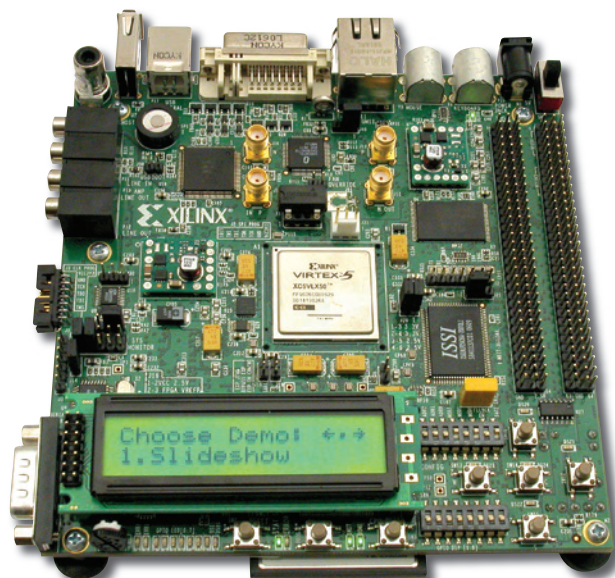
Niestety, raczej nie dla (większości) z nas

Jak można wywnioskować z tego krótkiego opisu, układy Virtex 5 należą do czołówki współczesnego rynku FPGA. O ile ich możliwości i wyposażenie budzą bardzo pozytywne odczucia, to Czytelnicy chcący poznać te układy w praktyce mogą się czuć nieco zawiedzeni, ponieważ:

- układy te nie są obsługiwane (przynajm-

niej na razie) przez bezpłatny system projektowy WebPack ISE,

- są dostępne wyłącznie w obudowach BGA, co wymusza stosowanie wielowarstwowych płytek drukowanych (fot. 5), powoduje też spore kłopoty podczas montażu tych układów,
- ceny układów – jakkolwiek proporcjonalne do możliwości – są stosunkowo wysokie,
- ponieważ potencjalni zainteresowani układami Virtex 5 nie należą do grona klientów „budżetowych”, zestaw uruchomieniowy dla tych układów (fot. 6) jest drogi, co w znacznym stopniu jest usprawiedliwione przez jego bardzo bogate wyposażenie,
- kłopotliwe (a raczej „tylko” kosztowne) jest



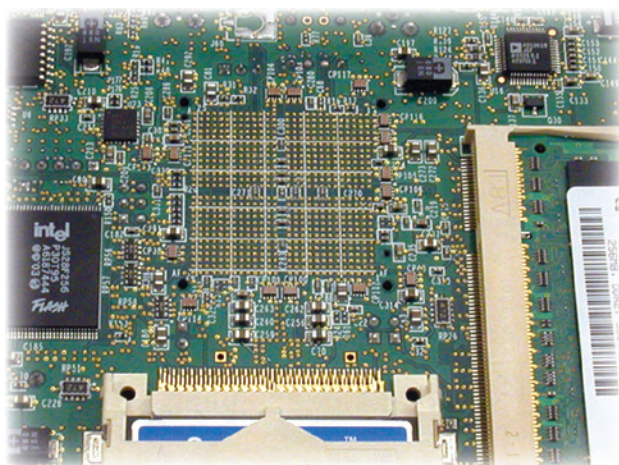
Fot. 6. Wygląd zestawu uruchomieniowego dla układów Virtex 5

zasilanie, bowiem stabilizatory o napięciu wyjściowym 1 V i odpowiedniej wydajności prądowej nie są zbyt popularne w ofertach producentów.

Nie można oczywiście tych „żali” traktować jak zarzutów pod adresem firmy Xilinx, bowiem nowoczesna technologia produkcji nowoczesnych FPGA i wyrafinowane wymagania stawiane prezentowanym układom w profesjonalnych aplikacjach,

wymuszają rozwiązania czasami trudne do zaakceptowania na rynku popularnym. W związku z tym – na razie – do aplikacji polecam łatwiej dostępne i tańsze układy FPGA (choćby z popularnej rodziny Spartan 3), a z całą pewnością już za parę lat tańsi i jeszcze bardziej doskonali następcy rodziny Virtex 5 trafią także „pod strzechy”.

Piotr Zbysiński, EP
piotr.zbysinski@ep.com.pl



Fot. 5. Ze względu na wyrafinowane obudowy (BGA 1 mm) płytki drukowane dla układów Virtex 5 muszą być co najmniej 4-warstwowe

Standardy I/O obsługiwane przez układy Virtex 5:

- LVC MOS 1,2 V
- HSTL I 12 (unidirectional only)
- DIFF_HSTL I 18, DIFF_HSTL I 18_DC I
- DIFF_HSTL I, DIFF_HSTL I_DC I
- DIFF_SSTL I
- DIFF_SSTL2 I DC I
- DIFF_SSTL18 I, DIFF_SSTL18 I_DC I
- RSDS 25 (point-to-point)

Standardy I/O obsługiwane przez układy Virtex 5 i układy Virtex starszych generacji

- LVC MOS (3,3 V, 2,5 V, 1,8 V, 1,5 V)
- LVDS, Bus LVDS, Extended LVDS
- SSTL (2,5 V, 1,8 V, Class I, II)
- LCPECL
- PCI, PCI-X
- HyperTransport (LDT)
- HSTL (1,8 V, 1,5 V, Classes I, II, III, IV)
- GTL, GTL+

Linie I/O w układach Virtex 5 są wyposażone w programowane terminatory DCI (Digitally Controlled Impedance).

Dodatkowe informacje

Zestaw ewaluacyjny dla układów Virtex 5 udostępniła firma Silica, tel. +226402351, fax: +226402354, silica.warszawa@avnet.com.