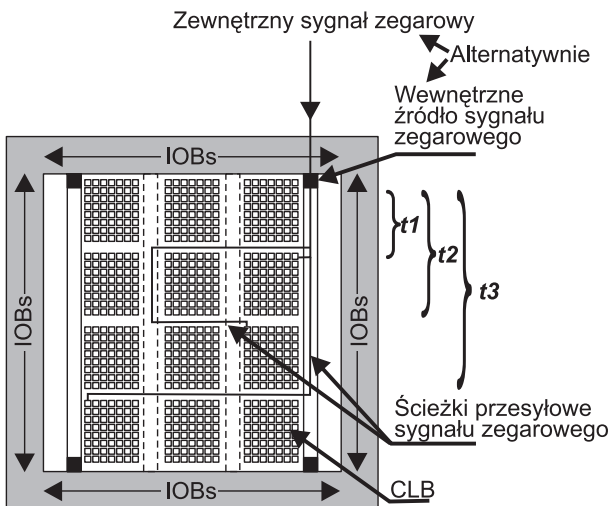


Układy FPGA w przykładach, część 4

Jest to ostatnia „teoretyczna” część kursu. Za miesiąc zaczynamy prezentację przykładów aplikacji na FPGA.

W tym odcinku cyklu skupiamy się na trzech istotnych zasobach układów Spartan 3: syntezach DCM, sprzętowych multiplikatorach i wbudowanej w struktury układów, konfigurowalnej pamięci SRAM.



Rys. 18. Zbocza sygnałów zegarowych występują w różnych miejscach FPGA w różnym czasie, co może spowodować nieprawidłowe działanie układu

Generatory wewnętrznych sygnałów zegarowych – DCM

Najpoważniejszym kłopotem dla konstruktorów stosujących w swoich projektach układy FPGA jest odpowiednie taktowanie wprojektowanych w nie obwodów. Budowa FPGA powoduje, że elementy logiczne rozmieszczone na powierzchni struktury półprzewodnikowej, pomimo taktowania sygnałem zegarowym pochodzącym z jednego źródła, nie są taktowane jednocześnie (rys. 18), bowiem różny jest czas dystrybucji sygnału w zależności od trasy jaką pokonuje (czyli jakiego rodzaju zasoby połączeniowe wykorzystano do jego transportu), odległości pomiędzy źródłem i celem, a także liczby wejść taktowanych jednocześnie w danym segmencie ścieżki połączeniowej.

Aby zminimalizować wpływ niedoskonałości architektury FPGA na jakość projektów, firma Xilinx wyposażyła układy Spartan 3 w bloki

DCM (ich liczba zależy zasobów logicznych FPGA, jak to przedstawiono w tab. 3 na str. 94 w EP11/2006). Pozwalają one nie tylko skompensować różnice faz (wynikające z opóźnień propagacji) sygnałów zegarowych w (fizycznie) różnych miejscach układu, można je także wykorzystać do syntezy częstotliwości sygnału zewnętrznego) wewnętrznych sygnałów zegarowych.

Na rys. 19 pokazano schemat blokowy DCM (*Digital Clock Manager*). Składa się on z 4 bloków: syntezy częstotliwości DFS, pętli DLL, programowanego przesuwnika fazy (*Phase Shifter*) oraz zespołu logiki *Status Logic*.

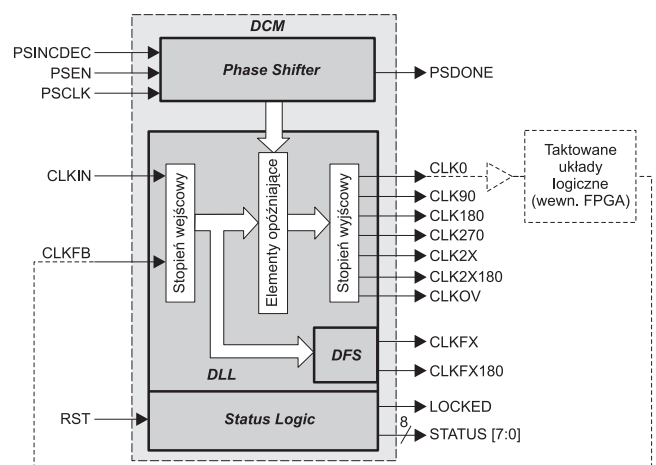
W aplikacjach prostszych oraz w przypadku, gdy nie jest konieczne „żyłowanie” parametrów układów FPGA, korzystanie z DCM nie jest konieczne i może się wprowadzić do wykorzystania tego bloku jako syntezy lub programowalnego dzielnika częstotliwości. Na rys. 20 pokazano przykładowe konfiguracje DCM, w których wykorzystano referencyjny sygnał zegarowy podawany z zewnątrz na

wyprowadzenie FPGA.

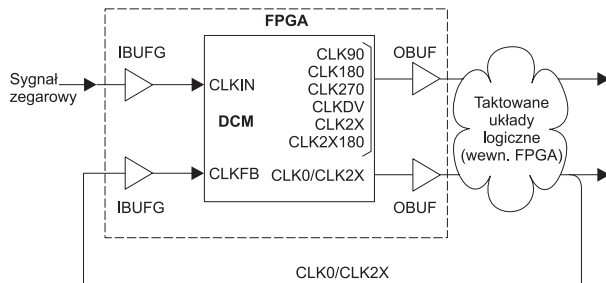
Zastosowanie w projektach bloków DCM jest możliwe na dwa sposoby: za pomocą „dołączenia” DCM z wykorzystaniem opisu HDL (przykład opisu w języku VHDL pokazano na list. 4), lub – w przypadku korzystania z opisu za pomocą schematu – dzięki wykorzystaniu elementu bibliotecznego o nazwie DCM, który znajduje się w kategorii *General* (rys. 21). W przypadku opisu pokazanego na list. 4 parametryzacja (konfiguracja) DCM odbywa się za pomocą wpisania odpowiednich wartości, których możliwe warianty zaznaczono pogrubioną czcionką w komentarzach. Nieco wygodniej przebiega konfiguracja DCM w edytorze schematów: dwukrotne kliknięcie w symbol graficzny DCM otwiera okno edycyjne, które pokazano na rys. 22. Za jego pomocą można wygodnie, w „windosowym” stylu parametryzować i skonfigurować DCM, bez konieczności modyfikowania opisu HDL.

FPGA – co trzeba o nich wiedzieć – tip #8

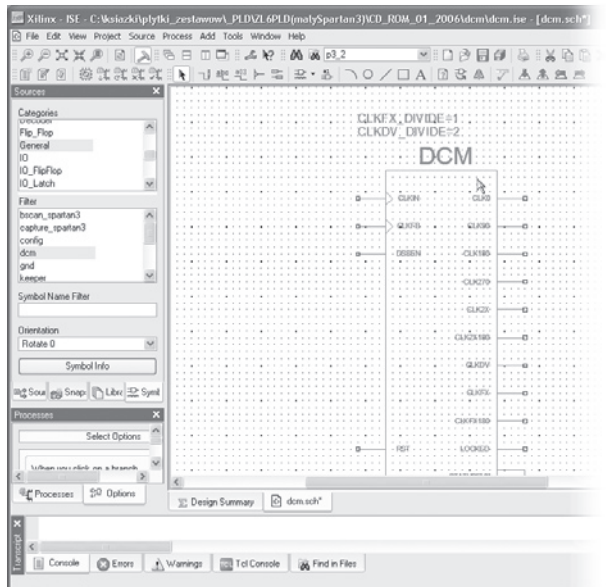
Możliwości konfiguracji DCM są bardzo duże i ich dokładne opisanie wychodzi poza ramy kursu. Czytelników zainteresowanych poznaniem szczegółów zachęcamy do zapoznania się z notą katalogową XAPP462 firmy Xilinx, w której DCM opisano bardzo szczegółowo.



Rys. 19. Schemat blokowy DCM stosowanych w układach Spartan 3

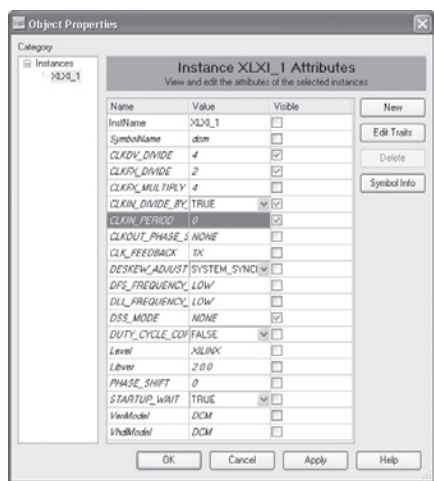


Rys. 20. Przykładowe konfiguracje DCM z wykorzystaniem zewnętrznego sygnału



Rys. 21. Jednym ze sposobów skorzystania z możliwości DCM jest zastosowanie elementu bibliotecznego DCM znajdującego się w kategorii General

Możliwości bloków DCM są duże, co wiąże się z dużą liczbą dostępnych do konfigurowania opcji. Nieco więcej miejsca poświęcimy im w części kursu z przykładami.



Rys. 22. Konfiguracja DCM w edytorze schematów jest łatwa dzięki specjalnemu oknu edycyjnemu

Sprzętowe multiplikatory

Standardowym elementem architektury układów Spartan 3 są sprzętowe multiplikatory, pozwalające mnożyć 2 liczby 18-bitowe. Mogą one pracować w trybie asynchronicznym (kombinacyjnym) lub synchronicznym, w którym wykonywanie obliczeń jest synchronizowane sygnałem zegarowym, a wynik odbierany z wyjść 36-bitowe rejestru (rys. 23).

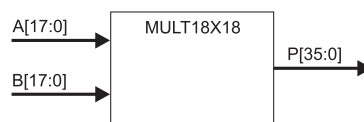
Korzystanie z możliwości multiplikatorów wygląda podobnie jak w przypadku DCM, to znaczy, że użytkownik ma do dyspozycji ręcznie modyfikowalny opis HDL (wykorzystujący konfigurowalny prymityw MULT18X18SIO) lub może jego opis wygenerować za pomocą przyjaznego w obsłudze programu Xilinx CORE Generator (rys. 24), który wchodzi w skład bezpłatnego WebPacka ISE.

Pamięć BlockRAM

Wszystkie układy z rodziny Spartan 3 wyposażono w wewnętrzną, konfigurowalną pamięć SRAM. Liczba niezależnych bloków BlockRAM wiążąca się z nią łączna pojemność pamięci jest zależna od typu układu (patrz tab. 3, str. 94 w EP11/2006). Ponieważ wszystkie przykłady będą

FPGA – co trzeba o nich wiedzieć – tip #9

Możliwości multiplikatorów wbudowanych w układy Spartan 3 są duże. Czytelników zainteresowanych poznaniem szczegółów zachęcamy do zapoznania się z notą katalogową XAPP467 firmy Xilinx, w której opisano je bardzo szczegółowo.



18-bitowy multiplikator asynchroniczny

Plan kursu

1. Wprowadzenie
 - Budowa zestawu uruchomieniowego
 - Programowanie i konfiguracja układu XC3S200
 - Tryby konfiguracji układu XC3S200
 - Zasilanie układu XC3S200
 - Linie I/O w układzie XC3S200
 - JTAG jako uniwersalny interfejs do programowania i konfigurowania
2. Budowa, cechy funkcjonalne i parametry układów FPGA z rodziny Spartan 3
 - CLB
 - IOB
 - Globalne sygnały zegarowe
 - DCM
 - Sprzętowe multiplikatory
 - Pamięć BlockRAM
3. Projekty przykładowe

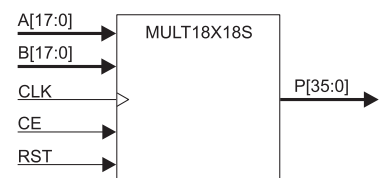
prezentowane na zestawie ZL9PLD (płytki bazowa) + ZL10PLD (dip-PLD z układem SX3S200), do naszej dyspozycji będzie 12 bloków konfigurowalnej pamięci o łącznej pojemności 216 kb.

Wbudowana w układy Spartan 3 pamięć SRAM jest dwuportowa, dzięki czemu użytkownik może wykonywać niezależnie operacje zapisu i od-

FPGA – co trzeba o nich wiedzieć – tip #10

Maksymalna częstotliwość taktowania pamięci BlockRAM może dochodzić w układach Spartan 3 do 200 MHz.

czytu spod/do różnych adresów, może także transferować dane za pomocą rejestrów składających się na komórki pamięci (rys. 25). Pojemność pojedynczego zespołu BlockRAM wynosi 16384 b (w przypadku wykorzystywania bitów parzystości – 18432 b), przy czym użytkownik może dobrać szerokość i głębokość pamięci do potrzeb projektu. Możliwe jest także łączenie kilku bloków BlockRAM w zespoły pamięci o większej pojemności. Możliwe są więc następujące



18-bitowy multiplikator synchroniczny (synchronizowany sygnałem zegarowym)

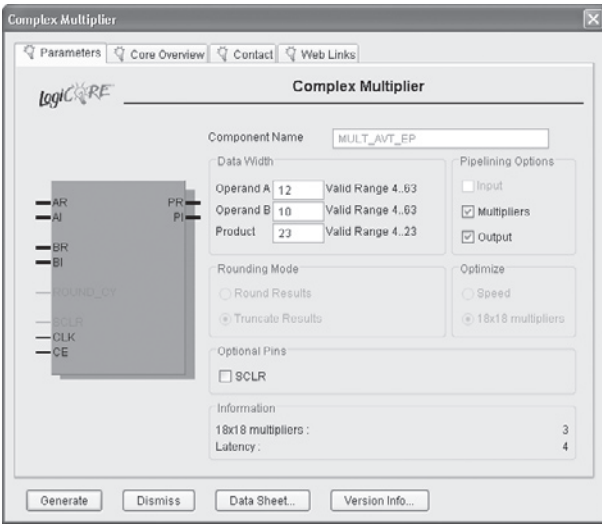
Rys. 23. Możliwe konfiguracje pracy multiplikatorów

```

List. 4.
DCM_inst : DCM
generic map (
-- Czesć opisu sluzaca do skonfigurowania DCM
CLKDV_DIVIDE => 2.0,
-- Divide by: 1.5,2.0,2.5,3.0,3.5,4.0,4.5,5.0,5.5,6.0,6.5
-- 7.0,7.5,8.0,9.0,10.0,11.0,12.0,13.0,14.0,15.0 or 16.0
-- Can be any interger from 1 to 32
-- Can be any integer from 1 to 32
-- TRUE/FALSE to enable CLKIN divide by two feature
-- Specify phase shift of NONE, FIXED or VARIABLE
-- Specify clock feedback of NONE, 1X or 2X
-- _SYNCHRONOUS, SYSTEM_SYNCHRONOUS or
-- _SYNCHRONOUS, SYSTEM_SYNCHRONOUS
CLKFX_DIVIDE => 1,
CLKFX_MULTIPLY => 4,
CLKIN_DIVIDE_BY_2 => FALSE,
CLKOUT_PHASE_SHIFT => "NONE",
CLK_FEEDBACK => "1X",
DESKEW_ADJUST => "SYSTEM_SYNCHRONOUS",
-- an integer from 0 to 15
DFS_FREQUENCY_MODE => "LOW",
DLL_FREQUENCY_MODE => "LOW",
DUTY_CYCLE_CORRECTION => TRUE,
PHASE_SHIFT => 0,
STARTUP_WAIT => FALSE)
-- Czesć opisu umozliwiajaca podlaczenie DCM do reszty projektu
port map (
CLK0 => CLK0,
-- 0 degree DCM CLK ouptput
CLK180 => CLK180,
-- 180 degree DCM CLK output
CLK270 => CLK270,
-- 270 degree DCM CLK output
CLK2X => CLK2X,
-- 2X DCM CLK output
CLK2X180 => CLK2X180,
-- 2X, 180 degree DCM CLK out
CLK90 => CLK90,
-- 90 degree DCM CLK output
CLKDV => CLKDV,
-- Divided DCM CLK out (CLKDV DIVIDE)
CLKFX => CLKFX,
-- DCM CLK synthesis out (M/D)
CLKFX180 => CLKFX180,
-- 180 degree CLK synthesis out
LOCKED => LOCKED,
-- DCM LOCK status output
PSDONE => PSDONE,
-- Dynamic phase adjust done output
STATUS => STATUS,
-- 8-bit DCM status bits output
CLKFB => CLKFB,
-- DCM clock feedback
CLKIN => CLKIN,
-- Clock input (from Ibufg, BUFG or DCM)
PSCLK => PSCLK,
-- Dynamic phase adjust clock input
PSEN => PSEN,
-- Dynamic phase adjust enable input
PSINCDEC => PSINCDEC,
-- Dynamic phase adjust increment/decrement
RST => RST
);
    
```

natywna funkcja LUT, tzw. DistributedRAM, nieco więcej na ten temat pisaliśmy w EP11/2006), każdy o pojemności 16x1 b. Można je lokalnie łączyć w bloki do 64 bitów, a takie zespoły można wykorzystywać do budowy większych zespołów pamięci RAM/FIFO/DualPortRAM.

Korzystanie ze wszystkich rodzajów pamięci dostępnych w układach Spartan 3 jest również wygodne jak miało to miejsce w przypadku DCM lub



Rys. 24. Wygodnym narzędziem, umożliwiającym wygenerowanie opisu HDL multiplikatora odpowiadającego wymaganiom projektu, jest Xilinx CORE Generator

wych” szerokości słowa danych, pamięci oferują także możliwość przechowywania bitów parzystości (po jednym na przechowywany bajt), przy czym jego generację i weryfikację musi zapewnić użytkownik.

Bloki pamięci można skonfigurować jako jedno- i dwuportowe, jako FIFO, pamięci CAM (Content-Addressable Memory) oraz pamięci ROM. W każdym przypadku użytkownik może zdefiniować zawartość pamięci po włączeniu zasilania, co umożliwia następujący zapis w języku VHDL

sprzętowych multiplikatorów.

Podsumowanie

Na tym kończymy – z konieczności skrótowy – wstęp do „tajemniczego świata” nowoczesnych układów FPGA. Za miesiąc pokażemy pierwszy przykład, który – mamy nadzieję – zachęci wszystkich onieśmielonych Czytelników do podjęcia samodzielnych prób.

Jacek Majewski
jacek.majewski@pwr.wroc.pl
Piotr Zbysiński, EP
piotr.zbysinski@ep.com.pl

FPGA – co trzeba o nich wiedzieć – tip #12

Większe zespoły pamięci utworzonych na bazie rozproszonych LUT (w CLB) mają gorsze parametry czasowe niż pamięci BlockRAM. Należy pamiętać o tym w przypadku, gdy projekt zaimplementowany w FPGA jest taktowany sygnałem zegarowym o częstotliwości bliskiej maksymalnej, dopuszczalnej dla danego układu.

konfiguracje pojedynczego bloku BlockRAM: 16 k x 1, 8 k x 2, 4 k x 4, 2 k x 8, 2 k x 9, 1 k x 16, 1 k x 18, 512 x 32, 512 x 36, 256 x 72 (tylko w trybie single-port). Jak można zauważyć, oprócz typowych, „dwójko-

FPGA – co trzeba o nich wiedzieć – tip #11

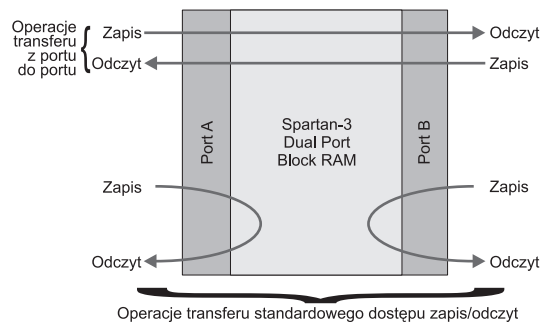
Możliwości konfiguracji pamięci BlockRAM wbudowanych w układy Spartan 3 są bardzo duże. Czytelników zainteresowanych poznanie szczegółów zachęcamy do zapoznania się z notą katalogową XAPP463 firmy Xilinx, w której opisano je wszystkie bardzo szczegółowo.

```

(dla kolejnych 16 komórek):
INIT_00 => X"1100100
0110000110000110111101
111"
    
```

Pamięć, której zawartość nie jest inicjowana przez użytkownika, po włączeniu zasilania zawiera same „0”.

Warto pamiętać, że w układach Spartan 3 użytkownicy mają do dyspozycji – poza zespołami BlockRAM – także małe zespoły pamięci rozproszone w blokach CLB (alter-



Rys. 25. Możliwe tryby pracy pamięci implementowanych w BlockRAM