

Język Verilog w przykładach (4)

Modulacja szerokości impulsów



W tej części kursu zaprezentujemy układ modulacji szerokości impulsów (PWM – pulse width modulation). Zmieniany jest czas trwania impulsu przy zachowaniu takich samych odstępów czasu między zboczami narastającymi (czy opadającymi), czyli zmieniany jest współczynnik wypełnienia przebiegu prostokątnego, przy zachowaniu stałej częstotliwości powtarzania.

Do modulowania szerokości impulsów wyjściowych zastosowano metodę z licznikiem binarnym liczącym w górę. Od okresu zerowania tego licznika zależy częstotliwość powtarzania impulsów na wyjściu modulatora. W zależności od aktualnej zawartości licznika oraz wartości progu (sygnału modulującego) ustawiany jest odpowiedni stan na wyjściu modulatora – zmienia się zatem współczynnik wypełnienia sygnału wyjściowego. Jeśli zawartość licznika nie przekracza wartości progu, to na wyjściu jest wysoki poziom napięcia. Przebieg zmodulowanego sygnału wyjściowego zależy właśnie od wartości tego progu. Na **rys. 14** zilustrowano zasadę działania takiego modula-

tora z użyciem sygnałów analogowych i komparatora, przedstawiając zmianę zawartości licznika sygnałem piłokształtnym, a wyjściowy sygnał modulujący sygnałem liniowym.

Modulacja PWM jest stosowana głównie w układach mocy i wzmacniaczach klasy D, w których moc jest dostarczana do odbiornika impulsowo, co umożliwia kontrolę jej wartości średniej. Dzięki temu element aktywny (tranzystor) nie pracuje w zakresie liniowym – jest albo włączony, albo wyłączony – wskutek czego uzyskuje się znaczne zwiększenie sprawności energetycznej układu.

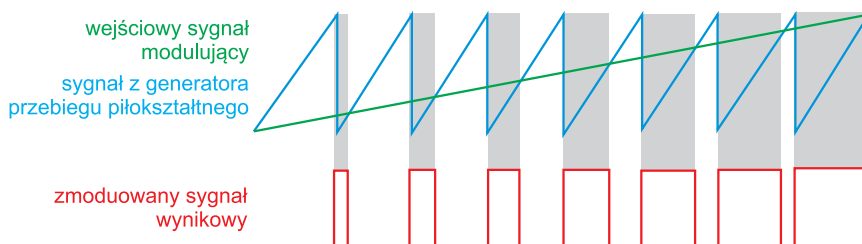
W oparciu o sygnały cyfrowe o modulowanym wypełnieniu (PWM) może być reali-

zowane wytwarzanie sygnału analogowego. Przy użyciu układu całkującego można zbudować prosty przetwornik cyfrowo-analogowy. Oczywiście jego jakość nie będzie wysoka (szczególnie parametr SFDR), ale jest to dobre rozwiązanie do prostych aplikacji, np. w zabawkach, automatycznych sekretarkach itp. Parametr *SFDR* (*Spurious Free Dynamic Range*) charakteryzuje widmo częstotliwościowe sygnału wytwarzanego przez przetworniki. Określa użyteczny zakres dynamiczny przetwornika, dla którego amplituda niepożądanego składowego częstotliwościowego nie przekracza amplitudy sygnału generowanego.

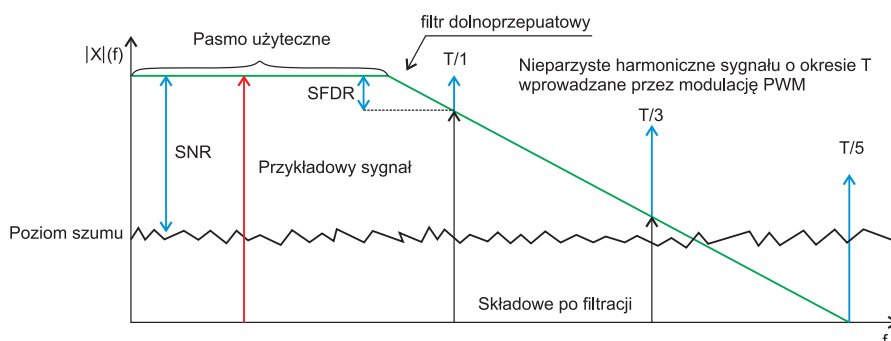
Ze stałości okresu przebiegu prostokątnego wynika, że w jego widmie wystąpi sygnał składowy o częstotliwości podstawowej przebiegu oraz wyższe, nieparzyste harmoniczne (**rys. 15**). Aby nie dopuścić do wystąpienia w wyjściowym sygnale składowej podstawowej o częstotliwości równej odwrotności okresu podstawowego, należy zadbać o jej odfiltrowanie. W tym celu można zastosować odpowiednio „stromy” (wielobiegunowy) filtr dolnoprzepustowy albo prosty (jednobiegunowy) filtr RC, przy jednoczesnym zwiększeniu częstotliwości podstawowej modulatora.

Należy zauważyć, że w aplikacji regulowania mocy dostarczanej do odbiornika, którego stała czasowa jest na tyle duża, aby jego pasmo można uznać za znacznie węższe niż częstotliwość podstawowa generatora piłokształtnego, stosowanie elementów filtrujących nie jest konieczne.

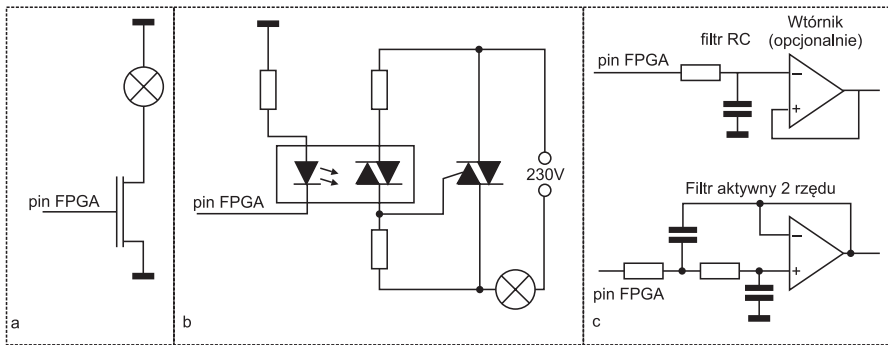
Wybór elementu przełączającego zależy od mocy odbiornika. Najczęściej stosowany jest odpowiedni tranzystor (jego dobór zależy od mocy urządzenia). Jeśli prąd wymagany przez odbiornik nie przekracza prądu dopuszczalnego dla pinu FPGA, to można sterować taki odbiornik bezpośrednio z wyprowadzenia układu, jednak zawsze bezpieczniej jest zastosować tranzystor (**rys. 16a**). W przypadku sterowania elementami zasilanymi z sieci energetycznej (przy-



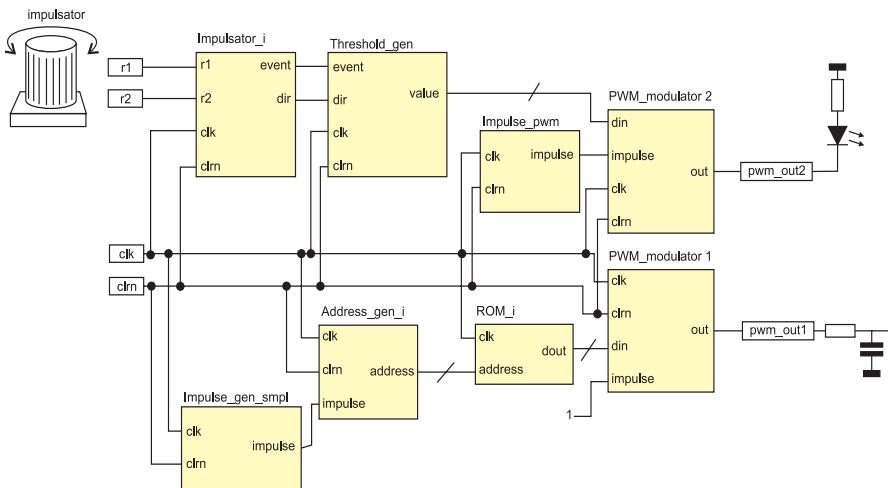
Rys. 14. Modulacja szerokości impulsów (PWM)



Rys. 15. Widmo zmodulowanego sygnału oraz problematyka filtracji niepożądanych składowych



Rys. 16. Sposoby sterowania odbiornikami przez modulator PWM: a) tranzystor typu nMOS, b) triak i optotriak, c) funkcja przetwornika C/A



Rys. 17. Struktura projektu

kładowo: grzejnik lub żarówka) można zastosować układ z optotriakiem zapewniającym izolację galwaniczną z opcjonalnym triakiem dużej mocy (rys. 16b).

Jeśli jednak pasmo odbiornika jest porównywalne z częstotliwością powtarzania przebiegu, wtedy należy zastosować filtr dolnoprzepustowy, którego zadaniem jest usunięcie z widma sygnału wyjściowego składowych harmonicznych. Na rys. 16c przedstawiono użycie pasywnego filtra RC. Zastawianie wtórnika jest opcjonalne – obniża on rezystancję wyjściową układu, a więc eliminuje wpływ obciążenia na poziom generowanego sygnału. Opcjonalnie można użyć aktywnego filtra drugiego rzędu, zbudowanego w oparciu o wzmacniacz operacyjny.

W tej części kursu opiszemy uniwersalny blok modulatora PWM oraz jego użycie w dwóch aplikacjach. W pierwszej, umożliwiającej sterowanie mocą dostarczaną do odbiornika (w tym przypadku jest to dioda LED, ale stosując dodatkowe elementy aktywne można regulować moc dostarczaną do dowolnego odbiornika, np. grzejnika). Czas trwania impulsu, a więc i dostarczana moc, może być regulowany pokrętem impulsatora.

Drugą aplikacją jest prosty przetwornik cyfrowo-analogowy odtwarzający zapisane w pamięci próbki sygnału. Obydwa przykładowe układy zostały zrealizowane na płycie uruchomieniowej (HW-SPAR3E-SK-UNI-G) z układem FPGA Spartan 3E firmy Xilinx. Po wprowadzeniu niewielkich modyfikacji do opisu projektu dołączonego do tego artyku-

łu, jest możliwe jego uruchomienie na każdej płycie ewaluacyjnej dla FPGA.

Opiszemy zatem blok modulatora PWM w języku Verilog (list. 21). Aby uczynić ten moduł bardziej uniwersalnym, sparametryzujemy liczbę bitów słowa wejściowego, a więc sygnału modulowanego (parametr *dlength*). Ten parametr określa liczbę bitów licznika *accumulator*. W stanie resetu (*!clrn*) zarówno licznik, jak i rejestr reprezentujący stan wyjścia (*out*) są zerowane. Moduł jest wrażliwy na stan wejścia *impulse*. Dzięki niemu możliwe jest odpowiednie przeskalowanie czasowe działania algorytmu. A zatem zawsze wtedy, gdy na wejściu *impulse* jest poziom wysoki i wystąpi narastające zbocze zegara, modyfikowana jest zawartość akumulatora oraz uaktualniany jest stan rejestru wyjściowego *out*. Jeśli wartość w akumulatorze jest mniejsza od wartości na wejściu danych *din*, to wyjście jest na poziomie wysokim.

Używając modulatora PWM do regulowania mocy dostarczanej do odbiornika, należy brać pod uwagę dwa czynniki: pasmo odbiornika i właściwości klucza przełączającego. Częstotliwość modulatora powinna być na tyle duża, aby pasmo odbiornika zapewniło odpowiednie jej tłumienie. Przykładowo, dla grzejnika może to być kilka, kilkanaście herców, ale dla żarówki nie, bo zauważymy wówczas migotanie światła.

Należy jednak pamiętać, że tranzystory mocy mają znaczne czasy załączania i wyłączenia, podobnie jak triaki, tyrystory itd. Przy zbyt dużej częstotliwości przełączania następuje zwiększenie strat ciepłych w elementach wykonawczych – jest to bardzo istotny czynnik ograniczający od góry efektywne pasmo.

Załóżmy, że odbiornikiem jest nasze oko pobudzone diodą LED. Przyjmijmy, że powyżej 150 Hz oko tłumí zmienne sygnały w wystarczającym stopniu, a interesująca nas rozdzielczość to 8 bitów. Licznik w bloku PWM powinien więc w czasie ok. $1/150 = 6,66$ ms odliczyć 256 impulsów. Należy więc opisać w Verilogu generator impulsów skalujących, wytwarzający impuls raz na ok. $6,66/256$ ms, a więc co 26 μ s. Licznik generatora powinien zliczać do 1300 (dla zegara 50 MHz). Sygnał modulujący jest zadawany również z licznika (8-bitowego), którego zawartość jest inkrementowana lub dekrementowana w zależności od kierunku obrotu impulsatora. Strukturę tego fragmentu projektu przedstawiono w górnej części rys. 17.

W drugiej, znacznie bardziej interesującej aplikacji realizujemy prosty przetwornik cyfrowo-analogowy, oparty na modulatorze PWM. Próbki są odtwarzane z pamięci wbudowanej w FPGA. Załóżmy, że interesowałoby nas pasmo do 5 kHz. Częstotliwość generowania adresu dla pamięci wynosiłaby więc 10 kHz. W FPGA Spartan 3E XC3s500 moż-

List. 21 Modulator PWM

```

module pwm_modulator
#(parameter dlength=8)
  (clk, clrn, out, din, impulse);
input clk, clrn, impulse;
output reg out;
input [dlength-1:0] din;

reg [dlength-1:0] accumulator;

always@(posedge clk or negedge clrn)
  if (!clrn) begin
    accumulator <= {dlength{1'b0}}; //reset akumulatora
    out <= 1'b0; //reset wyjścia
  end else begin
    accumulator <= accumulator + 1'b1; //inkrementacja
    out <= (accumulator <= din); //wysterowanie wyjścia
  end
endmodule

```



Rys. 18. Sposób ustalania rozdzielczości z zachowaniem maksymalnej dynamiki

List. 22 Przykładowy plik *.coe definiujący zawartość pamięci

```
memory_initialization_radix=16;
memory_initialization_vector=
ff,
fe,
fd,
fc;
```

liwie jest skonfigurowanie blokowej pamięci RAM (*block RAM*) w pamięć ROM o słowach 8-bitowych i pojemności 40000 próbek, co przy przyjętej częstotliwości próbkowania daje okres powtarzania 4 sekundy.

Zgodnie z rys. 4.2c, bezpośrednio do wprowadzenia FPGA, które jest wyjściowym modulatora PWM, podłączony jest pasywny filtr dolnoprzepustowy RC pierwszego rzędu, zaprojektowany tak, aby jego pasmo 3-decybelowe wynosiło 5 kHz ($RC=1/(2\pi f)$), które uzyskuje się dla $R=1\text{ k}\Omega$, $C=0,031\text{ }\mu\text{F}$). Filtr taki zapewnia tłumienie rzędu 20 dB/dekadę. Aby zatem zapewnić tłumienie podstawowej harmonicznej na poziomie ok. 40 dB, należy zagwarantować, aby znalazła się ona dwie dekady powyżej 5 kHz, a więc wynosiła ok. 500 kHz. Uzyskanie takiego okresu przy 8-bitowym liczniku i zegarze 50 MHz jest niestety niemożliwe (bez mnożenia częstotliwości zegara). Zastosujemy zatem najszybszy licznik, jaki jest możliwy. Wynikiem będzie sygnał uzyskany przez odliczanie 256 okresów zegara taktującego FPGA, a więc sygnał o częstotliwości 195 kHz (dla $f_{\text{clk}}=50\text{ MHz}$). Dla tej częstotliwości tłumienie wyniesie ok. 32 dB, co możemy przyjąć jako akceptowalne. Wartość tłumienia w tym przypadku oblicza się ze wzoru:

$$X(f) = -10\log(1 + 2\pi fRC)^2$$

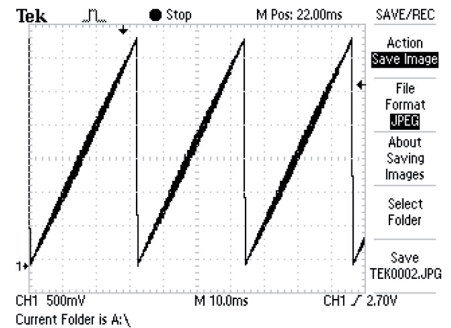
W kolejnym kroku należy opisać pamięć ROM, która zostanie załadowana próbkami. Można ją opisać „ręcznie”, definiując każdą komórkę w kodzie (w tym rozwiązaniu warto sięgnąć do któregoś z języków skryptowych, aby wykonał tę pracę za nas) lub skorzystać z automatycznego generatora modułów, dostępnego w większości narzędzi dla FPGA

różnych producentów (np. Core Generator w Xilinx ISE). Wykorzystajmy w tym przykładzie drugi ze sposobów, ponieważ jego użycie jest najszybsze. Do projektu dodajmy nowy plik, wybierając *Core Generator* za źródło. Spośród dostępnych modułów wybierzmy jednoportową pamięć ROM (*single port ROM*). Sprecyzujmy jej parametry: $width=8$, $length=40000$. Najważniejsze jest sprecyzowanie jej zawartości. W tym celu użyjemy pliku typu *.coe. Jest to tekstowy format pliku, łatwy do przygotowania w każdym języku programowania. Na list. 22 przedstawiono przykładową zawartość takiego pliku określającego elementy 4-bajtowej pamięci, przy czym kodowanie liczb jest szesnastkowe (co określa parametr *radix*).

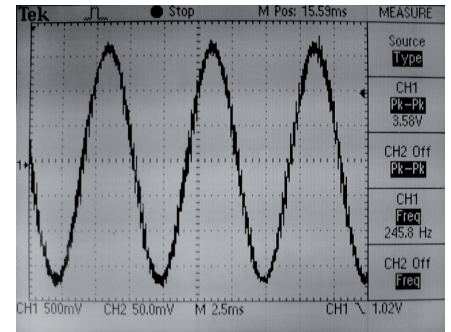
Teraz należy przygotować próbki sygnału, który może być odtwarzany. Możemy zsyntezować go sami, tworząc np. sinusoidę o narastającej częstotliwości, sygnał poliharmoniczny lub wczytać np. z plików muzycznych. Ułatwiają to znacznie pliki w formacie WAV. Są one stosunkowo łatwe do odczytania i manipulacji przez większość języków programowania. Po odfiltrowaniu antyaliasingowym kolejnym etapem jest skalowanie rozdzielczości bitowej. Sygnał źródłowy będzie miał zapewne co najmniej 16-bitową rozdzielczość. Aby bezpiecznie przeskalować taki sygnał do naszych 8 bitów, uzyskując przy tym maksymalną dynamikę, należy odnaleźć we fragmencie przebiegu, który ma być odtwarzany, próbkę o największej amplitudzie, dopiero na tej podstawie wybrać odpowiednie 8 bitów z sygnału (rys. 18).

Na rys. 19 zamieszczono oscyloskopowy obraz przebiegu piłokształtnego o częstotliwości 31 Hz odtwarzanego przy zastosowaniu tej metody. Można zauważyć nieidealne tłumienie składowych modulacji.

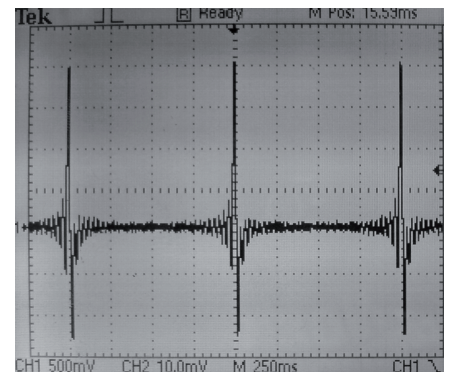
Do artykułu dołączone zostały trzy wersje projektu ISE różniące się zawartością pamięci ROM (płyta CD). Są to: przebieg sinusoidalny z narastającą częstotliwością (od 50 do 500 Hz) oraz impuls typu sinc generowa-



Rys. 19. Oscyloskopowy obraz sygnałów za filtrem RC – przebieg piłokształtny



Rys. 20. Fragment przebiegu z narastającą częstotliwością



Rys. 21. Impulsy typu sinc

ny co 1 sekundę. Dołączone zostały również pliki *.coe dla każdej z tych pamięci. Na rys. 20 i rys. 21 zamieszczono oscyloskopowe obrazy uzyskanych przebiegów.

Krzysztof Kasiński
 krzysztof.kasinski@o2.pl
<http://home.agh.edu.pl/kasinski>

Literatura:

- [1] A. Palacherla. *Using PWM to Generate Analog Output. Microchip Technology An538 note.*
- [2] J. Garcia, S. G. LaJeunesse, D. Bartov. *Measuring Spurious Free Dynamic Range in D/A Converter. Intersil technical brief TB326 1995.*