



300 (AKA: Frank Miller's 300) Warner Bros. Pictures, 2006 r.

Spartan 6

Nowa generacja ekonomicznych FPGA



Ta historia zaczęła się w 1984 roku. Wtedy to dwóch inżynierów (Bernard Vonderschmitt – długoletni pracownik RCA i Ziloga oraz Ross Freeman) oraz spec od marketingu (Jim Barnett) uruchomiło nową na rynku firmę – Xilinx – której jedyny produkt i strategia działania stały się motorem rynkowego przełomu.

W ostatnich tygodniach ogłoszono, że osiągnięcia Rossa Freemana zostaną uhonorowane w dniu 2.05.2009 tytułem National Inventors Hall of Fame 2009, gdzie znalazł on poczesne miejsce pomiędzy innymi 405 sławami, wśród których znajdują się m.in.: Gordon Moore, Robert Widlar, Gordon Teal oraz Martin M. Atalla.



Regularne wprowadzanie nowości do swoich ofert przez producentów podzespołów elektronicznych jest obecnie tak oczywiste jak sezonowe wyprzedaże w sklepach z ubraniami. Dotyczy to także producentów układów programowalnych, którzy wraz z producentami (m.in. Intel, AMD) zaawansowanych mikroprocesorów nieco „poganiają” technologów, od których

w głównej mierze zależą: ceny układów nowych generacji i dostępne w nich zasoby.

W połowie lutego 2009 Xilinx wprowadził do swojej oferty dwie nowe rodziny FPGA: Virtex 6 i Spartan 6, z których – z przyczyn czysto praktycznych (cena i realne możliwości aplikacyjne) – bardziej dla nas interesująca jest rodzina Spartan 6. Tym właśnie układom poświęcamy artykuł.

Wojownicy końca XX wieku

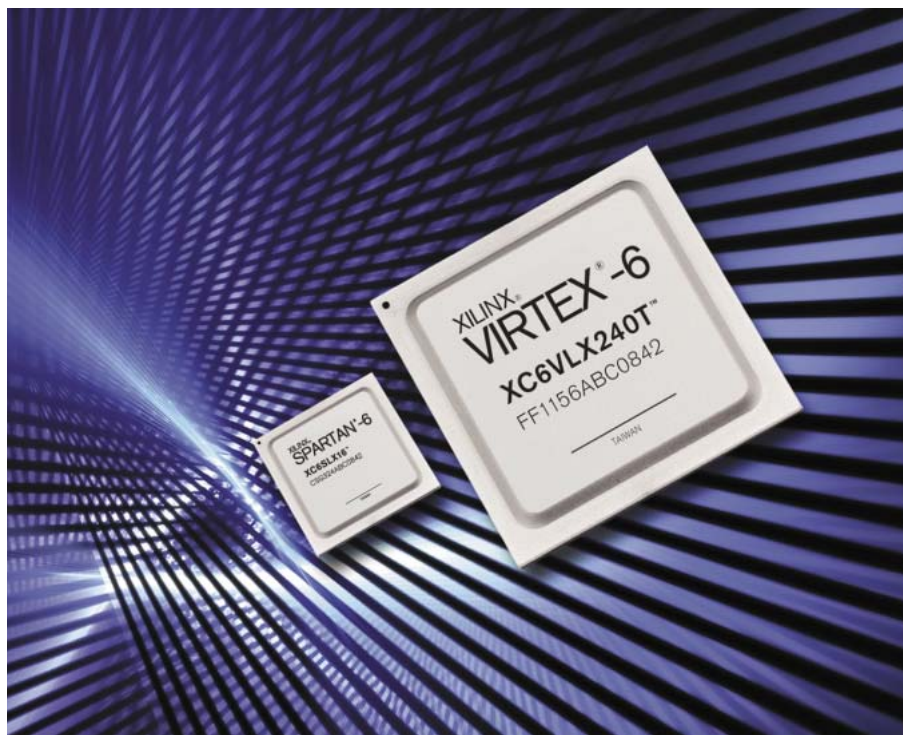
Układy FPGA z pierwszej generacji rodziny Spartan pojawiły się na rynku w 1998 roku. Swoją wojowniczą nazwą układy te sygnalizowały radykalną zmianę podejścia producentów układów programowalnych: oferowane przez nie zasoby logiczne uległy znacznemu powiększeniu a cena – choć nadal relatywnie wysoka – zaczęła się zbliżać

do oczekiwań konstruktorów. Zasilane napięciem 5 V układy Spartan dość szybko zostały wsparte niskonapięciowymi Spartanami XL, a już w roku 2003 do sprzedaży trafiły układy z rodziny Spartan 3. Były one produkowane w zaawansowanej technologii o wymiarze charakterystycznym 90 nm, co zaowocowało dalszym powiększeniem ich zasobów logicznych, a także sympatycznym dla kieszeni konstruktorów tytułem „world’s lowest cost FPGA”. Był to moment, kiedy FPGA naprawdę trafiły pod strzechy, a buńczucznie sprowokowana przez firmę Xilinx „wojna” na rynku FPGA spowodowała utrwalenie trendu: coraz większe zasoby w coraz szybszym układzie FPGA za coraz niższą cenę.

Spartan z początku wieku XXI

Rodzina Spartan 3 – sztandarowa w ofercie firmy Xilinx na rynku „popularnych” FPGA – była stopniowo rozwijana, a nowe podrodziny udoskonalano na różne sposoby, optymalizując ich budowę i cechy użytkowe pod kątem różnych aplikacji. W ten sposób powstały – poza *mainstreamowymi* układami Spartan 3A – także układy wyposażone w wewnętrzną nieulotną pamięć konfiguracji (Spartan 3AN), układy przystosowane do realizacji zaawansowanych zadań DSP (Spartan 3A DSP), czy też układy przystosowane konstrukcyjnie do implementowania systemów wymagających ponadprzeciętnie dużych zasobów logicznych przy zachowaniu niskiej ceny układów (Spartan 3E).

Doświadczenia zebrane podczas opracowywania układów Spartan 3, a także sugestie i opinie inżynierów korzystających z tych układów w swoich opracowaniach, konstruktorzy firmy Xilinx wykorzystali podczas opracowywania ukła-



dów z rodziny Spartan 6, których produkcję firma Xilinx inicjuje w dojrzałej już technologii 45 nm.

Producent planuje wprowadzenie do produkcji 11 typów nowych układów (oferujących konstruktorom od 526 do 23040 komórek logicznych *slices* o zmodyfikowanej w stosunku do poprzedników budowie), dostępnych w dwóch grupach:

- Spartan-6 LX – układy uniwersalne,
- Spartan-6 LXT – układy wyposażone w szybkie interfejsy szeregowo GTP oraz sprzętowy interfejs PCI Express.

Zestawienie podstawowych parametrów układów Spartan 6 znajduje się w **tab. 1**. Można w niej zauważyć kolumnę „kontrolery pamięci

Śmiały pomysł, ponadczasowy skutek

Pomysł Rossa Freemana na firmę był podwójnie nowatorski: nie dość, że wymyślił pierwszy na świecie konfigurowalny układ scalony, to zamierzał go produkować nie posiadając fabryki struktur półprzewodnikowych... Szybko okazało się (jest to jedna z głównych zasług Jima Barnetta), że współpraca z doświadczonymi producentami półprzewodników jest realnie możliwa, w wyniku czego po 1985 roku powstało wiele firm (ich liczbę w USA szacuje się na 900), które zajmują się opracowywaniem nowych układów scalonych nie poświęcając uwagi temu, jak je wyprodukować. Idea firm *fabeless* jest drugim wielkim osiągnięciem Rossa Freemana, którego pozytywne konsekwencje odczuwamy do dziś.

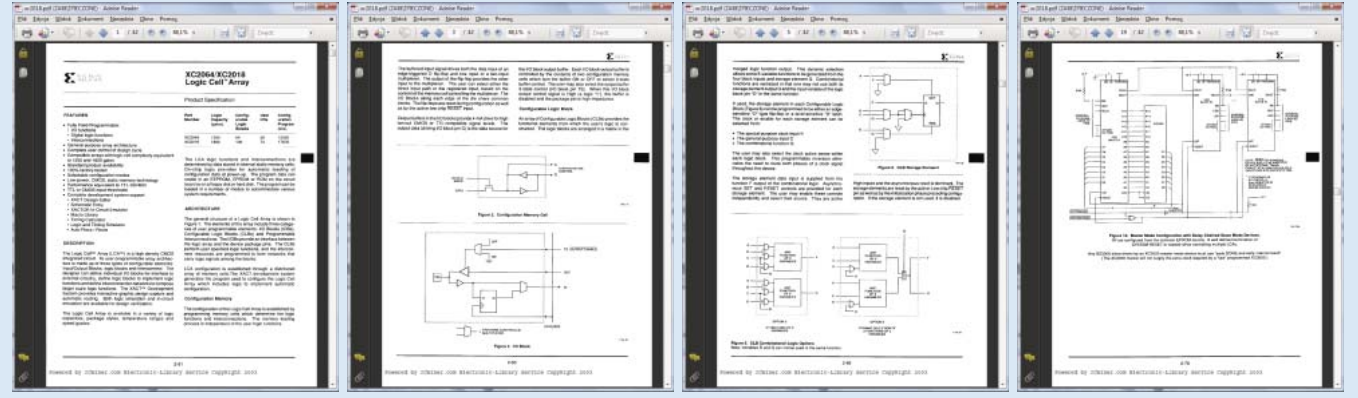
Tab. 1. Zestawienie podstawowych parametrów układów z rodziny Spartan 6

| Typ | Liczba slice | Pojemność rozproszonej pamięci SRAM [kb] | Liczba bloków DSP48A1 | Pojemność pamięci BlockRAM [kb] | Liczba CMT | Kontrolery pamięci zewnętrznej | Endpointy interfejsu PCI Express | Kanały GTP | Liczba banków I/O | Liczba I/O | Obudowa |
|------------|--------------|--|-----------------------|---------------------------------|------------|--------------------------------|----------------------------------|------------|-------------------|------------|--------------------------------|
| XC6SLX4 | 526 | 32 | 4 | 144 | 1 | 0 | - | - | 4 | 120 | TQ144, CSG225 |
| XC6SLX9 | 1422 | 90 | 16 | 576 | 2 | 2 | - | - | 4 | 200 | TQ144, CSG225 |
| XC6SLX16 | 2278 | 136 | 32 | 576 | 2 | 2 | - | - | 4 | 232 | CSG225, FTG256, CSG324 |
| XC6SLX25 | 3714 | 228 | 38 | 936 | 2 | 2 | - | - | 4 | 264 | CSG225, FTG256, CSG324, FGG484 |
| XC6SLX45 | 6790 | 401 | 58 | 2088 | 4 | 2 | - | - | 4 | 370 | FGG484, FGG676 |
| XC6SLX100 | 15782 | 975 | 182 | 4824 | 6 | 4 | - | - | 6 | 498 | FGG484, FGG676 |
| XC6SLX150 | 23040 | 1358 | 182 | 4824 | 6 | 4 | - | - | 6 | 498 | FGG484, FGG676 |
| XC6SLX25T | 3714 | 228 | 38 | 936 | 2 | 2 | 1 | 2 | 4 | 264 | CSG324, FGG484 |
| XC6SLX45T | 6790 | 401 | 58 | 2088 | 4 | 2 | 1 | 4 | 4 | 370 | CSG324, FGG484, FGG676 |
| XC6SLX100T | 15782 | 975 | 182 | 4824 | 6 | 4 | 1 | 8 | 6 | 396 | FGG484, FGG676 |
| XC6SLX150T | 23040 | 1358 | 182 | 4824 | 6 | 4 | 1 | 8 | 6 | 396 | FGG484, FGG676 |

Początki

Patent (numer USA4870302) opisujący koncepcję budowy układów FPGA – opracowaną przez Rossa Freemana – firma Xilinx uzyskała w roku 1989. W tym roku tragicznie zginął twórca koncepcji FPGA i współzałożyciel firmy. Tytuł zgłoszenia „Configurable electrical circuit having configurable logic elements and configurable interconnects” dokładnie oddaje ideę konstrukcyjną FPGA, która niezmiennie obowiązuje do dziś. Niewiele idei – zwłaszcza w elektronice – było i jest tak trwałych. W wyniku pierwszych prac konstrukcyjnych powstały dwa pierwsze układy FPGA (wtedy nazywane LCA – Logic Cell Array): XC2064 (odpowiednik 1200 bramek logicznych, wewnątrz 122 przerzutniki, wprowadzone do produkcji w 1985 roku) i XC2018 (wbrew współczesnym konwencjom oznaczeniowym układ ten oferował większe zasoby logiczne: 1800 przeliczeniowych bramek logicznych, 174 przerzutniki).

Pomimo mizernych – z dzisiejszego punktu widzenia – zasobów logicznych, w układach XC2000 zastosowano nowatorską architekturę opartą na konfigurowalnych, 4-wejściowych tablicach LUT (*Look-up Table*), w których zaimplementowano zasoby logiczne umożliwiające realizację wielu ich funkcji logicznych (kombinacyjnych i synchronicznych, dzięki wykorzystaniu przerzutników typu D). Rozwój technologii produkcji struktur półprzewodnikowych spowodował zwiększenie liczby komórek logicznych na jednostkę powierzchni, ale koncepcja LUT bez większych zmian jest stosowana w układach FPGA oferowanych przez różnych producentów.



zewnętrznej”, które są jedną z nowości zaimplementowanych w tych układach. Za pomocą tych kontrolerów można dołączyć do układów Spartan 6 zewnętrzne pamięci DRAM (także DDR w wersjach 1, 2 i 3 oraz MobileDDR) taktowane sygnałem zegarowym o częstotliwości do 400 MHz. Kontrolery mogą współpracować z pamięciami o szerokości magistrali danych 4, 8 lub 16 bitów. W układach Spartan 6 zawierających kilka kontrolerów ścieżki danych można łączyć, dzięki czemu całkowita szerokość magistrali danych może wynosić 128 bitów. Kontrolery pamięci są zaimplementowane niezależnie od konfigurowalnych zasobów logicznych i dołączone do ustalonych przez producenta wyprowadzeń I/O.

Podobnie jak w starszych układach z serii Spartan, architektura Spartanów 6 jest także oparta na konfigurowalnych komórkach logicznych zwanych *slice*. Są ich trzy typy:

- najbardziej rozbudowane funkcjonalnie SLICEM (jest 25% liczby dostępnych), które można skonfigurować m.in. jako pamięć, 32-bitowy rejestr przesuwany lub dwa 16-bitowe rejestry przesuwne, wyposażono je także w szybką ścieżkę do propagacji przeniesień wykorzystywaną podczas obliczeń arytmetycznych,
- nieco prostsze – SLICEL (jest ich także 25% liczby dostępnych) – pozbawione możliwości pracy jako rejestry przesuwne lub pamięć rozproszona,
- najprostsze – SLICEX (jest ich 50% liczby wszystkich dostępnych) – których dodatkowo pozbawiono linii szybkich przeniesień. We wszystkich *slice*ach zastosowano bloki LUT, które można skonfigurować do ope-

racji na 6 zmiennych wejściowych lub jako dwie niezależne, 5-wejściowe LUT.

Standardowym wyposażeniem układów Spartan 6 są wydzielone z uniwersalnych, konfigurowalnych zasobów logicznych, bloki wspomagające realizację obliczeń DSP (*slice* o nazwie DSP48A1). W jego skład wchodzi synchroniczny multiplikator 18×18 bitów, 48-bitowy akumulator (można go wykorzystać jako licznik góra/dół) – obydwa elementy mogą być taktowane z częstotliwością do 250 MHz. Istotnym elementem bloku DSP48A1 jest *pre-adder* będący niezbędną częścią filtrów cyfrowych, których implementację ułatwiają także mechanizmy kaskadowego łączenia *slice*ów w większe „organizmy”. W skład standardowego wyposażenia należy także niepowtarzalna sygnatura układu (Digital DNA), którą można wykorzystać do identyfikacji układu (lub urządzenia, w którym układ zastosowano) lub zabezpieczenia pliku konfiguracyjnego przed nieuprawnionym kopiowaniem.

Układy z serii Spartan 6-LXT wyposażono w mostek (właściwie sam *endpoint*) PCI Express oraz transceivery GTP służące do realizacji bardzo szybkiej (do 3,125 Gb/s przy maksymalnej częstotliwości przesyłania danych przez standardowe linie I/O nie przekraczającej 1050 Mb/s), lokalnej transmisji danych. Pozostałe wyposażenie tych układów jest identyczne z zastosowanym w układach serii Spartan 6-LX.

Wspólną, szczególnie „dopieczoną” cechą układów Spartan 6 jest ograniczenie poboru pobieranej mocy. Żeby ułatwić realizację tego zadania, rdzeń układów jest zasilany napięciem 1,2 V (a nawet 1,0 V w wersji -1L), a linie I/O są zasilane niezależnym napięciem o wartości do 3,3 V.

Układy Spartan 6 wyposażono w aktywowany sprzętowo tryb hibernacji „zero power”, a także tryb uśpienia, z którego układ może być wybudzany za pomocą wybranych wyprowadzeń.

Konstruktorzy rodziny Spartan 6 dużo pracy włożyli w rozbudowę systemu taktowania, tym razem opartego na blokach CMT (*Clock Management Tile*), w których – znane z wcześniejszych rozwiązań – bloki DCM są zaledwie jednym z elementów toru generacji sygnałów zegarowych.

Ostatnią sprawą, na którą chcemy zwrócić uwagę potencjalnych użytkowników układów Spartan 6 jest zastosowany w nich rozbudowany system autokonfiguracji, dzięki czemu do przechowywania binarnych plików z opisem konfiguracji można wykorzystywać popularne pamięci Flash z interfejsem SPI, pamięci NOR Flash, a także wyspecjalizowane konfiguratory. System autokonfiguracji jest przystosowany do obsługi wielu kontekstów (MultiBoot), dzięki czemu użytkownik może bezproblemowo modyfikować konfigurację układów podczas pracy.

Podsumowanie

Układy Spartan 6 trudno zaliczyć do gatunku rozwiązań przełomowych na rynku FPGA, ale – przy założeniu, że ich ceny będą konkurencyjne w stosunku do wcześniejszych wersji układów Spartan – mają one szansę być atrakcyjnym „kolejnym krokiem” w rozwoju rodziny. Jak tylko (faktycznie) pojawią się na rynku, sprawdzimy czy obietnice producenta są bliskie rzeczywistości, a wyniki badań i wynikające z tego wnioski przedstawimy Czytelnikom.

Piotr Zbysiński, EP
piotr.zbysinski@ep.com.pl