

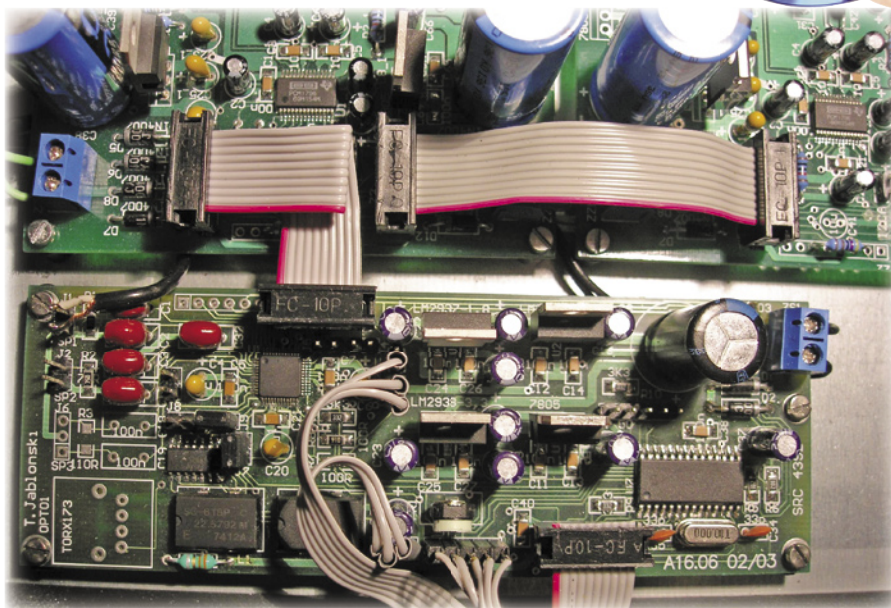
# Konwerter częstotliwości próbkowania



„...a ja sobie gram na gramofonie, trali, tra la, la, la...” śpiewał kiedyś Mieczysław Fogg, a jego głos wydobywający się z czarnej płyty urzekał swoją niedoskonałością. Dziś takie nagrania są obrabiane cyfrowo na wszystkie sposoby w studiach, a nawet na komputerach domowych. Pewnym utrudnieniem są przy tym stosowane w spotykanych systemach różne częstotliwości próbkowania dźwięku. Konwerter rozwiązuje nie tylko ten problem, ale również poprawia jakość dźwięku.

## Rekomendacje:

urządzenie dedykujemy audiofilom i wszystkim miłośnikom dobrego brzmienia.



Trwa wojna pomiędzy zwolennikami stosowania techniki cyfrowej lub analogowej do odtwarzania nagrań muzycznych. Obie strony dla poparcia swoich racji wytaczają coraz cięższe argumenty. „Analogowcy” twierdzą, że materiał nagrany na płycie brzmi bardziej naturalnie, i że słucha się go lepiej, niż nagrań wykonanych w technice cyfrowej. Najbardziej radykalni uważają, że ponad 20 lat rozwoju technik cyfrowych to czas stracony, i trzeba było unowocześnić istniejące rozwiązania – na przykład analogowe odczytywanie płyt winylowych promieniem lasera. Jednak technika poszła w kierunku zapisu cyfrowego i tego trendu nie da się odwrócić. Analogowe techniki doskonalone przez wiele lat, nie są już od jakiegoś czasu rozwijane. Stosunkowo niewielka garstka zapaleńców ma do dyspo-

zycji gramofony, wkładki i płyty wyprodukowane w czasach ich świetności. Można je nabyć na przykład w serwisach aukcyjnych z przystępną ceną, ale ich stan techniczny, mimo iż do zaakceptowania, to nie jest idealny, a z czasem będzie się pogarszał. Dostępne są też nowe, ale ich cena jest zdecydowanie zbyt wysoka dla przeciętnego entuzjasty dobrej muzyki. Podobnie rzecz ma się z magnetofonami i taśmami. Dostanie wysokiej jakości taśmy lub kasety magnetofonowej jest coraz trudniejsze, a nowe nie są produkowane. Wiadac wyraźnie, że „analog” nie ma przyszłości. Być może przetrwa jako technika niszowa, ale koszty uzyskania zadawalającej jakości będą rosły.

Zdecydowanie inaczej ma się sprawa z cyfrowymi metodami rejestracji i odtwarzania dźwięku. Nad ich rozwojem pracują wielkie koncerny i przeznaczają na to niemałe kwoty. Przykładem jest może nie najnowsze, ale uważane przez audiofilów za mogące konkurować z technikami analogowymi, rozwiązanie opracowane przez firmy Sony i Philips nazwane SACD. Nawet w tradycyjnym systemie CD próbuje się poprawić parametry przez zachowanie najwyższej jakości w całym procesie produkcji. Tak powstają płyty nazywane XRCD sygnowane przez japońską firmę JVC. Ciągłej ewolucji technologicznej podlegają też elementy przeznaczone do konwersji cyfrowo-analogowej, czyli do tej części toru, która najbardziej interesuje odbiorcę. Mamy do dyspozycji coraz doskonalsze i tańsze przetworniki cyfrowo-analogowe, odbiorniki S/PDIF, konwertery USB/PCM itp. Za bardzo małe

## AVT-5173

W ofercie AVT:  
AVT-5173A – płytka drukowana

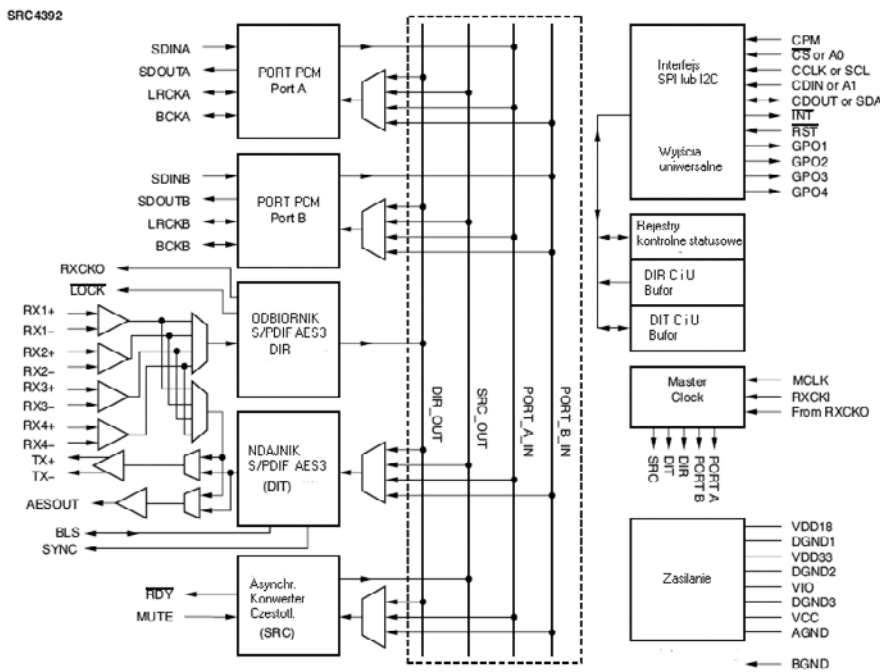
### PODSTAWOWE PARAMETRY

- Płytko o wymiarach (132×47) mm
- Napięcie zasilania 8 VAC, pobór prądu < 0,2 A
- Do współpracy np. z modulem przetwornika C/A z EP 11/2007
- Podwyższanie częstotliwości próbkowania, wyciszanie, regulacja poziomu sygnału wyjściowego
- Galwaniczne i optoizolowane wejścia sygnałów cyfrowych audio



**PROJEKTY POKREWNE** wymienione artykuły są w całości dostępne na CD

Tytuł artykułu	Nr EP/EdW	Kit
Procesor audio z wejściem S/PDIF	EP 3-4/2004	AVT-566
Przetwornik audio analogowo-cyfrowy z wyjściem S/PDIF	EP 4/2005	AVT-384
Audiofilski przetwornik C/A	EP 2/2005	---
Przetwornik A/C z interfejsem ADAT	EP 11-12/2005	AVT-450



Rys. 1. Schemat blokowy SRC4392

pieniądze można kupić też zaawansowane technologicznie układy nazywane konwerterami częstotliwości próbkowania. Taki właśnie układ SRC4392 produkowany w firmie Burr Brown będzie głównym bohaterem tego projektu.

### Częstotliwość próbkowania – trochę teorii

Jednym z dwu podstawowych parametrów kwantyzacji jest częstotliwość próbkowania sygnału analogowego oznaczana jako  $f_s$  (sample frequency). Wartość minimalna częstotliwości (zwana też częstotliwość Nyquista) jest określana przez twierdzenie o próbkowaniu. Zgodnie z nim musi ona być co najmniej dwukrotnie większa od najwyższej częstotliwości składowej sygnału próbkowanego. Sygnały audio są sygnałami o paśmie ograniczonym. Uważa się, że pasmo przenoszenia dla sygnałów wysokiej jakości powinno się rozciągać od 20 Hz do 20 kHz. Zgodnie z twierdzeniem o próbkowaniu dla  $f_{max}=20$  kHz,  $f_s=40$  kHz. Tak byłoby w teorii, ale w praktyce pojawiają się ograniczenia natury technicznej. Mimo, że analogowy sygnał audio powstający w mikrofonie powinien mieć ograniczone pasmo, to jednak w rzeczywistości zawiera składowe o częstotliwościach wyższych niż 20 kHz (na przykład szumy), które należy odfiltrować. W praktyce nie jest jednak możliwe wykonanie filtra dolnoprzepustowego, przepuszczającego sygnał o częstotliwości do 20 kHz, tłumiącego wystarczająco skutecznie wszystkie inne. Dlatego też stosuje się wyższe częstotliwości próbkowania, niż wynika to z  $f_{max}$ . Dla sygnałów akustycznych standardowo stosowane są częstotliwości: 44,1 kHz i 48 kHz.

Aby pozbyć się problemów z analogowymi filtrami dolnoprzepustowymi, na wejściu przetwornika analogowo-cyfrowego stosuje się w czasie konwersji analogowo-cyfrowej nadpróbkowanie i decymację.

Drugim, obok częstotliwości próbkowania, ważnym parametrem sygnału cyfrowego jest długość słowa danych reprezentującego wartość amplitudy sygnału analogowego. W komercyjnych systemach przeznaczonych dla sygnałów wysokiej jakości, długość słowa jest równa co najmniej 16 bitów (np. CD), jednak w systemach próbkowania sygnałów mowy stosowane są słowa 13-bitowe, lub poddane kompresji słowa 8-bitowe. Z długością słowa związany jest szum kwantyzacji ograniczający dynamikę sygnału.

### Układ SRC4392

SRC4392 został zaprojektowany do pracy w profesjonalnym sprzęcie używanym w radiowych i telewizyjnych studiach nadawczych oraz w studiach nagraniowych. Poparciem tej tezy, oprócz zapewnień producenta, są bardzo dobre parametry układu. Np. zakres dynamiki dla sygnału wejściowego o poziomie -60 db wynosi 144 db (oczywiście dla 24-bitowego sygnału), a poziom zniekształceń THD+N dla maksymalnego sygnału wejściowego ma wartość -140 db.

Można sobie zadać pytanie: po co stosować konwerter częstotliwości próbkowania? Częściową odpowiedź uzyskamy po analizie obszaru zastosowań. Jak już wspomniano, stosowane są dwie częstotliwości próbkowania (44,1 kHz i 48 kHz), jednak czasami potrzebne są inne częstotliwości. Na przykład w radiofonii cyfrowej wykorzystuje się  $f_s=32$  kHz. Można też wyobrazić sobie sytuację, gdy dysponujemy tzw. gęstymi formatami, czyli sygnałem próbkowanym z podwójną, lub poczwórną częstotliwością (np. Audio DVD z  $f_s=96$  kHz lub 192 kHz), który potrzebujemy przekonwertować na format zwykłego CD.

Układ SRC4392 może konwertować częstotliwość próbkowania w dół (zmniejszanie), lub w górę (zwiększanie) o dowolny współczynnik. Jedynym ograniczeniem jest to, że częstotliwość wejściowa nie może się różnić od wyjściowej więcej niż 16 razy.

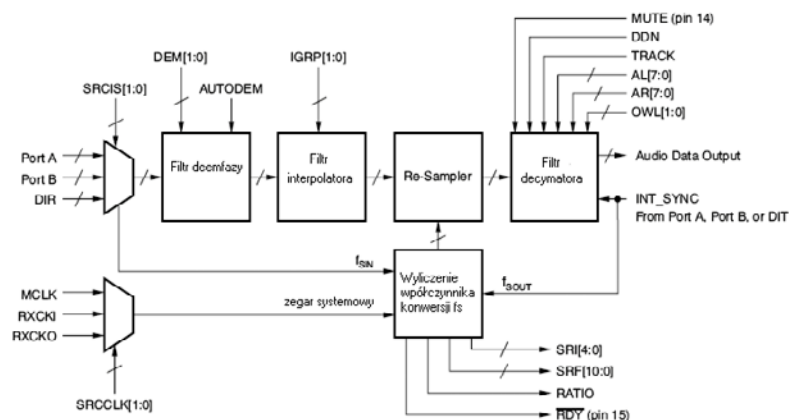
Schemat blokowy SRC4392 pokazano na rys. 1, a jego schemat funkcjonalny na rys. 2. Oprócz głównego bloku SRC układ został wyposażony w dwa dwukierunkowe porty PCM, odbiornik DIR i nadajnik DIT danych S/PDIF AES3 oraz matrycę umożliwiającą programowe połączenia pomiędzy blokami. Pracą całości musi sterować mikrokontroler przez szeregową magistralę I<sup>2</sup>C lub SPI. Producent nie przewidział możliwości pracy w trybie statycznym (bez mikrokontrolera sterującego).

#### Porty PCM

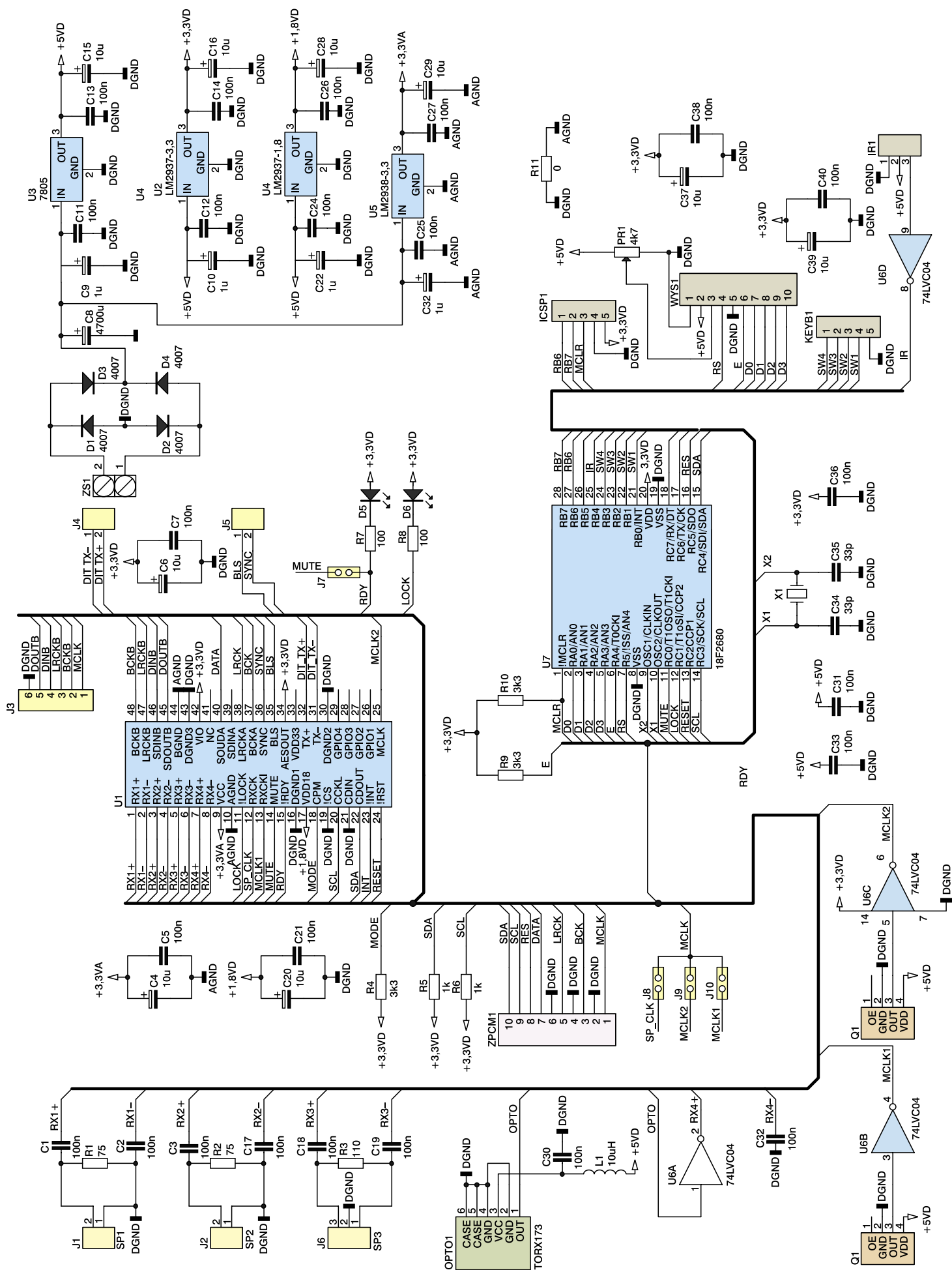
Dwa dwukierunkowe porty PCM są zbudowane z linii danych wejściowych SDINx, danych wyjściowych SDOUTx, sygnału identyfikacji kanałów LRCKx i zegara taktującego przesyłanie danych BCKx. Sygnał zegarowy LRCKx ma częstotliwość równą częstotliwości próbkowania danych wejściowych i wyjściowych portu.

Porty mogą być ustawione jako Master (linie zegarowe są źródłem sygnałów zegarowych po podzieleniu wewnątrz układu częstotliwości zegara systemowego), lub jako Slave (linie zegarowe portu stają się wejściami).

Sygnał na linii BCKx ma najczęściej częstotliwość równą  $64 \times f_s$ . Akceptowane formaty danych to I<sup>2</sup>S *justified left* i *justified right* z danymi o długości słowa do 24 bitów. Zegar systemowy



Rys. 2. Schemat blokowy konwertera SRC



Rys. 3. Schemat modułu z układem SRC4392

może mieć częstotliwości równe następującym wielokrotnościom  $f_s$ : 128, 256, 384, 512.

#### Odbiornik DIR

Odbiornik akceptuje dane standardu konsumenckiego S/PDIF oraz profesjonalnego AES3. Standardy te różnią się parametrami elektrycznymi sygnału wejściowego (amplituda, impedancja źródła, rodzaj sygnału, który może być asymetryczny lub zbalansowany) oraz zawartością kanału kontrolnego.

Na wejściu odbiornika DIR został umieszczony selektor czterech wejść RX1...RX4. Wejście odbiornika akceptuje sygnał standardu RS422 i nie ma potrzeby stosowania dodatkowych konwerterów poziomów. Układ równie dobrze radzi sobie z sygnałami danych S/PDIF ( $\pm 0,5$  V), jak i danymi TTL (CMOS) o amplitudzie +5 V. Dane przesyłane w kanale kontrolnym i w Q-channel zapisywane są w rejestrach SRC4392.

Odbiornik, a przede wszystkim jego port wyjściowy, może być taktowany przebiegiem zegarowym z zewnętrznego generatora kwarcowego o dużej stabilności. Dane wejściowe można próbkować z częstotliwością  $f_s$  od 20 kHz do 216 kHz. Zegar odtworzony ze strumienia wejściowego jest dostępny na wyprowadzeniu RXCKO. Informacja o stanie układów PLL odbiornika jest dostępna na wyprowadzeniu LOCK.

#### Nadajnik DIT

Nadajnik DIT wysyła dane w konsumenckim formacie S/PDIF lub profesjonalnym AES3. Dane przesyłane w kanale kontrolnym muszą być zapisane w rejestrach SRC2394 przez mikrokontroler. Dane wyjściowe o maksymalnej częstotliwości próbkowania 216 kHz przesyłane są równoległe do buforowanego wyjścia TTL i do wzmacniacza ze zbalansowanym wyjściem. Wyjścia wzmacniacza można obciążać uzwojeniem pierwotnym transformatora separującego.

#### Zegar systemowy

Układ SRC4392 ma 2 wejścia zegarowe: MCLK i RXCLK. Zegar podawany na MCLK jest źródłem sygnału taktującego układy konwertera SRC, porty PCM i nadajnik DIT. Może też sterować pracą odbiornika DIR. W układzie odbiornika DIR dostępny jest sygnał zegarowy odtworzony z wejściowego strumienia danych S/PDIF lub AES3 (wyprowadzenie RXCKO). Może on być zegarem systemowym dla pozostałych układów

konwertera częstotliwości, jeżeli nie są używane żadne zewnętrzne źródła sygnału zegarowego.

Częstotliwość zegara systemowego musi być wielokrotnością częstotliwości próbkowania. Standardowo stosowane są mnożniki 128, 256, 384 i 512. Porty PCM potrzebują sygnału zegara systemowego tylko wtedy, gdy pracują w trybie Master. Odbiornik DIR może być taktowany jedną ze standardowych częstotliwości podawanych na wejście RXCLK: 11,2896 MHz ( $44,1$  kHz $\times$ 256); 12,288 MHz (48 kHz $\times$ 256); 22,5792 MHz ( $44,1$  kHz $\times$ 512); lub 24,576 MHz (48 kHz $\times$ 512).

Moduł konwertera częstotliwości próbkowania SRC wymaga taktowania sygnałem o częstotliwości do 27,7 MHz. Nie musi on być skorelowany z częstotliwością próbkowania sygnału wejściowego lub wyjściowego.

#### Konwerter częstotliwości SRC

Wykonuje on konwersję częstotliwości sygnału wejściowego na żadaną częstotliwość próbkowania sygnału wyjściowego. Dane wejściowe i wyjściowe mogą być zsynchronizowane lub nie. Maksymalna częstotliwość próbkowania (tak sygnału wejściowego, jak wyjściowego) to 216 kHz, maksymalna rozdzielczość to 24 bity. Współczynnik konwersji jest automatycznie dobierany przez SRC na podstawie parametrów sygnałów wejściowego i wyjściowego.

Dane do konwersji mogą pochodzić z jednego z trzech źródeł: Portu A, Portu B, odbiornika DIR. W przypadku portów, częstotliwość próbkowania jest określana przez częstotliwość na linii identyfikacji kanałów LRCK. W odbiorniku DIR częstotliwość próbkowania jest wyznaczana przez wewnętrzne układy konwertera. Informacja o częstotliwości próbkowania sygnału wejściowego jest przesyłana jako dana wejściowa do modułu wyliczającego współczynnik konwersji.

Dane wejściowe mogą być poddawane de-emfazie. W większości współczesnych nagrań nie stosuje się de-emfazy, ale SRC4392 jest przeznaczony głównie do zastosowań w sprzęcie profesjonalnym, a tu może ona być konieczna. Ustawienia filtra de-emfazy są wprowadzane przez bity DEM0 i DEM1, ale możliwe (i zalecane) jest wprowadzenie trybu nastaw automatycznych. Po de-emfazie sygnał jest nadpróbkowany w układzie interpolatora. Bity IGRP1

i IGRP0 określają opóźnienie grupowe wyrażane w liczbie próbek (domyślenie 64).

Moduły resamplera i wyliczania współczynnika konwersji są zbudowane w oparciu o cyfrowe pętle samoregulujące (*digital servo loop*). Każdy z modułów ma dwie takie pętle, jedną na wejściu modułu, a drugą na wyjściu. Każda z pętli może pracować w trybie szybkim lub wolnym. Kiedy zostanie wykryta zmiana częstotliwości próbkowania, wprowadzany jest tryb szybki. Po rozpoznaniu parametrów sygnału moduł przechodzi w tryb pracy wolnej, co oznacza, że konwerter wykrył zmianę częstotliwości próbkowania, wyliczył współczynnik konwersji i na wyjście podawany jest sygnał ze zmienioną  $f_s$ . Na wyprowadzeniu !RDY pojawia się stan niski sygnalizujący poprawną pracę konwertera SRC.

W filtr decymatora zostały wbudowane funkcje wyciszania (*soft mute*) i tłumienia sygnału wyjściowego (regulacja poziomu sygnału).

Wyciszanie jest możliwe po podaniu stanu wysokiego na wejście MUTE, lub wpisaniu jedynki logicznej do bitu MUTE w rejestrze kontrolnym o adresie 0x2D.

Regulację poziomu sygnału wyjściowego można przeprowadzić w zakresie od 0 dB do -127,5 dB z krokiem 0,5 dB oddzielnie w każdym z kanałów. Po zaprogramowaniu bitu TRACK do rejestru regulacji kanału prawego przepisywane są dane z rejestru regulacji kanału lewego.

Filtr decymatora może pracować w dwu trybach: z cyfrowym filtrem dolnoprzepustowym i bezpośredniej redukcji częstotliwości próbkowania.

Tryb bezpośredniej redukcji częstotliwości próbkowania jest wykorzystywany w przypadku, gdy wyjściowa częstotliwość próbkowania jest wyższa niż wejściowa. Nie ma potrzeby cyfrowego filtrowania dolnoprzepustowego, bo nie ma zagrożenia aliasingiem. Pasma sygnału wejściowego jest węższe niż pasmo sygnału wyjściowego. Decymacja polega tylko na usuwaniu co 16 próbek z sygnału.

Jeżeli częstotliwość wyjściowa jest niższa niż częstotliwość wejściowa, to pasmo sygnału wejściowego jest szersze niż wyjściowego. Aby uniknąć aliasingu należy ograniczyć pasmo sygnału wyjściowego. Filtr decymatora musi być ustawiony w tryb pracy z filtrem dolnoprzepustowym. Wprowadza on opóźnienie grupowe wynoszące 3646875 próbek.

#### Matryca przełączająca

Układ DIR w strukturze SRC4392 jest wyjściowym, natomiast DIT wyjściowym. Porty A i B są dwukierunkowe i dlatego aby można było elastycznie przełączać źródła i wyjścia sygnałów, układ jest wyposażony w sterowaną programowo matrycę przełączającą (rys. 2). Umożliwi ona np. połączenie wyjścia modułu odbiornika DIR z wyjściowym portem A z pominięciem modułu SRC. Taka konfiguracja będzie odpowiadała wysokiej klasy odbiornikowi

#### WYKAZ ELEMENTÓW

##### Rezystory (wszystkie 1206)

R11: zwora  
R1, R2: 75  $\Omega$   
R7, R8: 100  $\Omega$   
R3: 110  $\Omega$   
R5, R6: 1 k $\Omega$   
R4, R9, R10: 3,3 k $\Omega$   
PR1 potencjometr: 4,7 k $\Omega$

##### Kondensatory

C34, C35, C5, C7, C11...C14, C21, C24...  
C27, C30...33, C36: 33 pF ceramiczny  
C38, C40: 100 nF ceramiczne SMD 1206  
C1...C3, C17...C19, C32: 100 nF/63 V MKT  
C9, C10, C22, C23: 1  $\mu$ F/35 V tantal  
C4, C6, C15, C16, C20, C28, C29, C37, C39:

10  $\mu$ F/16 V

C8: 4700  $\mu$ F/16 V

##### Półprzewodniki

D1...D4: 1N4007

U1: SRC4392

U2, U5, U4: LM2937

U3: 7805

U6: 74LVX04 SO14

U7: PIC18F2580-I/SO zaprogramowany

##### Inne

Q1, Q2 generator kwarcowy SG-615P

22,5792 MHz

X1: kwarc 10 MHz

OPTO1: odbiornik TORX173

goldpiny jedno- i dwurzędowe

L1: dławik osiowy 10  $\mu$ H



S/PDIF. Jeżeli w ścieżkę sygnału włączony zostanie SRC, to otrzymamy odbiornik S/PDIF z konwersją. Można również przekierować strumień z odbiornika DIR do konwertera SRC, a następnie do nadajnika DIT. Wówczas SRC4392 pełni funkcję konwertera częstotliwości próbkowania sygnału S/PDIF lub AES3.

W realizacji praktycznej omawianej w dalszej części artykułu, SRC4392 jest konwerterem częstotliwość próbkowania z 44,1 kHz na 88,2 kHz, dla modułu przetwornika C/A opisanego w EP10-11/2007.

**Port GPIO**

Linie portu ogólnego przeznaczenia mogą być wykorzystane jako programowanie linii I/O, lub jako linie statusowe modułów DIR, DIT i SRC. Dokładny opis znajduje się w dokumentacji układu.

**Praktyczna aplikacja SRC4392**

W EP10-11/2007 był opublikowany opis wysokiej klasy przetwornika A/C zbudowanego w oparciu o układ PCM1796. W oryginale jako odbiornik S/PDIF użyto układ STA120. W wyższej klasy przetwornikach stosuje się układy podwyższające częstotliwość próbkowania. W opinii wielu osób podwyższenie częstotliwości próbkowania wpływa pozytywnie na jakość dźwięku. Na rys. 3 pokazano schemat modułu z układem SRC4392 zastępującym odbiornik STA120. Układ pełni funkcję odbiornika S/PDIF i *upsamplera*. Dane wyjściowe są kierowane do portu A (PCM).

Dane wejściowe mogą być podawane na jedno z 4 wejść: SP1...SP3, OPTO1. SP1 i SP2 mają impedancję wejściową 75 Ω i są przystosowane do asymetrycznego sygnału standardu S/PDIF o amplitudzie ±0,5 V. Wejście SP3 jest

symetryczne, ma impedancję 110 Ω i jest przystosowane do standardu AES3. Ostatnie wejście, OPTO1, jest wykorzystywane do podłączenia światłowodu złącza optycznego.

Układ odbiornika DIR ma wbudowany interfejs RS422 i akceptuje zarówno sygnały standardu S/PDIF, AES3, jak i sygnał TTL z odbiornika OPTO typu TORX173 bez żadnych dodatkowych układów pośredniczących. Odbiornik TORX173 jest jednak zasilany napięciem +5 V i amplituda sygnału wyjściowego jest zbyt duża dla poziomów akceptowanych przez wejścia RX. Do konwersji poziomów napięć użyto bramkę U6A. Przełączenie aktywnego wejścia odbywa się przez programowanie bitów RXMUX1 i RXMUX0.

Sygnał wyjściowy ze scalonego generatora kwarcowego częstotliwości 22,5792 MHz (Q1) podawany jest na wejście RXCKI i taktuje odbiornik DIR. Źródłem sygnału zegara systemowego MCLK układu SRC4392 jest scalony generator kwarcowy Q2 o częstotliwości 22,5792 MHz. Podobnie i tutaj konieczna była konwersja poziomów napięć. Użyto do tego celu bramek U6B nóżka U6C.

Wyjście portu A uzupełniono o sygnał zegara systemowego (ZPCM1), niezbędny do prawidłowego działania przetwornika C/A. Źródłem sygnału zegarowego może być MCLK1 (zwarła J10), MCLK2 (zwarła J9), lub może być odtworzony ze strumienia odbiornika DIR (dostępnego na wyprowadzeniu RXCKO). Trzeba pamiętać, że częstotliwość zegara systemowego portu A musi być wielokrotnością częstotliwości próbkowania danych wyjściowych.

Wszystkie sygnały zegarowe portu PCM generowane są dzięki podziałowi wewnętrznego sygnału zegarowego. Jego źródłem może być wejście MCLK, RXCKI lub wyjście RXCKO. Wybór źródła i nastawy dzielnika ustala się przez programowanie odpowiednich rejestrów konwertera. Częstotliwość systemowego sygnału zegarowego ( $f_{MCLK}$ ) i jego podział decyduje o częstotliwości próbkowania sygnału wyjściowego i jest podstawową informacją dla bloku SRC o tym, jaka ma być jej wartość na wyjściu konwertera. Jeśli  $f_{MCLK} = 22,5792 \text{ MHz}$ , a na wyjściu często-

ściwość próbkowania ma być równa 88,2 kHz ( $2 \times 44,1 \text{ kHz}$ ), to dla portu A trzeba zaprogramować współczynnik podziału 256. Dobierając  $f_{MCLK}$  i programując współczynnik podziału można ustalać wyjściową częstotliwość próbkowania.

Wszystkie linie portu B, łącznie z sygnałem zegara systemowego, są wyprowadzone na złączce J3. Port B nie jest wykorzystywany w tym projekcie, ale może być przydatny w innych zastosowaniach. Do złącza J4 zostały doprowadzone wyjścia wzmacniacza różnicowego nadajnika DIT.

Sygnał gotowości modułu SRC !RDY połączono ze zworką J7. Kiedy J7 jest zwarta, to !RDY jest połączony z MUTE. Brak gotowości modułu SRC powoduje podanie stanu wysokiego na wejście MUTE i automatyczne wyciszenie wyjścia. Jeżeli na wyjściach !RDY i LOCK jest stan niski, to świecą się diody D5 i D6 sygnalizujące odpowiednio poprawną pracę konwertera SRC i prawidłowe dekodowanie danych przez odbiornik S/PDIF.

Zasilacz dostarcza czterech napięć. Napięcie +1,8 V (U4) zasilają rdzeń SRC4392. Napięcie +3,3 V (U5) zasilają obwody analogowe SRC4392: pętle PLL i komparator odbiornika DIR. Napięcie +3,3 V (U2) zasilają układy wyjściowe SRC4392 i mikrokontroler PIC18F2580. Napięcie +5 V (U3) zasilają wyświetlacz LCD, odbiornik IR, PTO (TORX173) i generatory kwarcowe Q1 i Q2. Cały układ należy zasilic napięciem przemianowym 8 V/0,2 A podłączonym do złącza ZS1.

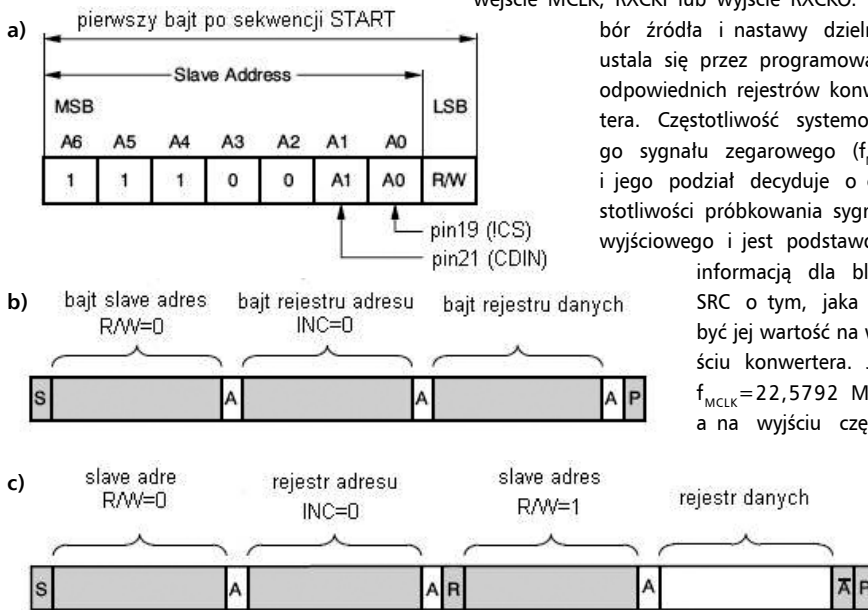
**Opis programu sterującego**

Pracą układu steruje mikrokontroler PIC18F2580 (U7). Podłączona jest do niego 4 przyciskowa klawiatura (złącze KEYB1), odbiornik zdalnego sterowania (złącze IR1) oraz moduł wyświetlacza LCD 2x16 znaków, kompatybilny z HD44780 (WYS1).

Program sterujący, oprócz obsługi konwertera, zawiera również wszystkie następujące procedury sterujące pracą układów PCM1796. Dla przypomnienia są to:

- *Balance* – regulacja balansu kanałów w regulatorze poziomu sygnału wbudowanym w PCM1796,
- *Stereo/Monaural* – wybór trybu pracy stereo (jeden moduł konwertuje 2 kanały), lub monaural (jeden moduł DAC PCM1796 konwertuje jeden kanał; niezbędne są 2 moduły DAC PCM1796),
- *Dis Volume Ctrl* – wyłączenie regulatora poziomu w PCM1796,
- *Filter rolloff* – zmiana charakterystyki filtra cyfrowego PCM1796,
- *Set RC5* – uczenie sterownika kodów RC5.

Jedyną zmianą w stosunku do sterownika modułu z układem STA120 jest wprowadzenie kodu zmieniającego sekwencyjnie numer aktywnego wejścia odbiornika DIR. Oprócz funkcji związanych głównie ze sterowaniem układów przetwornika C/A PCM1796, zostały dodane trzy nowe funkcje związane z SRC4392. Są to: Set



S – sekwencja START  
 A- bit potwierdzenia  
 R – sekwencja RESTART  
 P- sekwencja STOP

Rys. 4. Wymiana danych magistralą I<sup>2</sup>C; a) adres slave; b) zapisanie danych; c) odczytanie danych

DIR/SRC, Set S/PDIF Input i Display Q-channel.

Funkcja *Set DIR/SRC* konfiguruje połączenia matrycy przełączającej SRC4392. Jeżeli zostanie wybrana opcja DIR, to sygnał z odbiornika DIR jest podawany bezpośrednio do portu A (rys. 1) – SRC4392 pracuje jako wysokiej klasy odbiornik S/PDIF. Port B, nadajnik DIT i konwerter SRC mają programowo wyłączone zasilanie, nie wpływają więc na pracę analogowych układów odbiornika DIR.

Wybór opcji SRC powoduje włączenie zasilania modułu SRC i zmianę konfiguracji połączeń. Teraz sygnał z wyjścia odbiornika DIR trafia na wejście konwertera SRC. Dane ze zmienioną częstotliwością próbkowania z wyjścia SRC są przesyłane do portu A.

Funkcja *S/PDIF Input* przełącza wejścia. Zmiana wymaga wejścia w menu funkcyjne i wybrania funkcji *S/PDIF Input*. Ponieważ jest to dość kłopotliwe, to w funkcji *Set RC5* dodano dodatkowy kod klawisza sekwencyjnie przełączającego wejścia. Kod jest programowany jako ostatni i opisany jako INP. Jeżeli nie jest aktywne wyświetlanie zawartości Q-Channel, to numer aktywnego wejścia jest wyświetlany w prawym dolnym rogu wyświetlacza.

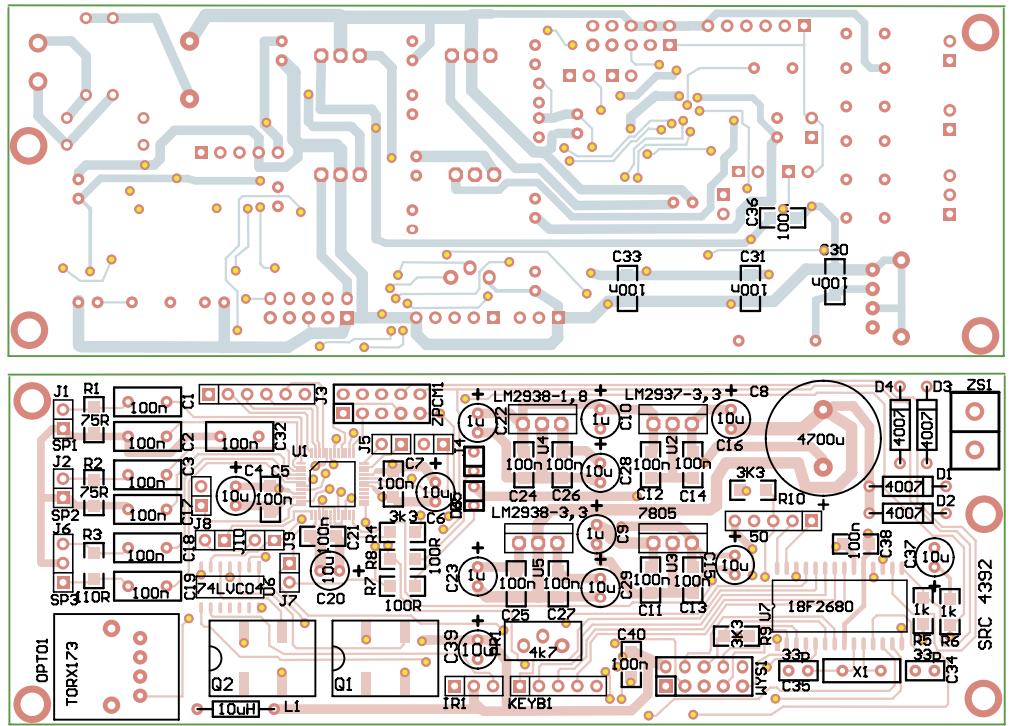
Funkcja *Display Q-Channel* wykorzystuje możliwość dekodowania i buforowania subkodów kanału nazywanego *Audio CD Q-Channel*. Odczytuje ona pole adresu, i jeżeli ma wartość 01H, to pobiera i wyświetla zawartość rejestru o adresie 20H (numer ścieżki, utworu na płycie). Dalej kolejno jest wyświetlany czas trwania ścieżki w minutach (rejestr 22H) i sekundach (rejestr 23H).

Układ SRC4392 może komunikować się z mikrokontrolerem sterującym za pomocą interfejsu SPI lub I<sup>2</sup>C. Wyboru dokonuje się wymuszając stan logiczny na wejściu CPM (niski=SPI, wysoki=I<sup>2</sup>C). Prezentowane urządzenie wykorzystuje tryb I<sup>2</sup>C.

Zapisanie danych do rejestrów rozpoczyna sekwencja startu, a po niej jest wysyłany adres slave z wyzerowanym bitem R/W. Dwa najmłodsze bity adresu slave są ustawiane sprzętowo stanami wejść !CS i CDIN (w tym urządzeniu są równe 0) – rys. 4a. Po adresie *Slave* wysyłany jest adres rejestru. Jest on zapisany na 7 bitach. Najstarszy bit o nazwie INC określa, czy wysyłany będzie jeden bajt danych (INC=0), czy sekwencja danych wpisywanych pod automatycznie inkrementowane adresy (INC=1). Przesyłane ramki danych przedstawiono na rys. 4b i 4c.

## Montaż

Na rys. 5 pokazano płytkę drukowaną konwertera. Montaż należy rozpocząć od przylutowania elementów SMD. Mniej wprawnym elektronikom pewne problemy może stwarzać



Rys. 5. Rozmieszczenie elementów na płycie drukowanej

montaż układu SRC4392. Kondensatory C33, C31, C30 i C36 są umieszczone od spodu. Mikrokontroler PIC18F2580 jest programowany w układzie, to jest po przylutowaniu i zasileniu. Do podłączenia programatora służy złącze ICSP. Jako źródła sygnałów zegarowych wykorzystano scalone generatory kwarcowe SG-615 produkowane przez firmę Epson. Złącze WYS służące do podłączenia wyświetlacza, ma wyprowadzenia rozmieszczone tak samo, jak w module z odbiornikiem STA120. Do złącza KEYB1, za pomocą taśmy przewodów, należy podłączyć 4 klawisze klawiatury. Styki klawiszy mają zwierać linie SW1...SW4 do masy (nóżka złącza KEYB1). Linie SW1...SW4 są połączone odpowiednio do klawiszy: ACC, FUN, UP, DOWN.

Diody LED D5 i D6 oraz odbiornik zdalnego sterowania (złącze IR1) należy połączyć z płytką za pomocą przewodów i umieścić na panelu czołowym obudowy. Moduł łączy się z modułami przetworników łączem IDC10 zaciskającym na taśmie przewodów (ZPCM1).

## Uruchomienie

Prawidłowo zmontowany układ z zaprogramowanym mikrokontrolerem nie wymaga żadnych dodatkowych regulacji poza ustawieniem kontrastu wyświetlacza. Nie mniej jednak w celu uruchomienia układu należy przestrzegać podanych niżej wskazówek.

W pierwszej kolejności podłączamy napięcie przemienne 8 V/200 mA do złącza ZS1 i sprawdzamy napięcia zasilania. Jeśli mają poprawne wartości, to można zaprogramować mikrokontroler. Następnie odłączyć napięcie i podłączamy wyświetlacz LCD (WYS1), klawisze (KEYB1) i odbiornik IR (IR1). Po załączeniu zasilania należy ustawić kontrast potencjometrem PR1. Teraz ponowne wyłączenie i włą-

czenie zasilania powinno spowodować, że na wyświetlaczu LCD pojawi się na krótko napis powitalny, i program przejdzie do menu głównego. Domyślnie wprowadzane nastawy to: tryb monaural przetworników PCM1796, wyłączona regulacja siły głosu, włączony upsampling, aktywne wejście 1.

Aby dostosować ustawienia do własnych potrzeb, należy użyć menu funkcyjnego. Jeżeli ma być używany pilot RC5, to trzeba wejść do funkcji *SET RC5* i zaprogramować kody pilota.

Kolejną czynnością jest sprawdzenie częstotliwości sygnałów zegarowych i konfiguracja zworek. Jeżeli ma być wykorzystywana funkcja wyciszania wyjścia danych modułu SRC kiedy nie jest on gotowy, to zworka J7 powinna być zwarta. Źródło MCLK jest wybierane zworkami J8 (MCLK odtwarzany ze strumienia danych wejściowych S/PDIF w odbiorniku DIR), J9 (MCLK2 z generatora Q2), J10 (MCLK1 z generatora Q1). W modelu oba generatory Q1 i Q2 miały tę samą częstotliwość 22,5792 MHz, a źródłem sygnału MCLK był generator Q2 (J9 zwarta). J4 i J5 nie i muszą być rozwarne.

Kolejnym krokiem będzie podłączenie do wybranego wejścia sygnału S/PDIF z odtwarzacza CD. Jeżeli układ odbiornika DIR zacznie pracować prawidłowo, to na wyprowadzeniu LOCK pojawi się stan niski i dioda D6 zacznie świecić sygnalizując odbieranie i dekodowanie sygnału S/PDIF. Jeśli moduł SRC jest włączony, to sygnalizuje poprawną pracę stanem niskim na wyprowadzeniu !RDY. Świeci się wtedy dioda D5, a na wejściu MUTE, przez zwartą zworkę J7, pojawi się stan niski wyłączający układ wyciszania.

Wynik działania konwertera częstotliwości można pośrednio sprawdzić mierząc częstotliwość sygnału LRCKA portu PORTA. Po wyłącze-

niu upsamplera, przy odtwarzaniu standardowych płyt CD, częstotliwość na LRCKA powinna mieć wartość 44,1 kHz. Włączony upsampler spowoduje dwukrotne jej zwiększenie.

Podłączenie do złącza IR1 odbiornika podczerwieni wymusza konieczność wykonania procedury uczenia kodów RC5. Jeśli odbiornik nie jest używany, to pomiędzy wyprowadzenia 2 i 3 złącza należy włączyć rezystor 2,7 kΩ.

### Podsumowanie

SRC4392 został zaprojektowany do pracy w systemach profesjonalnych, jednak jedna z jego właściwości pozwalająca na podwyższenie częstotliwości próbkowania została wykorzystana w przetworniku cyfrowo-analogowym, który

może być zastosowany w domowym systemie audio. Z wielu opisów przetworników wyższej klasy z upsamplingiem wynikało, że zwiększenie częstotliwości próbkowania wpływało pozytywnie na ich brzmienie. Próby odsłuchowe były wykonywane głównie przy pomocy lampowego wzmacniacza słuchawkowego i wysokiej klasy słuchawek Beyerdynamic DT 880PRO. Po włączeniu upsamplingu dźwięk stawał się przyjemniejszy, bardziej „gładki”, jednocześnie miał większą dynamikę. Nie bez znaczenia dla jakości dźwięku jest też wysokiej klasy odbiornik DIR taktowany zewnętrznym generatorem kwarcowym.

Takie zastosowanie jest jednym z możliwych. Wszędzie tam, gdzie konieczna jest konwersja częstotliwości próbkowania, mo-

duł może ją na przykład wykonywać w torze sygnału szeregowego S/PDIF. Po odebraniu sygnału przez odbiornik DIR i przekonwertowaniu w module SRC, może zostać wysłany w postaci szeregowej przez nadajnik DIT. Wymagałoby to tylko zmiany oprogramowania mikrokontrolera i dołączenia układu wyjściowego (np. transformatora) do wyprowadzeń wzmacniacza wyjściowego J4. W bardziej zaawansowanych zastosowaniach zegar systemowy określający wyjściową częstotliwość próbkowania może być generowany przez programowany generator DDS lub inny przestrajany generator sygnału prostokątnego.

**Tomasz Jabłoński, EP**  
**tomasz.jablonski@ep.com.pl**

R E K L A M A

# KONKURS WIĘCEJ ŚWIATŁA

Diody superluminescencyjne mają tak intensywne światło i są tak tanie (w ofercie [www.sklep.avt.pl](http://www.sklep.avt.pl)), że każdemu elektronikowi serce się rwie żeby coś fajnego z nimi zrobić, np. światła dyskotekowe, podświetlenia, dekoracje, reklamy świetlne, światła ostrzegawcze itd. I Ty powinieneś coś zrobić. Włącz się. Weź udział w nieustającym konkursie WIĘCEJ ŚWIATŁA. Zrób zdjęcia uzyskanych efektów świetlnych i zamieść je na specjalnej stronie konkursowej ([wiecejswiatla.ep.com.pl](http://wiecejswiatla.ep.com.pl)). Opisy i schematy układów prześlij pod adresem redakcji [redakcja@ep.com.pl](mailto:redakcja@ep.com.pl).

**NAGRODY:** za materiał zdjęciowy umieszczony na [wiecejswiatla.ep.com.pl](http://wiecejswiatla.ep.com.pl) dostaniesz darmową prenumeratę 2 numerów EP (prenumeratorem przedłużamy ich prenumeratę o 2 gratisowe numery). Opisy i schematy układów mają szansę publikacji na łamach EP – honorarium 250 zł/stronę.