



# JTAG Boundary Scan

## Techniczne aspekty zasady działania

*Obecnie stosowane techniki testowania układów elektronicznych nie potrafią sprostać nowym wymaganiom, jakie stawiane są przez postęp technologiczny w elektronice. Szczególnie dotyczy to dziedziny montażu elektronicznego. Postęp ten związany jest z procesem miniaturyzacji płytek drukowanych, montażu dwustronnego, zastosowanie układów elektronicznych zamkniętych w obudowach BGA oraz coraz częściej stosowanych procesorów dwurdzeniowych. Obecnie używane techniki bazują na fizycznym kontakcie z wyprowadzeniami układów. Niestety ze względu na gęstość upakowania elementów, dostęp do niektórych układów jest niemożliwy. Dlatego należało znaleźć nowy sposób testowania układów, bazujący na zupełnie innej zasadzie działania niż dotychczasowe. Rozwiązanie przyniosła technika JTAG Boundary Scan, której innowacyjność polega na testowaniu układów za pomocą interfejsu JTAG i podłączonego do niego łańcucha Boundary Scan. Artykuł ten przedstawi podstawy budowę i zasadę działania sieci JTAG Boundary Scan.*

### Wprowadzenie historyczne

JTAG Boundary Scan opracowany został przez grupę inżynierów z Europy i Ameryki Północnej zwaną Joint Test Action Group (JTAG). Następnie w 1990 roku został

zestandardyzowany przez instytut IEEE i oznaczony sygnaturą 1149.1. Wprowadzenie tego standardu miało na celu wprowadzenie nowego sposobu sprawdzania połączenia układu z podłożem płytki, programowanie oraz uruchamiania ukła-

dów. Stosowana wówczas technika „in-circuit test” była skomplikowana oraz kosztowna. Pierwotnie technika JTAG Boundary Scan nie znalazła szerszego zainteresowania wśród inżynierów i czekała ponad 10 lat na ponowne jej odkrycie

i uznanie. Ostatecznie standard ten została zaktualizowany, już jako IEE-EE1149.1a.

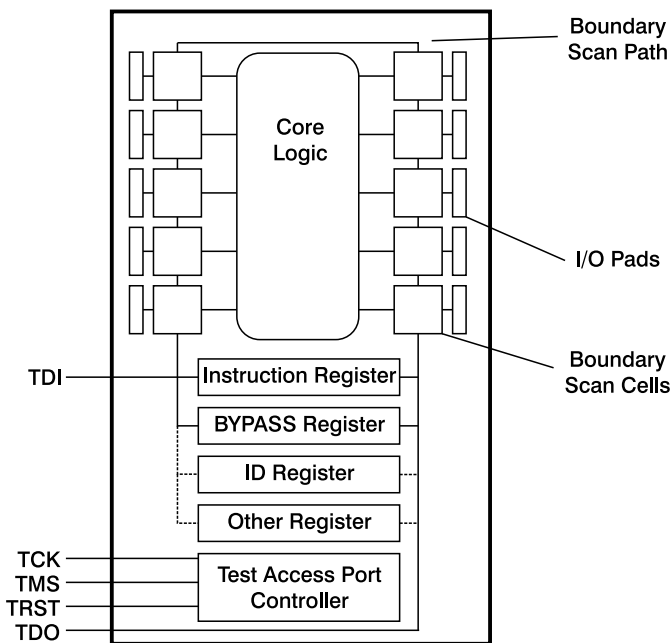
### Struktura budowy łańcucha JTAG Boundary Scan

JTAG Boundary Scan zbudowany jest z czterech linii sterujących, kontrolera oraz komórek logicznych (rys. 1).

Linie sterujące.

Linie sterujące składają się z czterech linii sygnałowych:

- wyjście Test Mode Select (TMS) – steruje pracą kontrolera,
- wejście Test Data In (TDI) – linią tą wprowadzane są bity ustawiające odpowiednie rejestry w kontrolerze oraz podawane są wartości do komórek logicznych,
- wyjście Test Data Out (TDO) – odczytuje bity wysuwane z komórek logicznych,



Rys. 1. Schemat struktury łańcucha Boundary Scan

– wyjście zegarowe Test Clock (TCK) – taktuje sygnały sterujące, określa częstotliwość pracy układu w trybie testowania.

Linie sygnałowe stanowią interfejs pomiędzy wewnętrzną strukturą łańcucha Boundary Scan a zewnętrznym środowiskiem programistycznym. Poprzez odpowiedni sprzęt i oprogramowanie przystosowane do pracy z siecią Boundary Scan, użytkownik ma możliwość manipulacji sygnałami na liniach sterujących. Linie TCK, TMS oraz TDI sterują pracą kontrolera TAP poprzez ustawianie w nim odpowiednich rejestrów i wyboru trybu pracy, natomiast kontroler TAP sterują pracą łańcucha Boundary Scan. Sygnał TDO umożliwia wyprowadzanie danych na zewnątrz i przeprowadzenie odpowiedniej ich analizy.

### Komórki logiczne Boundary

Kolejnym ważnym elementem łańcucha Boundary Scan są komórki logiczne. Komórki Boundary zbudowane są z grupy rejestrów odpowiednio połączonych, które umożliwiają zatrzaśnięcie danych, przesuwanie po rejestrach oraz przesyłanie na zewnątrz. Wybór trybu pracy decyduje które rejestry zostają aktywowane.

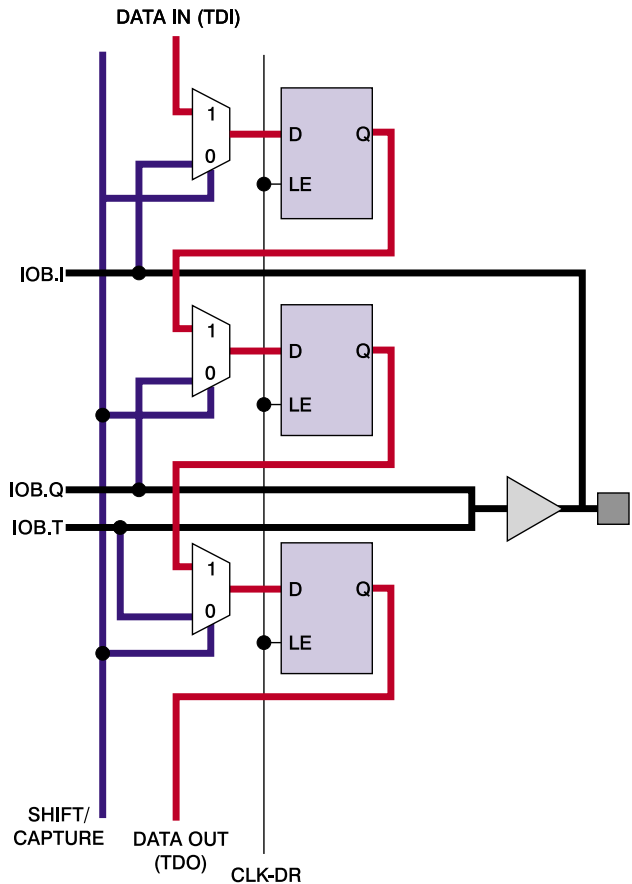
Za pośrednictwem komórek logicznych zewnętrzne piny połączone są z wewnętrznym układem logicznym. Podczas normalnej pracy układu komórki te są nieaktywne i przezroczyste dla sygnałów. Ko-

mórki logiczne połączone są ze sobą szeregowo, stanowiąc szeregowy rejestr przesuwany z sygnałem wejściowym TDI i sygnałem wyjściowym TDO (rys. 1). Aby uaktywnić system testowania Boundary Scan należy wprowadzić odpowiednią wartość do rejestru rozkazu a następnie wprowadzić odpowiednie wartości danych do rejestrów przesuwanych w komórkach logicznych.

### Kontroler TAP i rejestry sterujące (Test Access Port Controller)

Kontroler TAP steruje pracą łańcucha Boundary Scan. Informacje o przebiegu pracy zawarte są w rejestrach. W sieci Boundary Scan występują dwa rodzaje rejestrów: instrukcji i danych. Rejestr instrukcji przechowuje wartość rozkazu. Określa tryb pracy układu. Rejestr danych składają się z trzech podstawowych grup rejestrów: Boundary Scan Register, BYPASS Register oraz IDCODE Register (rys. 1):

- Boundary Scan Register (BSR) – przechowują dane wejściowe oraz wyjściowe,
- Instruction Register – przechowuje wartości rozkazów decydujących o trybie pracy układu elektronicznego,
- Bypass Register – rejestr jedno-bitowy; ustawienie bitu oznacza pracę układu poza siecią JTAG,
- ID-Code Register – zawiera wartość numeru identyfikacyjnego dla celu weryfikacji i identyfikacji układu.



Rys. 2. Konfiguracja rejestrów w komórce logicznej podczas pracy w trybie SAMPLE/PRELOAD

R E K L A M A

*Jeżeli projektujesz, produkujesz albo wspierasz technicznie, XJTAG dostarczy Ci niewspółmiernych korzyści.*

■ XJEase ■ XJAnalyser ■ XJRunner  
■ XJDemo ■ XJAPI ■ XJLink

## Czym jest JTAG?

*JTAG jest rozwiązaniem kontrolującym urządzenia "od wewnątrz", poprzez użycie prostego 4 pinowego interfejsu zlokalizowanego na płycie. Jest to szczególnie użyteczne dla zestawów urządzeń, takich jak układy scalone stosowane w technologii BGA, gdzie poszczególne piny (sygnały) są niedostępne dla konwencjonalnych sond.*

*XJTAG pozwala Ci drastycznie skrócić długość cyklu prób i poprawek oraz zredukować koszty weryfikacji prototypu i wprowadzenia nowego produktu na rynek.*

**www.quantum.com.pl**  
www.embedded.com.pl www.qnx.com.pl  
tel. 0-71/362-63-56

**Tryby pracy układu**

**SAMPLE/PRELOAD**

Podczas pracy w trybie Sample/Preload konfiguracja rejestrów wewnątrz komórki logicznej ustawiona jest tak aby układ pracował w trybie normalnym z możliwością skanowania sygnałów na wejściowych i wyjściowych. Sygnały przechwytywane przez rejestry przekierowywane są równoległe do rdzenia układu i jednocześnie przesuwane w kierunku wyjścia TDO (rys. 2). Proces ten przebiega asynchronicznie.

**EXTEST**

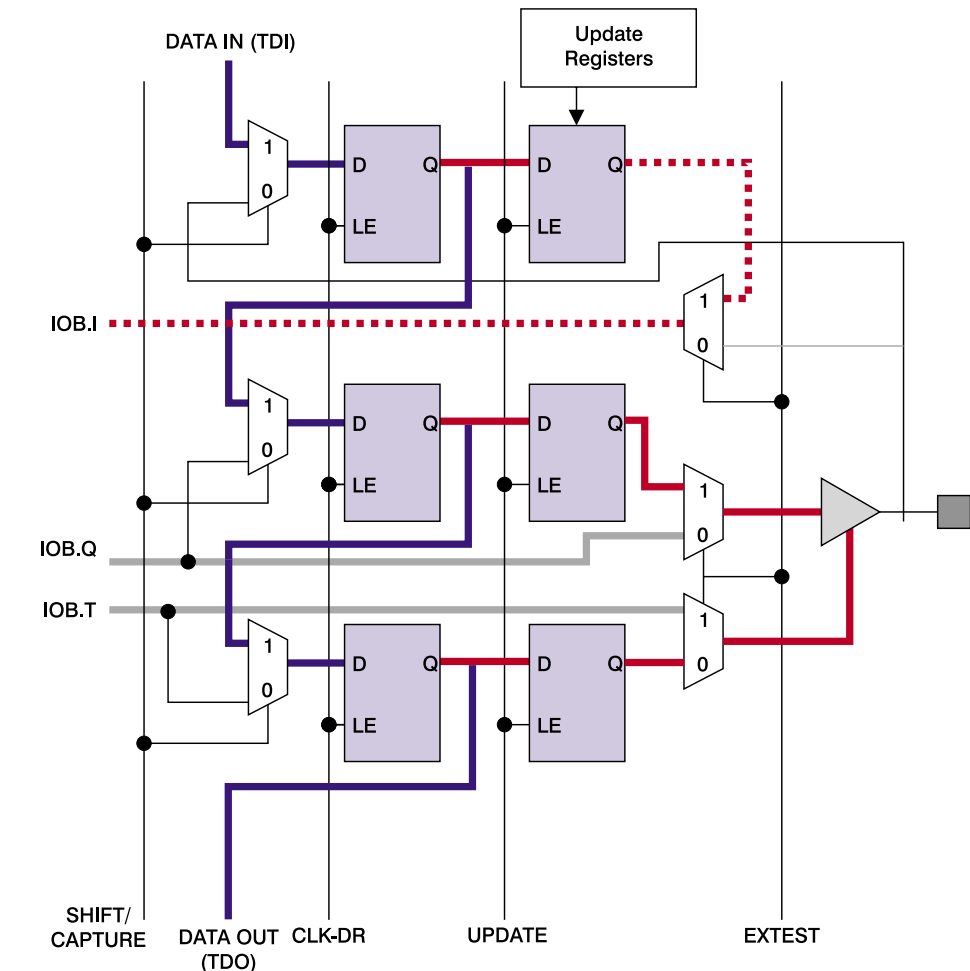
Tryb pracy umożliwiający prowadzenie testów płytki. Linie TDI oraz TDO połączone są z rejestrami w komórkach logicznych. Sygnały zewnętrzne przechwytywane są przez rejestry i przesuwane w kierunku wyjścia TDO. Zmianę stanów pinów wprowadza się przez przesłanie danych do rejestrów przez wejście TDI, które to następnie są ładowane przez rejestr aktualizacji (rys. 3).

**BYPASS**

Tryb ten wyłącza układ z sieci JTAG Boundary Scan i wprowadza w tryb normalnej pracy. W tym trybie linie TDI i TDO połączone są ze sobą jednobitowym rejestrem BYPASS.

**Zalety stosowania JTAG Boundary Scan**

Opisana powyżej budowa i struktura łańcucha JTAG Boundary Scan doskonale ukazują zasadę działania techniki, lecz nic nie mówi o zaletach jej wykorzystania a jest ich wiele. Przede wszystkim, jest to technika prosta w implementacji i tania w stosowaniu. Jest znacznie tańsza od obecnie dostępnych technik takich jak „nail – bed” (pole kontaktowe) lub skanowania promieniami X. System JTAG Boundary Scan może testo-



Rys. 3. Konfiguracja rejestrów w komórce logicznej podczas pracy w trybie INTEST

wać układy o dowolnym typie obudowy, dużej liczbie wyprowadzeń, nie wymaga dodatkowych punktów testowych na powierzchni płytki.

Wszystkie te zalety spowodowały wzrost zainteresowania tą techniką oraz dalszy jej rozwój. Obecnie technika JTAG Boundary Scan umożliwia nie tylko test połączenia układu z podłożem, ale również test poprawności połączenia i działania niemalże całej płytki. Umożliwia testowanie pamięci Flash, RAM, diod, szyn I<sup>2</sup>C i innych komponentów. Wkrótce technika ta stanie się jednym z niezbędnych

elementów potrzebnych do tworzenia systemów embedded.

Kolejną dużą zaletą JTAG to możliwość testowania układu przez cały czas jego życia, od momentu powstania pierwszych prototypów aż do finalnego produktu. Testowanie JTAG Boundary Scan pozwala w dowolnej chwili wprowadzić gotowe urządzenie w stan testowania i w prosty sposób ocenić jego sprawność, bez konieczności wymontowywania podzespołów, czy też umieszczania systemu w specjalnych maszynach testujących.

Podsumowując: zastosowanie JTAG Boundary Scan w projektach

systemów elektronicznych pozwala na uproszczenie ich konstrukcji, zmniejszenie rozmiarów, usprawnienie procesu produkcyjnego, a przede wszystkim wydajne przetestowanie wyprodukowanych układów. W ten sposób zmniejszy się ilość niesprawnych podzespołów wypuszczonych na rynek. Producenci układów scalonych znając te fakty coraz częściej implementują łańcuch Boundary Scan w swoich układach oraz oferują bezpłatnie pliki BSDL wymagane do tworzenia procedur testowych.

**Mateusz Lisik**  
Dział Marketingu Quantum

R E K L A M M A

# Woltomierz/amperomierz AVT2857

**Dostępne wersje:**  
 A - płytka drukowana: 18zł  
 B - komplet elementów: 57zł  
 C - układ zmontowany: 78zł

- pomiar napięcia do 50V, rozdzielczość 0,01V  
 - pomiar prądu 0...10A, rozdzielczość 0,01A

[www.sklep.avt.pl](http://www.sklep.avt.pl)