

JTAG Boundary Scan

Alternatywa testowania współczesnych zintegrowanych układów elektronicznych

Pościg za miniaturyzacją

Współczesne systemy elektroniczne zbudowane są z układów charakteryzujących się wysoką skalą integracji, z setkami, a nawet tysiącami wyprowadzeń przypadającymi na jeden układ. Wynika to z tendencji do miniaturyzacji w dziedzinie technologii elektronicznej. Trend ten pociąga również za sobą wykorzystywanie dwustronnego montażu powierzchniowego, układów zamkniętych w obudowach typu BGA (Ball Grid Array). Zaletą układów BGA jest z pewnością mniejsza powierzchnia zajmowana na płytce, natomiast mają też kilka wad, które zniechęcają projektantów do ich wykorzystania. Do wad tych należy zaliczyć zjawisko pęknięcia kulek podczas lutowania na skutek naprężeń termicznych, jak również trudności w ich testowaniu. Ze względu na to, że obecne techniki testujące nie spełniają stawianych im wymagań, są kosztowne i skomplikowane, testy systemów elektronicznych są traktowane lekceważąco.

Wymagania dzisiejszej elektroniki podążają w kierunku miniaturyzacji, obniżania cen, jak również maksymalnego skrócenia czasu wprowadzania nowych produktów na rynek i poprawy ich niezawodności. Często jednak skrócenie czasu „od pomysłu, do przemysłu” nie idzie w parze z wymaganą jakością. W przypadku systemów elektronicznych problem tkwi w przeprowadzeniu odpowiednich procedur testujących w całym cyklu powstania produktu. Testy te powinny obejmować jakość montażu, w tym poprawność połączeń, oraz sprawdzać poprawność pracy elementów elektronicznych.

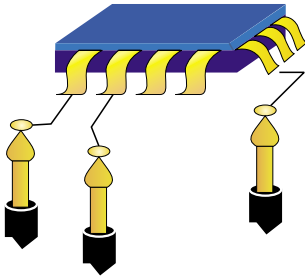
Obecny stan rzeczy

Obecnie stosowane techniki można podzielić na trzy grupy metod: kontaktowe, bezdotykowej inspekcji optycznej lub wbudowane. W obliczu dzisiejszych trendów elektronicznych najmniej pożyteczną wydają się metody kontaktowe takie, jak ICT (*In Circuit Test*). Metoda ICT należy do metod bardzo skomplikowanych i drogich,

a przygotowanie procedury testowej trwa od czterech do sześciu tygodni.

Narzędzia tej metody wykorzystują matrycę szpilek, które dociska się do wyprowadzeń układów na płytce (rys. 1) lub specjalnych punktów kontaktowych. Metoda ta jednak przegrywa już w starciu z płytką dwustronnie montowaną lub z układami BGA. Do technik kontaktowych można

In- Circuit Test



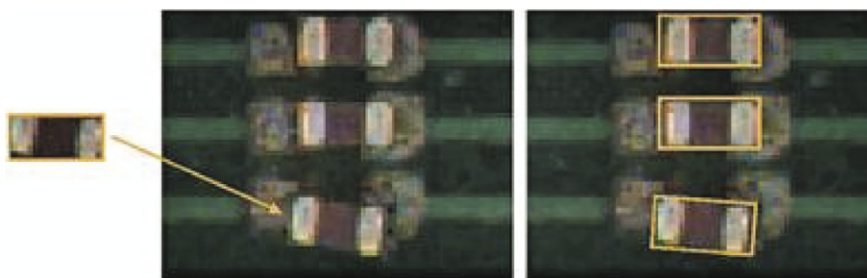
Rys. 1. Schemat metody ICT

jeszcze zaliczyć metody manualne z wykorzystaniem przyrządów pomiarowych, np. generatora i oscyloskopu. Metody te są znacznie tańsze, nie wymagają skomplikowanego sprzętu i są łatwe w obsłudze, ale nie podlegają one procesowi automatyzacji, są trudno powtarzalne, czasochłonne i wymagają dużego nakładu pracy. Metody ręczne mogą jedynie stanowić uzupełnienie procesu testowania, a nie tworzyć jego trzon.

Pewną alternatywę stanowią techniki bezkontaktowe tzw. optyczne, typu AOI (*Automated Optical Inspection*) lub X-ray. Stosując te techniki możemy otrzymać odpowiedzi związane z jakością połączeń, błędami montażowymi, pozostałościami po pastach lutowniczych lub pęknięciami (rys. 2). Należy pamiętać, że powyższe rezultaty można otrzymać poprzez dokładną analizę zdjęć otrzymanych przy pomocy specjalnych narzędzi. Zdjęcia te analizowane są ręcznie przez wyspecjalizowane osoby lub automatycznie przez specjalne programy.

Analiza przeprowadzana przez człowieka nie sprawdza się przy dużej liczbie elementów znajdujących się na płytce, jak również na linii produkcyjnej. Ratunkiem są inteligentne programy analizujące, ale ich ceny są bardzo wysokie oraz wymagają aktualizacji wraz z naniesionymi zmianami na płytce.

Często firmy produkujące systemy elektroniczne stosują testy wbudowane. Trzonem tej metody jest kod źródłowy wykonywany przez mikrokontroler lub procesor, sprawdzający poszczególne układy peryferyjne, a następnie dostarczający odpowiedzi, które elementy zawiodły. Jest to tania i szybka metoda, ale za jej pomocą nie jesteśmy w stanie zweryfikować, które linie sygnałów są wadliwe. Może również zdarzyć się tak, że program w ogóle nie wystartuje. Wówczas metoda ta nie zwróci żadnej odpowiedzi, a taka płytka trafi do kosza bez głębszej analizy przyczyn.



Rys. 2. Zdjęcie wadliwego montażu wykonanego za pomocą systemu AOI



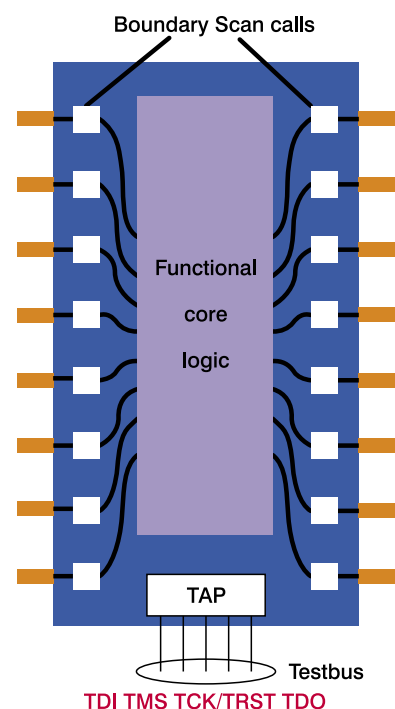
Jaka alternatywa?

Obecnie stosowane techniki testowania układów elektronicznych nie potrafią sprostać nowym wymaganiom jakie są stawiane przez postęp technologiczny. Należało znaleźć nowy sposób testowania układów, bazujący na zupełnie innej technice niż dotychczasowe. Rozwiązanie przyniosła technika JTAG Boundary Scan. Jej innowacyjność polega na testowaniu układów dzięki wprowadzeniu szeregowo sygnałów testujących do łańcucha *boundary scan* poprzez interfejs JTAG, a następnie szeregowym odczytaniu otrzymanych odpowiedzi również z użyciem tego samego interfejsu.

JTAG Boundary Scan został opracowany w latach 80 ubiegłego wieku przez grupę inżynierów z Europy i Ameryki Północnej zwaną Joint Test Action Group (JTAG). Następnie w 1990 roku został zestandaryzowany przez instytut IEEE i oznaczony sygnaturą 1149.1. Stosowanie tego standardu miało na celu wprowadzenie nowego sposobu sprawdzania połączenia układu z podłożem płytki, programowania oraz debugowania układów. Pierwotnie technika JTAG Boundary Scan nie znalazła szerszego zainteresowania wśród inżynierów i czekała ponad dziesięć lat na ponowne jej odkrycie i uznanie. Ostatecznie standard ten został zaktualizowany i jest znany już jako IEEE1149.1a.

Technika JTAG Boundary Scan nie opiera się na fizycznym kontakcie z każdym wyprowadzeniem testowanego elementu elektronicznego,

lecz wykorzystuje w tym celu złącze JTAG zaimplementowane w co najmniej jednym układzie na płytce. Łańcuch *boundary scan* zbudowany jest z komórek logicznych, połączonych ze sobą szeregowo, z równoległym wejściem i wyjściem (rys. 3). Łańcuch jest sterowany za pomocą kontrolera TAP, wykorzystującego cztery linie: TDI, TDO, TCK, TMS (standard JTAG). Ogólna idea techniki polega na wprowadzeniu sygnałów sterujących przez złącze JTAG, które będą generowały lub analizowały zmiany wartości odpowiednich wyprowadzeń. Generowanie i analiza stanów doprowadzeń umożliwiają sprawdzenie poprawności połączeń lub komunikację z prawie dowolnym elementem na płytce. Przykładem może być komunikacja z pamięcią półprzewodnikową typu Flash, statyczną pamięcią RAM i innymi, do których, dzięki odpowied-



Rys. 3. Schemat struktury łańcucha JTAG boundary scan

nim sterowaniem sygnałami możemy zapisać, lub odczytać dowolne dane.

Narzędzia bazujące na technologii JTAG Boundary Scan znacznie ułatwiają pracę projektantom, testerom oraz serwisantom. Wymagania jakie zostały postawione przed tą techniką, to kompatybilność z innymi technikami testującymi, brak wpływu typu montażu na proces testowania, krótki czas przygotowania procedury testującej oraz jak największy zakres testów. Technika JTAG może współpracować z technikami typu ICT lub ze środowiskami typu LabView. Obecnie prowadzone są intensywne badania nad techniką JTAG Boundary Scan i dzięki ich osiągnięciom możliwe jest przeprowadzenie rzetelnych testów, bez konieczności ich wspomagania przy pomocy pozostałych technik.

Oferta na rynku polskim

Jednym z dostępnych na rynku polskim komercyjnych systemów bazujących na technice JTAG Boundary Scan jest system XJTAG, należący do brytyjskiej firmy XJTAG. System ten został stworzony i rozwijany przy współpracy z naukowcami z Cambridge Technology Group. Rdzeniem jego działania jest współpraca trzech elementów: plików BSDL (*Boundary Scan Description Language*), schematów połączenia płytki w formie netlisty oraz skrypty testowe.

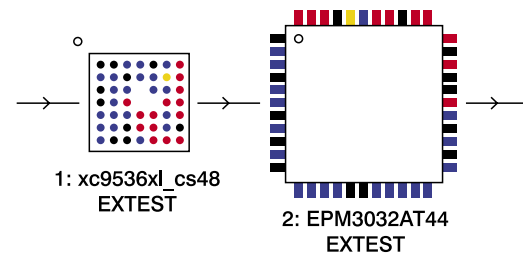
Pliki BSDL zawierają opis struktury łańcucha boundary scan, natomiast skrypty testowe napisane w języku wysokiego poziomu XJEase Language, zawierają kod opisujący procedury testowe. Wykorzystanie testów funkcjonalnych znacznie zwiększa obszar testowalności płytki, obejmując również układy bez implementacji JTAG, takie jak: kontrolery Ethernet, kontrolery wideo, diody LED, bufor, układy z wbudowaną szyną I²C i wiele innych. System XJTAG umożliwia przetestowanie różnorodnych pamięci powszechnie stosowanych w urządzeniach elektronicznych: modułów

SDRAM, Flash, statycznych RAM, FRAM lub Compact Flash. Wszystkie wymienione rodzaje pamięci są testowane przez system XJTAG bez konieczności fizycznego podłączenia się do każdego z nich oraz bez konieczności programowania głównego mikrokontrolera, w celu przeprowadzenia wbudowanych testów. Jeżeli w trakcie projektowania płytka zostanie zmodyfikowana, wówczas należy jedynie importować do projektu nową listę połączeń oraz nanieść ewentualne małe poprawki do procedury, bez konieczności tworzenia jej od nowa. Jest to często znaczne ułatwienie dla projektantów i producentów, którzy tworzą różne wersje układów elektronicznych, bazujących na tych samych rozwiązaniach układowych.

Dodatkowo, jeżeli projekt płytki będzie zoptymalizowany z uwzględnieniem testowania za pomocą techniki JTAG Boundary Scan (*Design For Test, DFT*), to wówczas czas potrzebny na przygotowanie testów ulegnie jeszcze większemu skróceniu, obniżą się koszty, przyspieszy proces wprowadzenia nowego produktu na rynek, zapewni najwyższą jakość produktu.

System XJTAG składa się z kilku narzędzi, z których każde ma inne przeznaczenie. Podstawowe z nich to: XJAnalyser, XJEase, XJDeveloper, XJRunner.

- XJAnalyser jest wizualnym narzędziem służącym do analizowania i debugowania urządzeń w łańcuchu JTAG. Umożliwia on natychmiastową weryfikację łańcucha po czym dostarcza interaktywny, graficzny podgląd stanów doprowadzeń urządzeń JTAG (rys. 4).
- XJEase jest kompletnym systemem testowym dostarczającym pełnej kontroli oraz elastyczności opartym o technologię JTAG. Umożliwia wykrycie zwarc i przerwań pomiędzy liniami sygnałowymi, używając wbudowanej funkcji do testowania połączeń oraz informacji pobranych bezpośrednio z pliku zawierającego listę połączeń.



Rys. 4. Analiza graficzna układów JTAG za pomocą XJAnalyser

- XJRunner jest wyspecjalizowanym środowiskiem uruchomieniowym dla testów opracowanych za pomocą pakietu XJEase. Szereg specjalnych właściwości sprawia, iż jest on skierowany głównie na potrzeby producentów płytek oraz testowania w warunkach mobilnych.
- XJDeveloper jest graficzną aplikacją umożliwiającą generowanie dla XJEase opisu obwodu, który ma być przetestowany. Prosty interfejs typu „przeciągnij i upuść” pozwala na łatwą i szybką konfigurację łańcucha JTAG oraz klasyfikację wszystkich urządzeń pozbawionych interfejsu JTAG.

Podsumowanie

Ogromne możliwości JTAG Boundary Scan na tle dzisiejszego postępu w dziedzinie technologii elektronicznych i montażu elektronicznego powodują, że ta technika stanie się przez długi czas jedyną alternatywą w technice pomiarowej systemów elektronicznych. Obniżenie kosztów, skrócenie czasu oczekiwania oraz poprawa jakości produktu to zalety, które skłaniają projektantów i producentów układów do zmiany dotychczas stosowanych technik testowania i budowy profesjonalnych stanowisk pomiarowych wykorzystujących technologię JTAG.

Mateusz Lisik

Dział Marketingu Quantum

więcej informacji na www.embedded.com.pl

R
E
K
L
A
M
A

Kolorowe koguty policyjne

AVT 760

-zobacz efekt na www.sklep.avt.pl

AVT-Korporacja Sp. z o.o.,
03-197 Warszawa, ul. Leszczynowa 11
tel. 022 257 84 50, fax 022 257 84 55
e-mail: handlowy@avt.pl

www.sklep.avt.pl