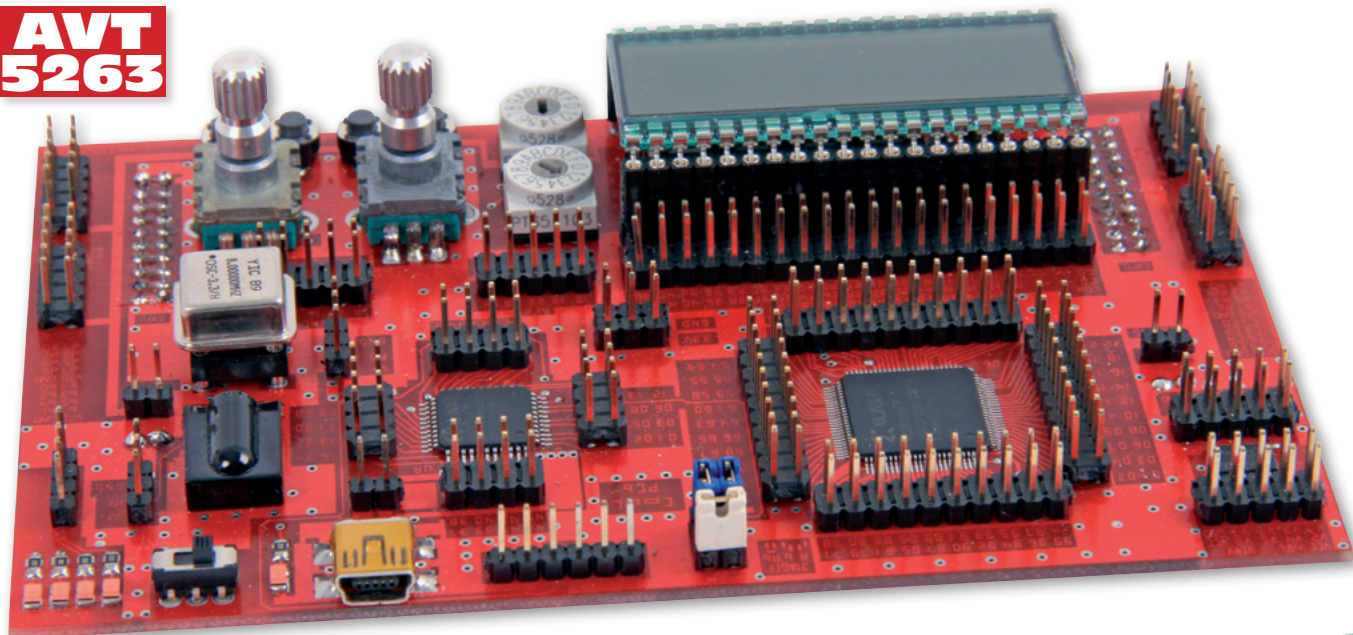


**AVT
5263**


CoolPCB

Zestaw uruchomieniowy CPLD CoolRunner II



Układy programowalne FPGA i CPLD cieszą się niestąbną popularnością. Niestety, większość dostępnych na rynku zestawów uruchomieniowych jest zbyt droga, a to utrudnia zapoznanie się z układami programowalnymi. Najtańsze z zestawów są w zasadzie kompletnie pozbawione peryferiów. Pewnym rozwiązaniem jest budowa własnego zestawu, którego możliwości można dostosować do własnych potrzeb. W prezentowanym zestawie zastosowano nowoczesne układy programowalne CPLD firmy Xilinx z rodziny CoolRunner II. Może on być alternatywny do zestawów fabrycznych.

Rekomendacje: zestaw przyda się wszystkim, którzy chcą nauczyć się programowania CPLD lub konstruktorom modelującym projektowane urządzenie cyfrowe w strukturze CPLD.

Jednym z założeń konstrukcyjnych, oprócz wyposażenia zestawu w podstawowe bloki peryferyjne umożliwiające mu autonomiczne działanie, była możliwość współpracy zestawu z mikrokontrolerami. O ile układy FPGA ze względu na bardzo duże zasoby sprzętowe mogą w większości przypadków pracować w zasadzie samodzielnie, to układy CPLD przeważnie uzupełniają układy mikroprocesorowe realizując zadania wymagające dużej szybkości (np.: szybkie liczniki, układy PWM, dodatkowe porty COM) lub odciążają procesor z realizacji procesów czasochłonnych, nadmiernie obciążających jego zasoby (np. obsługa multipleksowanych wyświetlaczy i klawiatur). Ze względu na dużą

popularność procesorów AVR i zestawu uruchomieniowego STK500, CoolPCB został wyposażony w odpowiedni dla STK500 interfejs sprzętowy i stanowi jego doskonałe uzupełnienie, rozszerzając skromne peryferia tego zestawu. Takie rozwiązanie umożliwia szybkie uruchamianie nawet złożonych układów.

Oczywiście, CoolPCB może też funkcjonować jako samodzielny zestaw uruchomieniowy.

Zestaw można zasilic z portu USB komputera, zestawu STK500, trzech baterii LR6 lub zasilacza zewnętrznego. Wszystkie peryferia zestawu pracują prawidłowo przy napięciu zasilania 3,3 V.

AVT-5263 w ofercie AVT:

AVT-5263A – płytka drukowana
AVT-5263B – płytka drukowana + elementy

Podstawowe informacje:

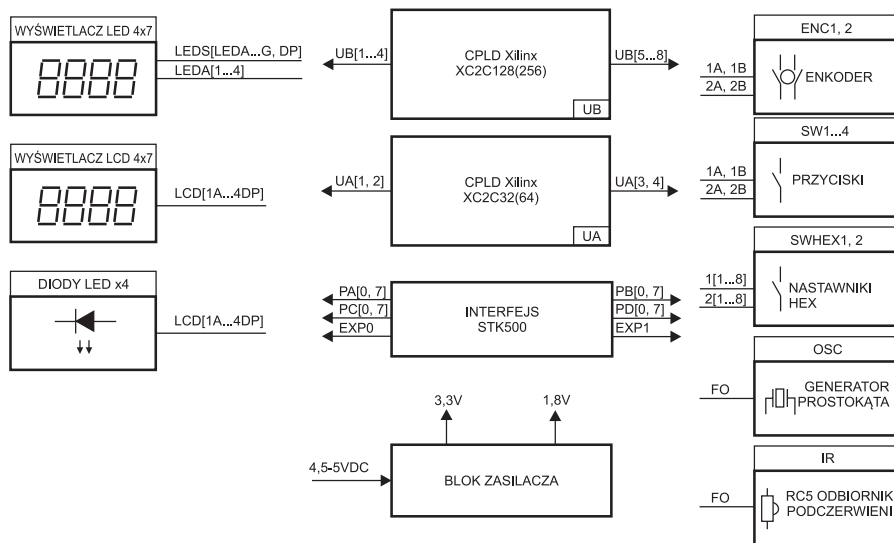
- CPLD Xilinx CoolRunner II XC2C128-VQ100 (128 makrocel) z możliwością zastąpienia przez XC2C256-VQ100 o podwojonych w stosunku do niego zasobach,
- CPLD Xilinx CoolRunner II XC2C32-VQ44 (32 makrocele) z możliwością zastąpienia przez XC2C64-VQ44 o podwojonych w stosunku do niego zasobach,
- Układy mogą być połączone w łańcuch JTAG w dowolnej konfiguracji, tj. każdy osobno lub w łańcuch,
- Peryferia wejściowe: dwa enkodery obrotowe z przyciskiem i układem polaryzacji, cztery mikroprzełączniki (w tym dwa sprzężone z przyciskami enkoderów), dwa nastawniki binarne 0/0FH z układami polaryzacji, odbiornik podczerwiieni,
- Peryferia wyjściowe: czteropozycyjny, multipleksowany, siedmiosegmentowy wyświetlacz LED ze wspólną anodą; czteropozycyjny, siedmio-segmentowy wyświetlacz LCD bez sterownika; cztery diody LED,
- Wbudowane stabilizatory +1,8 V (tylko dla rdzeni XC2xxx) i +3,3 V dla I/O i peryferiów.
- Wbudowany dwukierunkowy konwerter poziomów 3,3 V/5 V dla peryferiów starszego typu zgodnych ze standardem TTL,
- Złącza szpilkowe do rozprowadzania sygnałów wszystkich peryferiów oraz portów A, B, C, D zestawu STK500.

Dodatkowe materiały na CD i FTP:

- <ftp://ep.com.pl>, user: 12089, pass: 776m3t3q
- wzory płytek PCB
- karty katalogowe i noty aplikacyjne elementów oznaczonych w wykazie elementów kolorem czerwonym

Projekty pokrewne na CD i FTP:

- (wymienione artykuły są w całości dostępne na CD)
- AVT-2875 LogicMaster – płytka prototypowa dla CPLD (EdW 8/2008)
 - AVT-971 Zestaw uruchomieniowy USB z PIC18F4550 (EP 2/2007)
 - AVT-939 Zestaw startowy dla mikrokontrolerów ST7FLITE2x (EP 7/2006)
 - AVT-926 Zestaw startowy dla PsoC (EP 4/2006)



Rysunek 1. Schemat blokowy zestawu uruchomieniowego CoolPCB

Budowa

Na rysunku 1 pokazano schemat blokowy zestawu, a na rysunku 2 jego schemat ideowy i układy CPLD wraz ze stabilizatorami, natomiast na rysunku 3 umieszczono schemat układów peryferyjnych.

Wykaz elementów

Rezystory:

- RA, RD1...RD4: 1 kΩ (0805)
- RE1...RE4: 47 kΩ (0805)
- RLE1...RLE8: 100 Ω (0805)
- RS3...RS10: 10 kΩ (0805)

Kondensatory:

- CA1...CA3, CB1, CB2, CI, CO, CV1, CV2: 100 nF (0805)
- CE1...CE4: 1 nF (0805)
- CEA1, CEA2, CEB1, CEB2: 10 μF/6,3 V (tantalowy, B)
- CEI, CEO: 10 μF (elektrolityczny, B)

Półprzewodniki:

- IR: TSOP31238
- LD1...LD4, LDA: czerwona dioda LED (SMD)
- LED: wyświetlacz KW4-361 (LED, 4 cyfry)
- OSC1: generator kwarcowy np. 16 MHz/DIP-8/3,3 V
- UA: CPLD XC2C32A (TQFP44)
- UAP, UBP: LM1117-3.3 (SOT223)
- UB: XC2C128 (TQFP100)
- UCV: ST2378E (SSOP20)

Inne:

- CHV, CHL, ENC, HEX: wtyk IDC10
- ENC1, ENC2: enkoder EC11 z przyciskiem
- EXPO, EXP1: gniazdo IDC40
- EXPP0, EXPP1, PWR: wtyk 2x1 pin/2,54 mm
- FBI, FBO: dławik (koralik, SMD 0805)
- JTAG: listwa goldpin 2x3
- JTAGC, PWR: wtyk IDC6
- LCD: wyświetlacz LCD 4 cyfry (TME LCD4.0-0)
- LCD1, LCD2: goldpin 20x1
- LD, LEDA: wtyk IDC4
- LEDS: goldpin 2x4
- OSC: goldpin 3x1
- PA, PB, PC, PD, UB1...UB8: wtyk IDC10
- PWR1: gniazdo mini USB do druku
- S1...S4: mikroprzełącznik 6x4,5
- SW1: przełącznik dwupozycyjny, miniaturowy do druku
- SWHEX1, SWHEX2: nastawnik HEX (DIP-6)
- UA1...UA4: wtyk IDC8

Głównymi w zestawie są układy programowalne UA(XC2C32) oraz UB(XC2C128). Wszystkie wyprowadzenia I/O układów połączone są za złączami, odpowiednio – Ubx i UAx. Wyjątkiem jest wyprowadzenie UA-18, które z racji różnych funkcji w XC2C32 i XC2C64 nie zostało wyprowadzone. Etykiety wyprowadzeń złącz UAx, UBx odpowiadają fizycznym numerom wyprowadzeń UA i UB, co ułatwia połączenia, gdyż opis złącz jest zgodny z opisem w pliku *.ucf definiującym przyporządkowanie wyprowadzeń układu do realizowanej funkcji logicznej.

Ze względu współpracę z komputerem PC, jako podstawowe źródło zasilania przewidziano port USB. Zasilanie poprzez kabel MiniUSB doprowadzane jest do gniazda PWR1, a stąd poprzez wyłącznik SW1 do stabilizatorów UAP i UBP dostarczających napięcia zasilania zestawu. Układy CPLD UA i UB wymagają zasilania dwoma napięciami: 1,8 V (VCC) do zasilania wewnętrznej, programowalnej logiki układu i jego rdzenia oraz 3,3 V (VCCIOx, VAUX) służące do zasilania bloków interfejsowych sterujących wyprowadzeniami I/O. Zasilanie bloków interfejsowych ustalono na najbardziej uniwersalne 3,3 V, ale nic nie stoi na przeszkodzie, aby po zmianie stabilizatora UAP zastosować możliwy zakres 1,5...3,3 V. Trzeba jednak pamiętać, że nie wszystkie peryferia zestawu będą pracować poprawnie przy zasilaniu napięciem poniżej 2,7 V.

Napięć zasilających dostarczają układy stabilizatorów LDO UAP, UAB typu LM1117 (lub odpowiedniki) odsprężnione kondensatorami tantalowymi CEA1, CEA2 CEB1, CEB2. Dioda LDA sygnalizuje załączenie zasilania zestawu. Napięcie 3,3 V może być także wykorzystane do zasilania peryferiów i razem z potencjałem masy jest wyprowadzone na złącze PWR. W przypadku współpracy z zewnętrznym zasilaczem napięcie zasilające 5 V należy doprowadzić do złącza PWR2. W przypadku zasilania na-

pięciem VTG z zestawu STK500, należy zamontować (pamiętając o polaryzacji) zwrót z PWR2 do EXPP0 lub EXPP1. Ze względu na niewielki pobór mocy, zestaw można też zasiląć z baterii, np. trzech połączonych szeregowo baterii alkalicznych LR6, dołączonych do złącza PWR2. Zasilanie układów UA, UB odsprężnione jest kondensatorami CA1...CA3, CB1, CB2.

JTAG

Do programowania układów w systemie jest używany interfejs JTAG. W przypadku zastosowania programatorów DIGILENT JTAG-USB lub JTAG-LPT możliwe jest bezpośrednie zainstalowanie ich w gnieździe JTAG. W innych przypadkach konieczne jest wykonanie połączeń z zachowaniem zgodności sygnałów sterujących. Złącze konfigurowania JTAGC umożliwia przekonfigurowanie sprzętowe łańcucha JTAG. W zależności od położenia zwór jest możliwe programowanie jednego z układów UA/UB lub połączenie układów w łańcuchach.

Enkodery

Podstawowym elementem interfejsu użytkownika jest enkoder, coraz częściej zastępujący tradycyjne klawiatury. Na płycie układu uruchomieniowego zastosowano dwa enkodery (ENC1 i ENC2) typu EC11 z dodatkowym przyciskiem. Sygnały wyjściowe A i B enkoderów doprowadzone są do złącza ENC. Enkodery współpracują z obwodami polaryzacji i wstępnej filtracji sygnałów wyjściowych RE1...RE4, CE1...CE4. W celu zapewnienia prawidłowej pracy do wyprowadzenia 10 złącza ENC należy doprowadzić napięcie zasilające 3,3 V np. ze złącza PWR. Do złącza ENC doprowadzone są także sygnały z czterech mikroprzełączników S1...S4. Przyciski S1...S3 dołączone są równolegle do przycisków ENC1 i ENC2, co umożliwia zastosowanie enkodera bez wbudowanego dodatkowego przycisku.

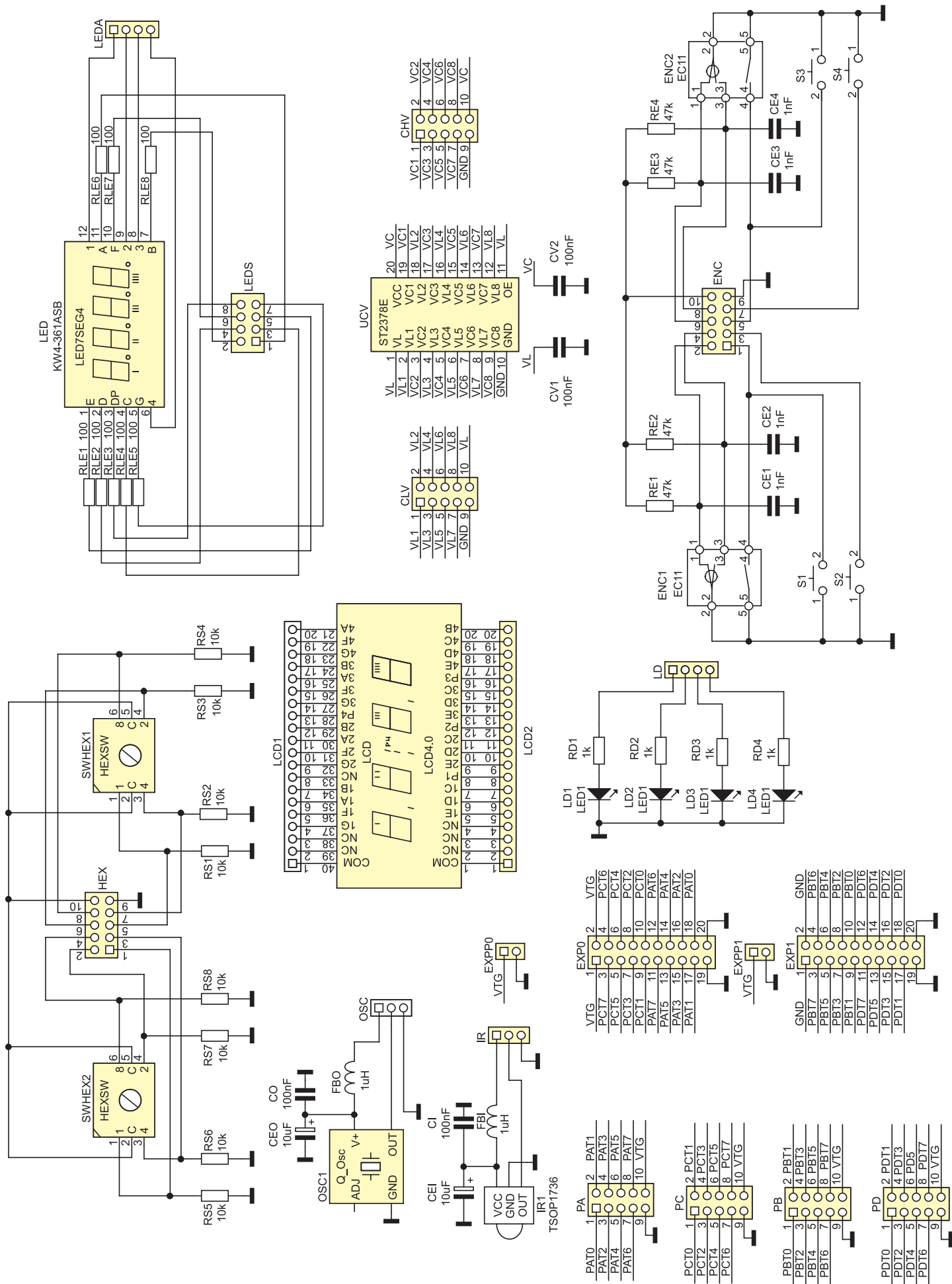
Nastawniki

Drugim elementem interfejsu użytkownika są nastawniki binarne SWHEX1 SWHEX2. Sygnały z nich są doprowadzone do złącza HEX. W zależności od potrzeb, można zastosować nastawniki w kodzie dziesiętnym lub binarnym-zanegowanym. W modelu zastosowano nastawniki w kodzie binarnym prostym. Nastawie 0H na wyjściach bitowych ważonych „1248” odpowiadają poziomy „0000”. W celu zapewnienia prawidłowej polaryzacji, do wyprowadzenia 10 złącza HEX należy doprowadzić napięcie zasilające 3,3 V, np. ze złącza PWR.

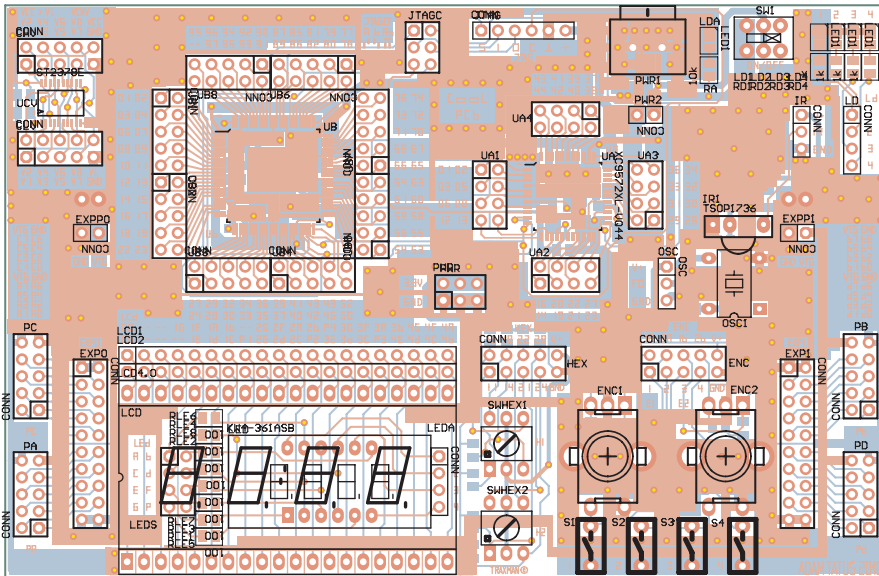
Odbiornik podczerwieni

Z racji sporych zasobów układów CoolRunner można pokusić się o realizację sprzętowych dekoderek zdalnego sterowa-

Na CD: karty katalogowe i noty aplikacyjne elementów oznaczonych w wykazie elementów kolorem czerwonym



Rysunek 3. Schemat ideowy – układy peryferyjne



Rysunek 4. Rozmieszczenie elementów na warstwie TOP LAYER

nia lub zastosować odbiornik podczterwieni IR1 zgodny z wymaganiami standardu RC5 w celu rozszerzenia możliwości STK500. W modelu zastosowano odbiornik typu TSOP31238 pracujący przy częstotliwości nośnej 38 kHz i o rozszerzonym zakresie napięcia zasilania 2,7...5 V. Sygnały wyjściowe odbiornika doprowadzone są do złącza IR. Aby odbiornik pracował, należy do wyprowadzenia 1 doprowadzić napięcie zasilania (3,3 V ze złącza PWR). Odebrany sygnał jest dostępny na wyprowadzeniu 2. Elementy CEI, CI, FBI zapewniają filtrację napięcia zasilania. W przypadku kłopotów z zakupem dławika FBI można go zastąpić rezystorem o rezystancji 47...100 Ω .

Wyświetlacz LED

Podstawowym elementem interfejsu użytkownika jest czteropozycyjny, multiplexowany wyświetlacz siedmiosegmentowy LED. Zastosowano wyświetlacz ze wspólną anodą typu KW4-361ASB, o ob-

niżonym poborze mocy i podwyższonej jasności. Prądy segmentów ograniczane są rezystorami RLE1...RE8. Wyprowadzenia segmentów (wraz z kropką dziesiątą DP) dołączone są do złącza LEDS, a anody do złącza LEDA.

Wyświetlacz LCD

Drugim elementem wyjściowym jest czterocyfrowy, siedmiosegmentowy wyświetlacz LCD bez sterownika. Wyświetlacz taki ze względu na specyfikę sterowania (każdy segment jest sterowany osobno) rzadko spotykany jest w zestawach uruchomieniowych, gdyż zajmuje zbyt dużo wyprowadzeń, układy scalone sterowników są trudno dostępne i drogie, a specjalizowane procesory np. ATmega169 nie są popularne. Jednak wyposażenie płytki ewaluacyjnej z układami CoolRunner w taki wyświetlacz jest całkowicie uzasadnione, ponieważ dysponuje on wystarczającą liczbą wyprowadzeń. Moc pobierana przez LCD jest niewielka, co idealnie

współgra z bardzo oszczędnymi układami CPLD Xilinx'a.

Wyprowadzenia elektrod 1A...4DP, COM są dołączone do złącz LCD1 i LCD2. Montaż wyświetlacza jest opcjonalny. Aby bez potrzeby nie zwiększać wymiarów płytki, wyświetlacz LCD jest montowany nad wyświetlaczem LED. Trudno sobie bowiem wyobrazić układ, w którym oba wyświetlacze pracują równocześnie.

Diody LED

Uzupełnieniem wyświetlaczy są cztery diody LED (LD1...LD4). Można ich używać np.: do sygnalizowania poziomów napięcia na wyjściach.

Generator kwarcowy

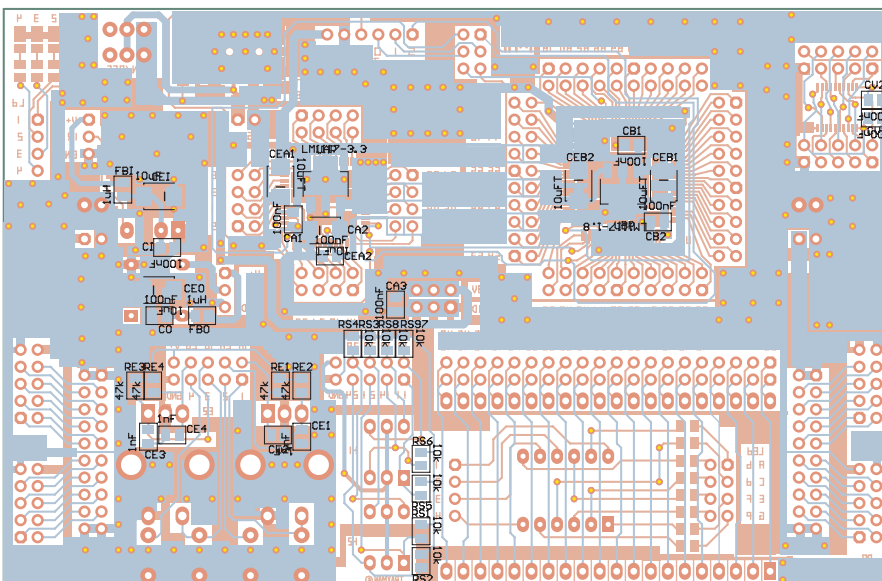
Na płytce zastosowano oscylator OSC1 w obudowie DIP8 zasilany napięciem 3,3 V. Jego zasilanie jest odsprężnione kondensatorami CEO, CO i odseparowane dławikiem FBO. Częstotliwość pracy generatora zależy od aplikacji, dlatego OSC1 zamontowany jest w podstawce DIP8 umożliwiającej jego łatwą wymianę. W razie konieczności otrzymania podwielokrotności częstotliwości, można wykorzystywać do podziału odpowiednio zaprogramowany układ UA. W celu zasilania oscylatora, do doprowadzenia 1. złącza OSC należy doprowadzić napięcie 3,3 V, np. ze złącza PWR.

Konwerter poziomów

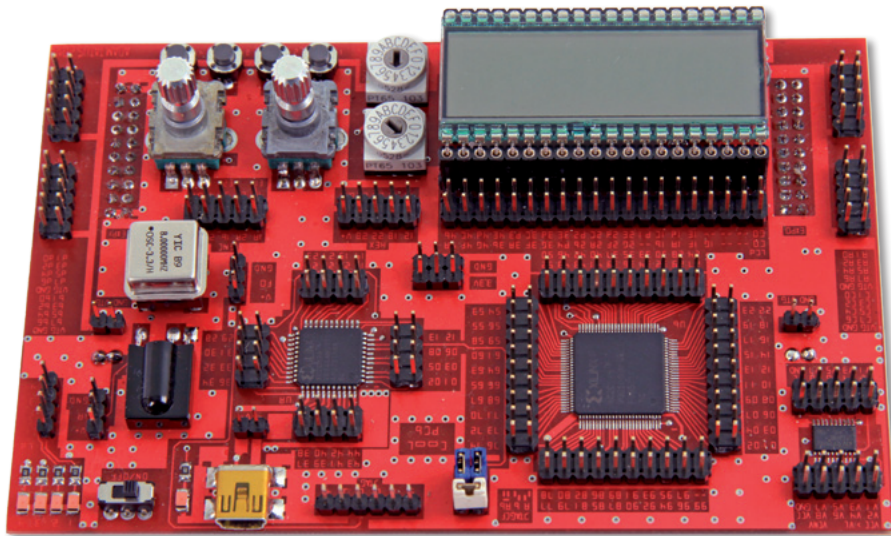
Dla ułatwienia współpracy z układami zasilanymi napięciem 5 V zastosowano dwukierunkowy konwerter poziomów UCW typu ST2378E. Zapewnia on dostosowanie poziomów sygnałów logicznych TTL do poziomów niskonapięciowych układów CMOS. Do złącza CLV należy doprowadzić sygnały niskonapięciowe oraz zasilanie VL z zakresu 1,8...5 V (typowo 3,3 V). Do złącza CHV doprowadzone są sygnały TTL oraz zasilanie VC. Aby nie uszkodzić układu UCW, należy zawsze zapewnić warunek $VL < VC$. Wyprowadzenia złącz CHV i CLV są zgodne z STK500, więc można do jego połączenia z CoolPCB zastosować typowy kabelek IDC10 połączony jeden-w-jeden. Zasilania VL, VC odsprężnione są kondensatorami CV1 i CV2.

Interfejs STK500

CoolPCB został przystosowany do współpracy z zestawem uruchomieniowym AVR STK500. Umożliwia to współdzielenie peryferiów i rozszerzenie możliwości funkcjonalnych takiego tandemu. Mechanicznie zapewniają to złącza EXP0 i EXP1, które rozstawem pasują do złącz EXPAND0 i EXPAND1 zestawu STK500. Elektrycznie złącza EXP0 i EXP1 umożliwiają wyprowadzenie wszystkich sygnałów portów A, B, C, D z zestawu STK500. Dla ułatwienia po-



Rysunek 5. Rozmieszczenie elementów na warstwie BOTTOM LAYER



Fotografia 6. Zmontowana płytka CoolPCB

łączeń, każdy z portów A...D wyprowadzony jest na osobne złącze szpilkowe PA...PD z zachowaniem zgodności poszczególnych linii sygnałów bitowych Px0...Px7 oraz GND i VTG. Układ wyprowadzeń zachowano także w przypadku złącz END, HEX, CLH, CLV.

Zasilanie zestawu STK500 VTG/GND jest doprowadzone do złącz EXPP0 i EXPP1, więc można go użyć do zasilania CoolPCB poprzez połączenie EXPP0 lub EXPP1 ze złączem PWR. Należy pamiętać jednak o ustawieniu VTG w zakresie 4,5...5 V.

Uruchomienie

Układ zmontowano na dwustronnej płytce drukowanej z metalizacją otworów. Schemat montażowy płytki pokazano na rysunku 4 i rysunku 5.

Do montażu zestawu konieczne jest użycie precyzyjnej lutownicy o regulowanej mocy. W pierwszej kolejności lutujemy (zgodnie z rysunkiem 5). elementy umieszczone pod spodem płytki. Po sprawdzeniu poprawności montażu, przechodzimy do montażu elementów z warstwy górnej. W pierwszej kolejności, kontrolując poprawność montażu i usuwając ewentualne zwarcia pomiędzy wyprowadzeniami, montujemy elementy bierne, układy UA i UB. Następnie montujemy przełączniki, złącza szpilkowe (z wyjątkiem EXP0 i EXP1), złącze USB i pozostałe elementy, zwracając uwagę na polaryzację kondensatorów tantalowych.

Rodzaj zastosowanych złącz EXP0 i EXP1 zależy od przeznaczenia układu. Jeżeli chcemy wykorzystywać tylko CoolPCB, można złącza PA...PD, EXP0 i EXP1 nie montować. Jeżeli chcemy złącza PA...PD używać do komunikacji z układami zewnętrznymi, to warto jako EXP0 i EXP1 zamontować także złącza szpilkowe od góry. Umożliwia to łatwe wyprowadzenie sygnałów z płytki.

W przypadku współpracy z STK500, jako EXP0 i EXP1 najlepiej zamontować od

strony druku złącza żeńskie, a do połączenia z STK500 użyć przedłużaczy szpilkowych 2×20 pin/45 mm. Wyświetlacz LCD może być pominięty, jednak proponuję wlutować złącza szpilkowe LCD1, LCD2 oraz wysokie gniazda kielichowe o rozstawie 2,54 mm, do których w razie potrzeby można włożyć wyświetlacz LCD bez konieczności lutowania.

Jeżeli płytka została zmontowana bezbłędnie, nie wymaga uruchomienia. Można jedynie sprawdzić napięcia zasilania 1,8 V i 3,3 V. Po podłączeniu zasilania (USB) i programatora do złącza JTAG, należy skonfigurować łańcuch zgodnie z opisem na płytce: zwarte piny UA+UB (12, 35, 46), tylko UA (35, 24), tylko UB (13, 46). W oknie programu *iMPACT* obsługującego programator powinien być wyświetlany prawidłowo odczytany łańcuch JTAG (rysunek 7).

Przykładowe aplikacje

Dla szybkiego sprawdzenia zestawu przygotowano dwie aplikacje:

- Programowany dzielnik częstotliwości dla XC2C32A. Składa się on z dwóch szeregowo połączonych dzielników częstotliwości sygnału genero-

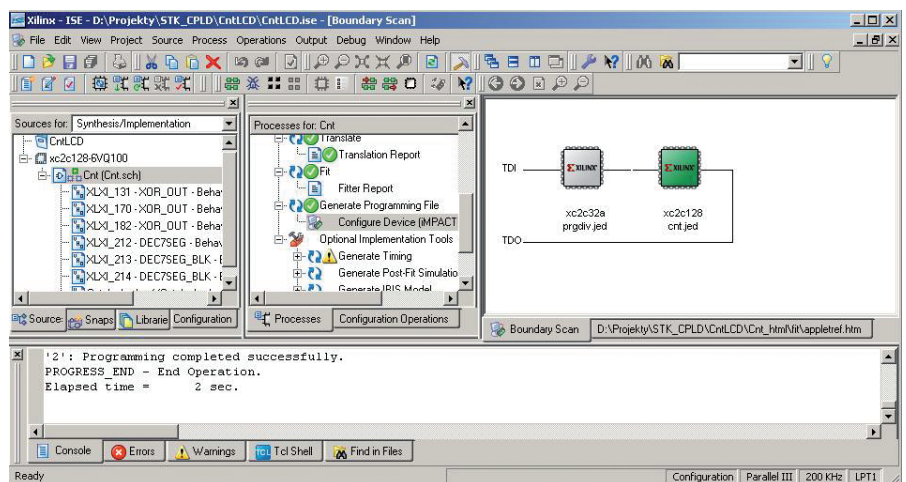
wanego przez oscylator na wejściu FOSC. Pierwszy, binarny dzielnik przez 1/2.../256. Stopień podziału jest ustalany przez nastawnik dołączony do wejść BSEL0...BSEL2. Sygnał o danej uzyskanej ze wstępnego podziału częstotliwości jest doprowadzony do wyjścia BFO-UT oraz dzielnika dziesiętnego 1...10 k, którego stopień podziału ustalany jest nastawnikiem dołączonym do wejść BSEL. Sygnał wyjściowy jest dostępny na wyprowadzeniu DFO-UT. W projekcie opisanego schematem układu wykorzystano elementy biblioteczne pakietu WebPack.

- Licznik nawijarki 0-1999 z wejściem kasującym dla XC2C128. Układ składa się z licznika BCD 0...1999, którego wyjścia dołączone są do dekoderek kodu BCD na kod siedmiosegmentowy i bramek XOR bezpośrednio sterujących segmentami wyświetlacza LCD. Układ wymaga doprowadzenia sygnału zegarowego o częstotliwości 100 Hz do wejścia PH, który podzielony przez 2 na wyjściu COM steruje elektrodą wspólną LCD. Wejściem impulsów zliczanych jest CKIN, a wejściem zerującym licznik jest RES. Poszczególne segmenty sterowane są z wyjść jednostek A4...G4, dziesiątek A3...G3, setek A2...G2 oraz wspólnie tysięcy AB1 (zwarte segmenty A, B). W układzie wygaszane są nieznaczące zera.

Adam Tatus
atatus@op.pl

Literatura:

1. <http://www.xilinx.com/products/coolrunner2/index.htm>
2. „Układy FPGA w przykładach” Jacek Majewski, Piotr Zbysiński, BTC 2007.
3. „Układy programowalne pierwsze kroki” Piotr Zbysiński, Jerzy Pasierbiński, BTC 2004.
4. Noty aplikacyjne pozostałych elementów



Rysunek 7. Odczyt łańcucha JTAG zestawu CoolPCB