

# Siła (w) pamięci

## Obsługa zewnętrznych pamięci SDRAM w układach Cyclone IV firmy Altera

**Dodatkowe informacje:**

są dostępne u dystrybutora firmy Altera: EBV Sp. z o.o., [www.ebv.com](http://www.ebv.com), tel. 71 3422944.

*Jedną ze sztanदारowych cech współczesnych układów FPGA jest możliwość implementacji w nich – dzięki specjalnym zasobom logicznym – bloków szybkich pamięci RAM, ROM i FIFO, których jedyną „wadą” są ich relatywnie (w stosunku do powszechnie dostępnych w urządzeniach elektronicznych „megabajtów”) niewielkie pojemności. Problem ten można bez większego trudu ominąć, a w jaki sposób – pokażemy w artykule na przykładzie popularnych pamięci DDR SDRAM.*

Dołączenie do FPGA – podobnie jak i do mikrokontrolera lub mikroprocesora – pamięci zewnętrznej nie jest pozornie zadaniem specjalnie trudnym. Niestety, prostota staje się tym bardziej pozorną im nowocześniejszy rodzaj pamięci będziemy chcieli zastosować. Kłopoty zaczynają się już od SDRAM, niewiele łatwiejsze (przynajmniej na początku) jest korzystanie

Tabela 1. Zestawienie wybranych zasobów układów Cyclone IV GX

Cecha	EP4CGX15	EP4CGX22	EP4CGX30	EP4CGX50	EP4CGX75	EP4CGX110	EP4CGX150
Liczba bloków LE	14400	21280	29440	49888	73920	109424	149760
Liczba wewnętrznych PLL	3	4	4	8	8	8	8
Maksymalna liczba linii I/O	72	150	290	310	310	475	475

Tabela 2. Zestawienie maksymalnych częstotliwości taktowania interfejsów pamięci oraz ich standardów obsługiwanych przez poszczególne rodziny FPGA

Rodzina FPGA	Typ pamięci					
	DDR3 SDRAM	DDR2 SDRAM	DDR SDRAM	RLDRAMII	QDRII SRAM	QDRII + SRAM
Stratix V	1600 Mb/s 800 MHz	800 Mb/s 400 MHz	400 Mb/s 200 MHz	800 Mb/s 400 MHz	1400 Mb/s 350 MHz	1600 Mb/s 400 MHz
Stratix IV	1067 Mb/s 533 MHz	800 Mb/s 400 MHz	400 Mb/s 200 MHz	800 Mb/s 400 MHz	1400 Mb/s 350 MHz	1600 Mb/s 400 MHz
Stratix III	1067 Mb/s 533 MHz	800 Mb/s 400 MHz	400 Mb/s 200 MHz	800 Mb/s 400 MHz	1400 Mb/s 350 MHz	1600 Mb/s 400 MHz
Stratix II, Stratix II GX	-	667 Mb/s 333 MHz	400 Mb/s 200 MHz	600 Mb/s 300 MHz	1200 Mb/s 300 MHz	1200 Mb/s 300 MHz
Stratix, Stratix GX	-	-	400 Mb/s 200 MHz	400 Mb/s 200 MHz	800 Mb/s 200 MHz	-
Arria II GX	800 Mb/s 400 MHz	667 Mb/s 333 MHz	400 Mb/s 200 MHz	-	1000 Mb/s 250 MHz	1000 Mb/s 250 MHz
Arria GX	-	466 Mb/s 200 MHz	400 Mb/s 200 MHz	-	-	-
Cyclone IV	-	400 Mb/s 200 MHz	333 Mb/s 167 MHz	-	668 Mb/s 167 MHz	-
Cyclone IIIIS	-	333 Mb/s 167 MHz	300 Mb/s 150 MHz	-	600 Mb/s 150 MHz	-
Cyclone III	-	400 Mb/s 200 MHz	333 Mb/s 167 MHz	-	668 Mb/s 167 MHz	-
Cyclone II	-	333 Mb/s 167 MHz	333 Mb/s 167 MHz	-	668 Mb/s 167 MHz	-

z pełni możliwości oferowanych przez pamięci Flash.

Z czego wynikają problemy? Przede wszystkim z konieczności skonfigurowania pamięci do pracy, programowania automatów sterujących ich działaniem w zależności od kontekstu operacji, a także konieczności odświeżania zawartości pamięci dynamicznych (jak wszelkiego rodzaju SDRAM).

## SDRAM, QDR, DDR: Cyclone IV da sobie radę!

Zasoby logiczne dostępne w układach Cyclone IV umożliwiają implementacje w nich wielu, także bardzo zaawansowanych, projektów cyfrowych. O możliwościach współpracy układów FPGA z zewnętrznymi pamięciami decydują dwa zasadnicze czynniki:

- odpowiednio duża liczba dostępnych linii I/O,
- przystosowanie transceiverów w komórkach I/O do pracy w trybach czasowo-napięciowych zgodnych ze stosowanymi w interfejsach I/O pamięci.

W tabeli 1 pokazano zasoby dostępne w układach z serii Cyclone IV GX, w tym także w układzie EP4CGX15, który zastosowano w zestawie ewaluacyjnym *Cyclone IV Transceiver Starter Board*, który autor wykorzystywał do sprawdzenia działania implementowanych fragmentów projektów.

W tabeli 2 zestawiono typy interfejsów pamięci obsługiwanych przez poszczególne układy FPGA firmy Altera oraz maksymalne częstotliwości taktowania transmisji danych wraz z uzyskiwanymi przepływnościami. Warto zwrócić uwagę, że układy z rodziny Cyclone IV GX nie obsługują pamięci z dostępem podzielonym na grupy za pomocą sygnałów DQS w liczbie powyżej 3, co wymaga stosowania do współpracy z nimi wyłącznie popularnych modułów

DIMM z pamięciami DDR o organizacji x1 lub x2.

## SSRAM: wygodne, ale drogo

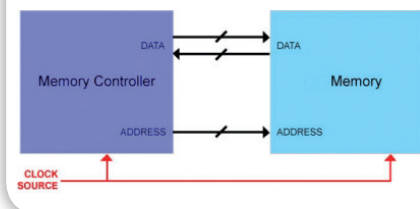
Zastosowanie na zewnątrz FPGA szybkiej, synchronicznej pamięci RAM (SSRAM – **fotografia 1**), jest wygodnym lecz droгим sposobem powiększenia zasobów pamięciowych systemu. Taką pamięć zastosowano m.in. w zestawie *Cyclone IV Transceiver Starter Board* (jest to układ IS61VP-S102418A firmy ISSI), jej schemat blokowy pokazano na **rysunku 2**. Programowanie trybu pracy pamięci tego typu polega na generacji odpowiednich sekwencji sygnałów na liniach sterujących, a dzięki statycznej architekturze komórek pamięciowych użytkownik nie musi pamiętać o odświeżaniu jej zawartości, co znacznie upraszcza korzystanie z takich pamięci w aplikacjach. Niestety cena takiej pamięci jest dość wysoka (ok. 4...6-krotnie wyższa niż SDRAM o tej samej pojemności), co wynika przede wszystkim z dużej powierzchni struktury półprzewodnikowej, a to z kolei jest efektem skomplikowanej budowy komórek pamięciowych, składających się z co najmniej 6 tranzystorów (a nie jednego jak w SDRAM).

## W kierunku ekonomii

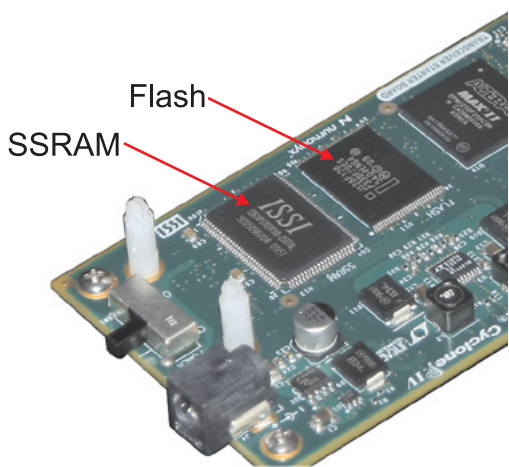
W aplikacjach, w których potrzebne są pamięci o większych pojemnościach i cenach niższych niż SSRAM, są zazwyczaj stosowane pamięci dynamiczne SDRAM (*Synchronous DRAM*) lub ich nowocześniejsze odpowiedniki SDRAM DDR, SDRAM DDR2 itp. Nowoczesne pamięci dynamicz-

## Pamięci w szybkich systemach cyfrowych

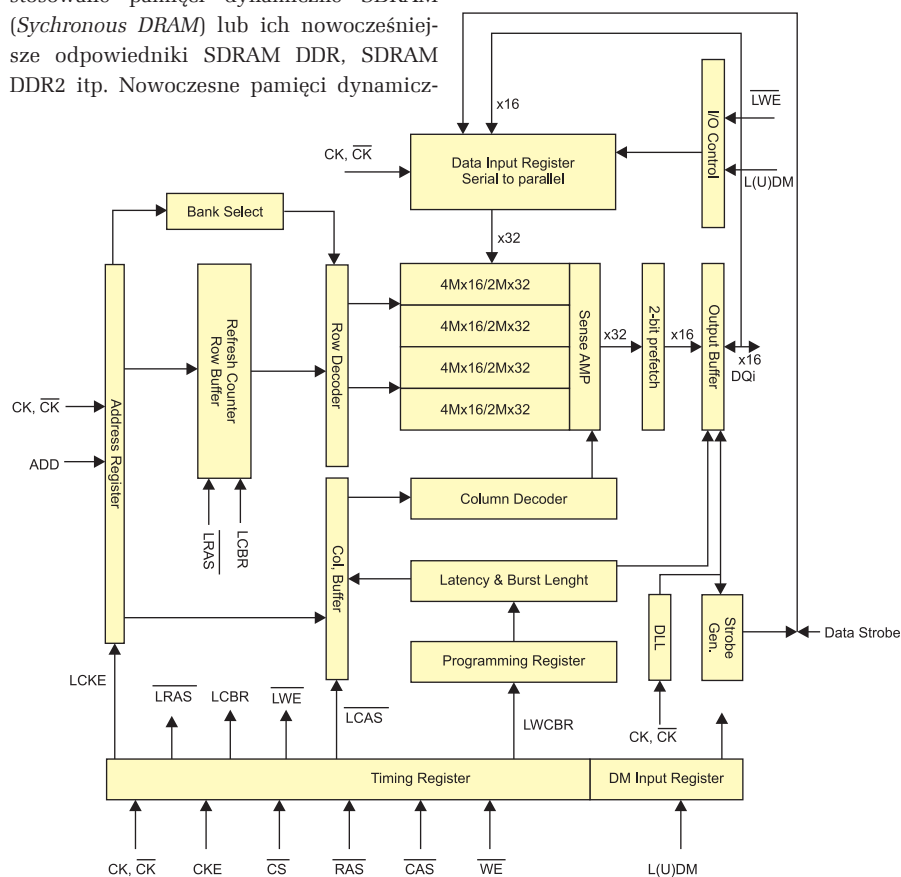
W systemach taktowanych sygnałami zegarowymi o dużych częstotliwościach konieczne jest synchronizowanie pracy współpracujących ze sobą fragmentów, do czego jest wykorzystywany jeden z sygnałów zegarowych. Tak też się dzieje z szybkimi pamięciami RAM i DRAM, które pracują synchronicznie z systemowym sygnałem zegarowym.



ne są zaawansowanymi, programowalnymi systemami cyfrowymi, których konfiguracja i obsługa przed rozpoczęciem właściwego funkcjonowania (czyli zapisu i odczytu danych) wymaga wielu zabiegów ze strony współpracujących z nimi mikrokontrolerów lub mikroprocesorów. Żeby ułatwić ich stosowanie w klasycznych aplikacjach system projektowy Quartus II wyposażono w „miękkie” interfejsy (*IP cores*) zintegrowane ze sterownikami pamięci SDRAM różnego rodzaju. Jak wykreować taki interfejs (HPC – *High Performance Controller*), dostosowany do wymogów konkretnego typu współpracujących pamięci pokażemy w dalszej części artykułu.



**Fotografia 1.** Pamięć SSRAM IS61VP-S102418A firmy ISSI zastosowana w zestawie *Cyclone IV Transceiver Starter Board*



**Rysunek 2.** Schemat blokowy pamięci IS61VP5102418A

Zaawansowane interfejsy pamięciowe firmy Altera są oparte na uniwersalnej megafunkcji interfejsowej o nazwie ALTMEMPHY, która umożliwia budowanie interfejsów synchronizowanych jednym lub dwoma zbroczami sygnału zegarowego, można ją skonfigurować do pracy w trybie *burst* z paczkami danych składającymi się z 4 lub 8 słów, ma też ona niezwykle przydatną możliwość automatycznej samokalibracji, dzięki której automatycznie są modyfikowane – w razie potrzeby: faza i częstotliwość sygnału taktującego, co zapobiega nieprawidłowemu działaniu interfejsu w przypadku zmian napięcia zasilającego, impedancji obciążenia, temperatury i innych czynników zakłócających. W zależności od typu układu FPGA megafunkcja ALTMEMPHY wykorzystuje różne zasoby taktujące, ale trzeba pamiętać o tym, że wykorzystywany przez nią jest co najmniej jeden syntezer częstotliwości PLL wbudowany w układ FPGA. Sygnał wyjściowy tego syntezaera może być wykorzystywany przez inne fragmenty implementowanego projektu, przy czym parametry sygnału zegarowego są przez ALTMEMPHY modyfikowane!

Na **rysunku 3** pokazano schemat blokowy interfejsu HPC zbudowanego za pomocą kreatora wbudowanego w pakiet Quartus II. Jak widać, poza wspomnianą megafunkcją, w skład interfejsu HPC wchodzi także blok logiki (jego budowa zależy od rodzaju sterowanej pamięci), którego opis jest dostarczany w postaci zaszyfrowanego bloku IP. Schemat blokowy zaszyfrowanej części interfejsu pamięci SDRAM DDR pokazano na **rysunku 4**.

Przebieg kreacji interfejsu pamięci SDRAM DDR pokazano na **rysunku 5**, a kreator jest uruchamiany poprzez naciśnięcie przycisku *MegaWizard Plug-in Manager* w oknie *Symbol* edytora schematów (widoczne na **rysunku 6**). Predefiniowane interfejsy pamięci są ułożone w katalogu *Installed Plug-ins->Interfaces->External Memory->DDR SDRAM*.

Użytkownik implementujący interfejs pamięci SDRAM DDR, w kolejnych oknach kreatora może ręcznie zadać wartości wszystkich istotnych parametrów czasowych i funkcjonalnych, może także skorzystać z kilku (nie jest ich niestety zbyt wiele) prede-

Tabela 3. Maksymalne częstotliwości taktowania interfejsów pamięci SDRAM DDR i pochodnych w zależności od sufiksu czasowego w oznaczeniu układów Cyclone IV GX

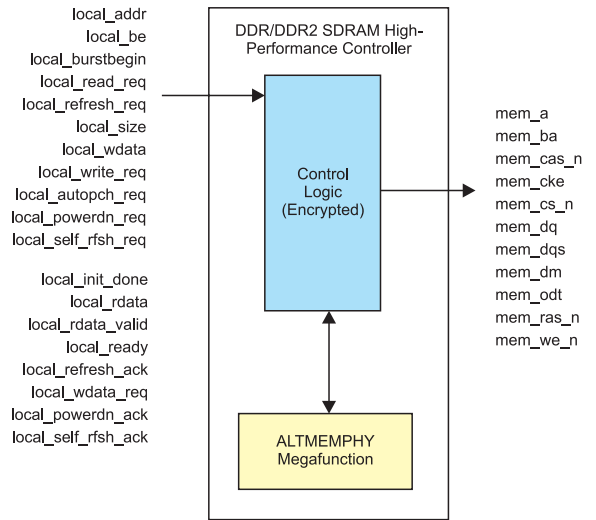
Sufiks w oznaczeniu typu układu	Maksymalna częstotliwość taktowania w trybie half-rate [MHz]	Maksymalna częstotliwość taktowania w trybie full-rate [MHz]
C6	167	167
C7, I7	150	150
C8	133	133

finiowanych modeli pamięci SDRAM DDR (powiększony fragment okna „1”), dzięki czemu można uniknąć błędów i przyspieszyć sobie pracę. Jeżeli projektant decyduje się na ręczne skonfigurowanie interfejsu, to do wypełnienia lub zmodyfikowania ma parametry czasowe w oknach „2” i „3” na rysunku 5. Zalecane jest pozostawienie aktywnej opcji autokalibracji interfejsu, co ułatwi zapobieżenie jego nieprawidłowej współpracy z pamięciami.

Okno „4” na rysunku 5 służy do wybrania rodzaju generowanego HPC i skonfigurowaniu jego funkcjonowania, m.in. poprzez włączenie lub wyłączenie trybu auto-usypiania, sposobu odświeżania zawartości pamięci, sposobu adresowania, głębokości kolejki *burst* itd.

W oknie „5” na rysunku 5 można zażądać generacji modelu symulacyjnego (z uwzględnieniem dokładnych parametrów czasowych) a także generacji netlisty, która jest prekompilowaną wersją elementu bibliotecznego (skraca czas kompilacji całego projektu).

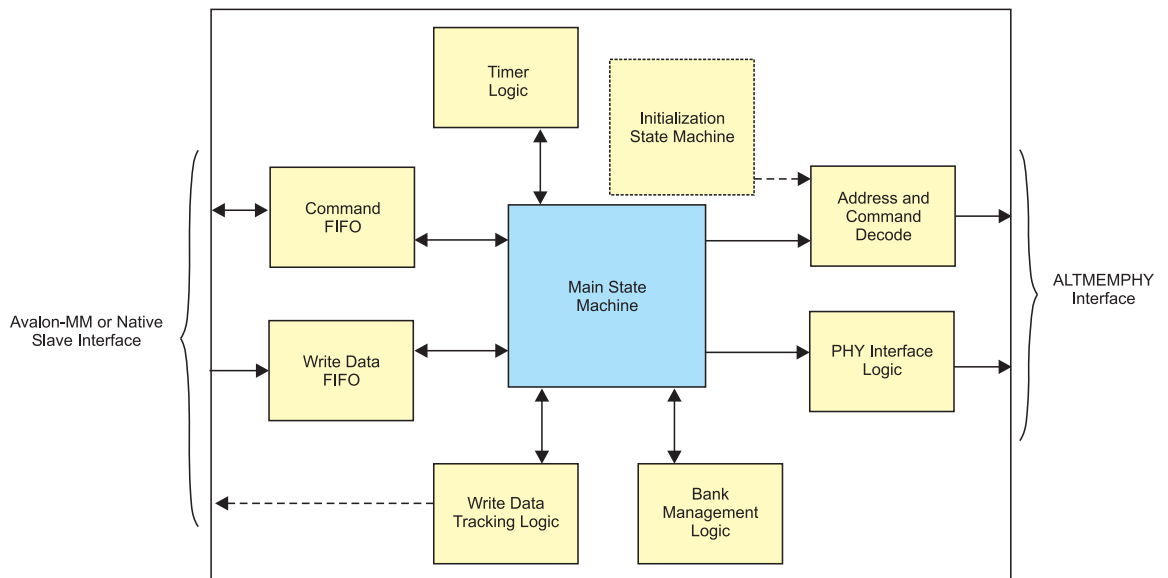
Dzięki opcjom widocznym w oknie „6” na rysunku 5 projektant może ustalić jakie pliki – poza niezbędnymi do wykreowania nowego elementu bibliotecznego – chce



Rysunek 3. Schemat blokowy interfejsu HPC

wygenerować, dzięki czemu np. generując model *IP core'a* w VHDL można od razu utworzyć „black box” w Verilogu lub odwrotnie, co upraszcza implementację projektu w różnych projektach.

Podczas syntezy interfejsów pamięci zewnętrznych pakiet Quartus II samoczynnie przypisuje ich wyprowadzenia do grup portów I/O najlepiej dostosowanych do ich charakteru pracy. W układach Cyclone IV GX linie interfejsów pamięci nie powinny być przypisywana do lewej grupa portów I/O, pozostałe trzy (grupy: prawa, dolna i górna) są traktowane przez system jako domyślne.

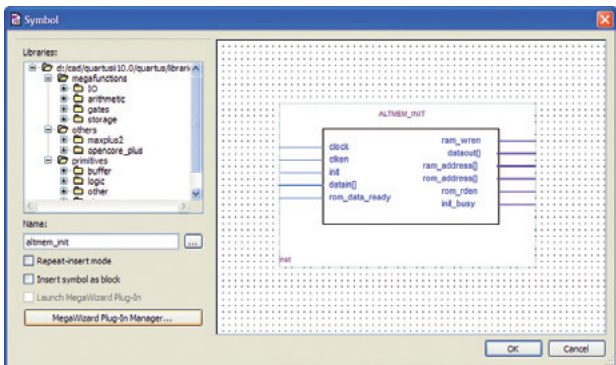


Rysunek 4. Schemat blokowy zaszyfrowanej części interfejsu HPC





Rysunek 5. Przebieg kreacji interfejsu pamięci SDRAM DDR, kolejne etapy oznaczono cyframi



Rysunek 6. Okno Symbol z którego jest uruchamiany MegaWizard Plug-in Manager

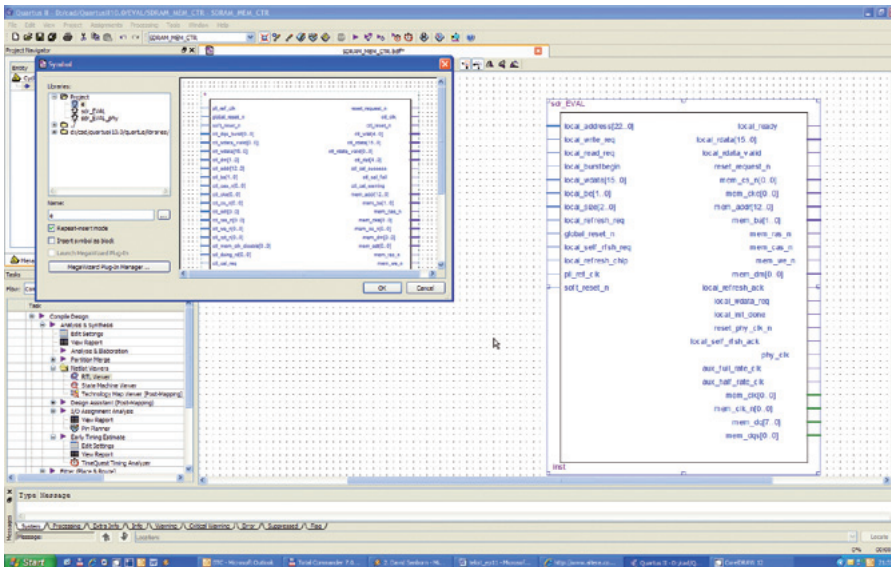
Ponieważ – jak widać na **rysunku 7** – utworzony symbol graficzny interfejsu pamięci zewnętrznej ma dużo wyprowadzeń, dobre zrozumienie sposobu ich podłączenia wymaga zapoznania się z odpowiednią dokumentacją. Najszybszy dostęp do niej można uzyskać poprzez kliknięcie w symbol wygenerowanego elementu umieszczonego na planszy

edytora schematów, co spowoduje otworzenie kreatora (**rysunek 8**), w którego górnej części jest dostępny link do odpowiedniego pliku PDF.

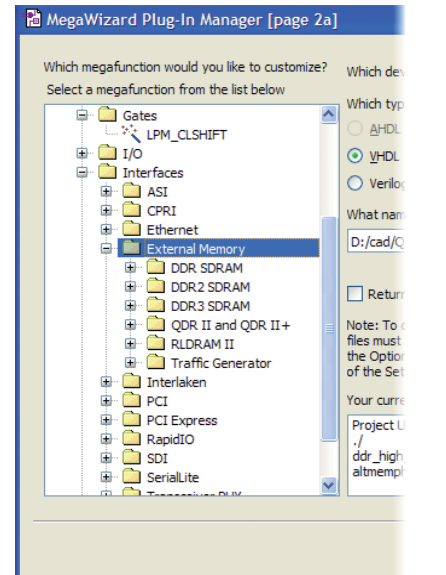
Implementacje interfejsów dla innych typów pamięci przebiegają podobnie, ich wersje bazowe są dostępne w katalogu *Installed Plug-ins->Interfaces->External Memory* (**rysunek 9**).

**Ekspresowe wyszukiwanie**

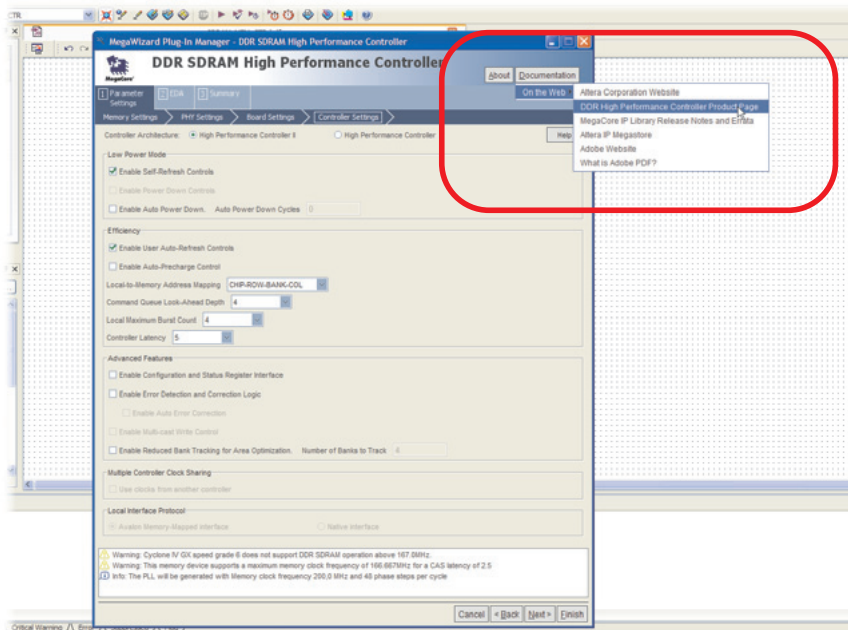
Dobranie interfejsu współpracującego z zewnętrznymi pamięciami nie jest zadaniem banalnym, a ze względu na kłopoty



Rysunek 7. Symbol graficzny interfejsu zewnętrznej pamięci SDRAM DDR



Rysunek 9. Wykaz wersji bazowych megafunkcji dostępnych w systemie Quartus II



Rysunek 8. Najszybszy dostęp do dokumentacji konfigurowanej megafunkcji zapewnia okno kreatora

znacznie prostsze niż gdyby trzeba by było ich obsługę implementować ręcznie. Nie znaczy to jednak, że wykorzystanie ich pełni możliwości jest zadaniem łatwym: ich aplikowanie musi mieć wyraźne uzasadnienie. Zdecydowanie wygodniejsze w użyciu są pamięci wewnętrzne dostępne w zasobach konfigurowalnych FPGA (EP10/2010), które ponadto charakteryzują się dużą częstotliwością taktowania.

Wniosek z tego jest następujący: dzięki narzędziom wbudowanym w pakiet Quartus II i dostarczanym wraz z nim zestawem bibliotek IP core każdy konstruktor może zminimalizować nakłady pracy na realizację nawet bardzo rozbudowanego projektu, co nie zmienia faktu, że „samo” się nic nie zrobi. Zewnętrzne pamięci SDRAM to dość wymagający partner, ale pojemnością i ceną potrafią odplacić za nakład pracy wymagany do ich pełnego „opanowania”.

Tomasz Starak

w konfiguracji i doborze parametrów czasowych, przed rozpoczęciem prac warto zapoznać się z narzędziem udostępnionym bezpłatnie przez firmę Altera na firmowej stronie internetowej (pod adresem <http://www.altera.com/technology/memory/estimator/mem-emif-index.html> – rysunek 10). Program ten umożliwi szybkie zorientowanie się jaki typ pamięci zewnętrznej i w jakiej konfiguracji może współpracować z układami FPGA z wybranej rodziny – w bazie danych znajdują się bowiem wszystkie FPGA produkowane przez Alterę.

**Na koniec**

Dzięki udostępnieniu przez firmę Altera IP core’ów spełniających rolę interfejsów pamięci zewnętrznych korzystanie z nowoczesnych, szybkich pamięci dynamicznych jest

FPGA Family	Memory	Depth	Interface I/O/P	Frequency	Memory Device Speed Grade (MHz)	Width Expansion	DQ	IOB Standard	Bank	ECC	Memory Device	Timing Model	Comments
Cyclone IV GX	Full Rate	Component 1 Chip Select/Row 1/0	1/0/2	100	100	16	16	SETT, 2 Class 131.4	1	16	SETT, 2 Class 131.4	Ballroom	Left side does not supported external memory
Cyclone IV GX	Full Rate	Component 1 Chip Select/Column 1/0	1/0/2	100	100	16	16	SETT, 2 Class 131.4	1	16	SETT, 2 Class 131.4	Ballroom	Left side does not supported external memory
Cyclone IV GX	Full Rate	Component 2 Chip Select/Row 1/0	1/0/2	100	100	16	16	SETT, 2 Class 131.4	1	16	SETT, 2 Class 131.4	Ballroom	Left side does not supported external memory
Cyclone IV GX	Full Rate	Component 2 Chip Select/Column 1/0	1/0/2	100	100	16	16	SETT, 2 Class 131.4	1	16	SETT, 2 Class 131.4	Ballroom	Left side does not supported external memory

Rysunek 10. Okno internetowego katalogu interfejsów pamięci zewnętrznych obsługiwanych przez układy FPGA firmy Altera