

Procesory Nios II w układach FPGA (1)

Układy FPGA umożliwiają dowolne kształtowanie implementowanego w nich systemu cyfrowego. Stwarza to możliwość zaprojektowania znacznej części urządzenia w jednym, dużym układzie programowalnym, a także jego łatwe przekonfigurowanie. Możliwości funkcjonalne implementowanych systemów cyfrowych znakomicie zwiększają soft procesory udostępniane w postaci modułów IP core wraz z odpowiednim oprogramowaniem narzędziowym

Multum możliwości

Układy programowalne, szczególnie układy FPGA, są zazwyczaj wybierane do zadań, w których mikrokontroler, czy mikroprocesor byłyby zbyt wolne. Przecież, niektóre zadania systemu cyfrowego mogą być wykonywane równolegle przez proste bloki sprzętowe. Podzielenie zadania na kilka realizowanych jednocześnie wątków umożliwia jego szybsze ukończenie. Natomiast procesory pracują sekwencyjnie, to znaczy przetwarzają instrukcje krok po kroku.

Jednakże pomimo zalet realizacji sprzętowej zadań, niektóre z nich można realizować szybciej i prościej stosując mikroprocesor. W systemach cyfrowych często istnieje potrzeba zaprojektowania obwodu sterującego jego pracą – jednostki nadrzędnej. Dla małych systemów, w których liczba zmiennych i nastaw jest mała, taką jednostką sterującą może być prosty układ sekwencyjny. W większych projektach zaprojektowanie takiego układu może być dużym wyzwaniem. Zadanie sterowania pracą takiego systemu lepiej powierzyć prostemu mikrokontrolerowi.

W wielu aplikacjach niezbędne jest więc stosowanie tandemu: układ FPGA + mikrokontroler lub mikroprocesor. W takiej konfiguracji układ FPGA odpowiedzialny jest za wykonywanie krytycznych pod względem czasu wykonywania zadań systemu a mikrokontroler steruje jego pracą i odpowiada za komunikację z użytkownikiem. Jednakże dodanie do układu FPGA układu mikrokontrolera zazwyczaj powoduje zwiększenie zapotrzebowania urządzenia na prąd. W takim przypadku zewnętrzny mikrokontroler może być zastąpiony procesorem typu *softcore*, czyli implementowanym w układzie programowalnym.

Procesory *softcore* są oferowane w postaci kodu przygotowanego w języku opisu sprzętu (HDL), takim jak VHDL, Verilog lub w postaci sieci połączeń RTL. Takie podejście umożliwia utworzenie dowolnych pe-

ryferiów mikroprocesora w układzie FPGA. Jeżeli w projektowanym urządzeniu potrzebne jest 20 portów UART oraz 15 liczników, to wystarczy dodać do projektu odpowiednie bloki IP. Nie trzeba więc szukać na rynku mikrokontrolera o odpowiadających nam peryferiach, gdyż to projektant decyduje, jakie peryferia znajdują się w projektowanym systemie.

Producenci układów programowalnych oferują także procesory *softcore* zoptymalizowane pod kątem oferowanych architektur układów FPGA, w postaci zaszyfrowanych opisów RTL. Jednym z takich mikroprocesorów jest Nios II firmy Altera.

Nios II

Nios II jest rodziną procesorów zoptymalizowanych pod kątem układów FPGA firmy Altera. Są to 32-bitowe mikroprocesory o architekturze harwardzkiej (mają osobną

magistralę danych i instrukcji). W ramach rodziny Nios II dostępne są 3 wersje rdzenia:

- Nios II/e – *economic* (ekonomiczny),
- Nios II/s – *standard* (standardowy),
- Nios II/f – *fast* (szybki).

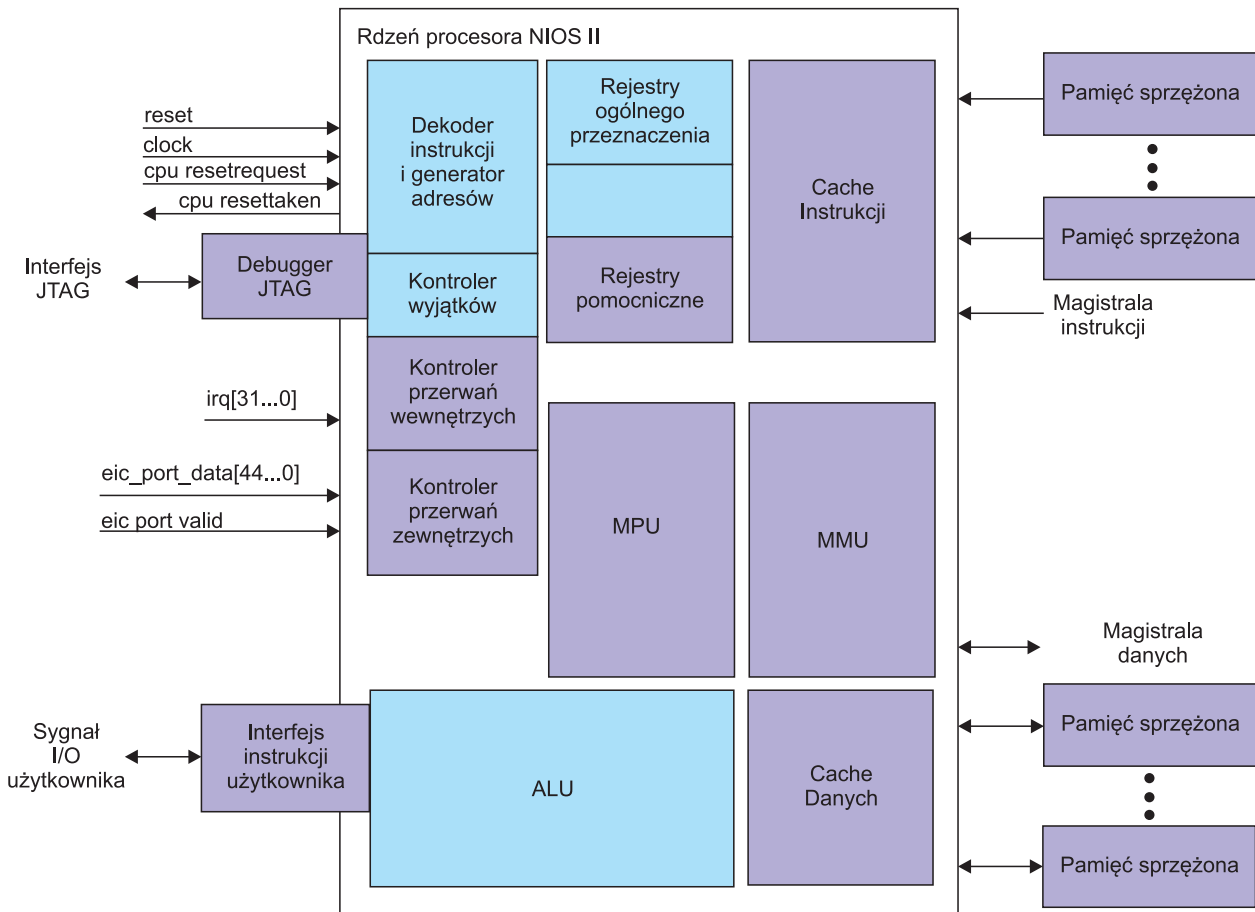
Wersja Nios II/e została zaprojektowana pod kątem jak najmniejszego zużycia zasobów logicznych układu FPGA. Nie ma zaimplementowanego przetwarzania potokowego, a jednostka ALU ma ograniczoną wydajność.

Rdzeń Nios II/s odznacza się najkorzystniejszym stosunkiem wydajności obliczeniowej do liczby zajmowanych zasobów logicznych. Ma pięciostopniowe przetwarzanie potokowe oraz statyczne przewidywanie rozgałęzień kodu programu. Wykonywanie instrukcji jest przyspieszone względem wersji *economic* poprzez możliwość zastosowania dla instrukcji pamięci *cache* (skraca się średni czas dostępu do wolniejszej pamięci zewnętrznej). Instrukcje mnożenia i dzielenia mogą być wykonywane przez sprzętowe moduły układu FPGA lub przez dedykowane bloki DSP (tylko w układach rodziny Stratix). Mnożenie jak i przesuwanie bitowe odbywa się w trzech cyklach zegarowych (przy wykorzystaniu sprzętowych modułów).

Nios II/f (*fast*) – jest najbardziej rozbudowanym i najwydajniejszym rdzeniem

Tabela 1.

		Wersja rdzenia		
		Nios II/e	Nios II/s	Nios II/f
Możliwości aplikacyjne		Minimalna zajętość zasobów układu	Mała zajętość zasobów	Wysoka wydajność
Wydajność	DMISP/MHz	0,15	0,74	1,16
	max DMIPS	31	127	218
	max f_{max}	200 MHz	165 MHz	185 MHz
Zajętość zasobów		<350 ALM	<700 ALM	<900 ALM
Przetwarzanie potokowe		–	5 stopni	6 stopni
Przestrzeń adresowa		2 GB		
Szyna instrukcji	cache	–	512 B – 64 kB	512 B – 64 kB
	Dostęp potokowy	–	tak	tak
Przewidywanie rozgałęzień kodu		–	statyczne	dynamiczne
Szyna danych	cache	–	–	512 B – 64 kB
	obejście pamięci cache	–	–	tak
ALU	sprzętowe mnożenie	–	3 cykle zegarowe	1 cykl zegarowy
	sprzętowe dzielenie	–	opcjonalnie	opcjonalnie
	przesuwanie bitowe	1 bit na cykl	3 cykle	1 cykl (barrel shifter)
Wsparcie dla instrukcji użytkownika		tak		

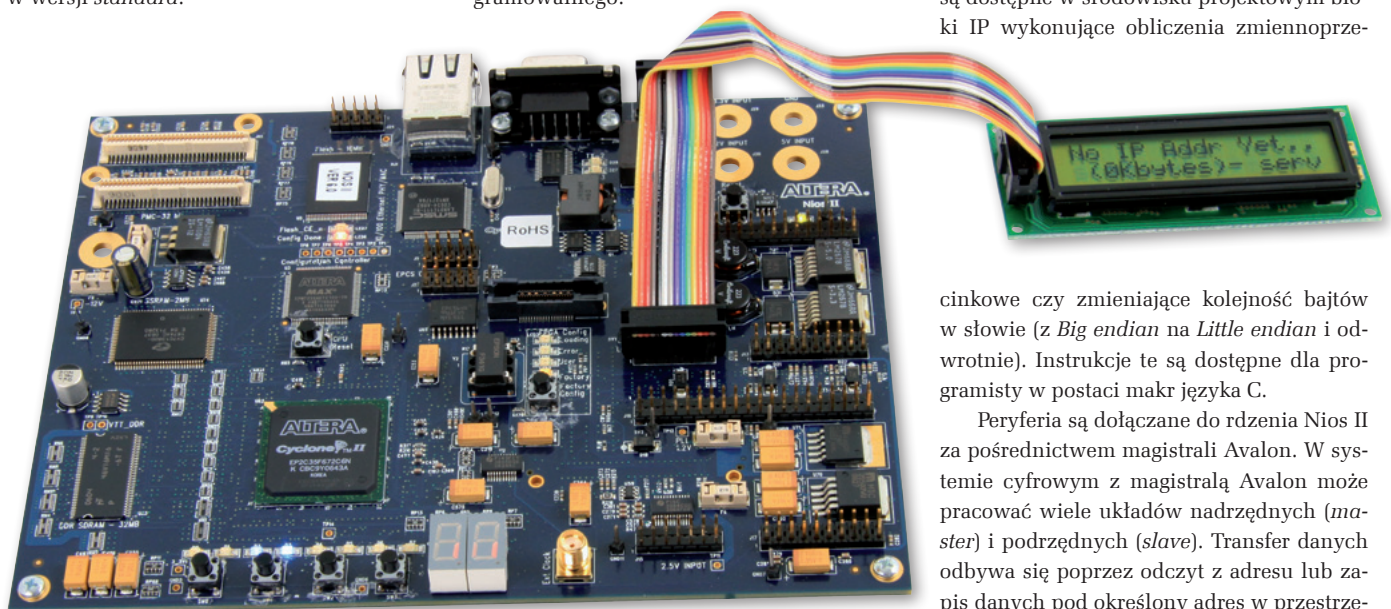


Rysunek 1. Schemat blokowy procesora Nios II

z rodziny Nios II. Ma on 6-stopniowe przetwarzanie potokowe oraz dynamiczne przewidywanie rozgałęzień kodu, pamięć cache dla danych i instrukcji oraz możliwość dołączenia jednostki MPU lub MMU (daje to możliwość uruchomienia systemu operacyjnego, takiego jak Linux). Jednostka ALU może wykonywać operację mnożenia oraz barrel shifter w jednym cyklu zegarowym. Zajmuje około 25 % więcej zasobów niż w wersji standard.

Na **rysunku 1** przedstawiono schemat blokowy rdzenia procesora Nios II. Kolorem niebieskim oznaczono podstawowe moduły, a kolorem fioletowym moduły opcjonalne. Możliwość dowolnego konfigurowania jest niewątpliwą zaletą procesorów *softcore*. Opcjonalne bloki rdzenia Nios II mogą być dołączane tylko wtedy, gdy są potrzebne, dzięki czemu nieużywane bloki nie zajmują zasobów układu programowalnego.

Układy programowalne umożliwiają również modyfikację rdzenia uwzględniającą potrzeby projektowanego systemu cyfrowego. Procesory Nios II mają rozszerzalną listę instrukcji, o instrukcje projektanta. Oznacza to, że projektant systemu mikroprocesorowego może dołączyć do rdzenia Nios II układ logiczny rozszerzający możliwości wbudowanej jednostki arytmetyczno-logicznej. Przykładem takich własnych instrukcji, są dostępne w środowisku projektowym bloki IP wykonujące obliczenia zmiennoprze-



Fotografia 2. Zestaw ewaluacyjny Nios II Development Kit Cyclone II Edition

cińkowe czy zmieniające kolejność bajtów w słowie (z *Big endian* na *Little endian* i odwrotnie). Instrukcje te są dostępne dla programisty w postaci makr języka C.

Peryferia są dołączane do rdzenia Nios II za pośrednictwem magistrali Avalon. W systemie cyfrowym z magistralą Avalon może pracować wiele układów nadrzędnych (*master*) i podrzędnych (*slave*). Transfer danych odbywa się poprzez odczyt z adresu lub zapis danych pod określony adres w przestrzeni adresowej systemu. Firma Altera oferuje bogatą bibliotekę peryferiów dołączanych

nixie.ep.com.pl

do magistrali Avalon. Są wśród nich popularne w typowych mikrokontrolerach, takie jak UART, SPI, timery, kontroler DMA, porty GPIO czy kontrolery pamięci zewnętrznych (np.: SDRAM, Flash, DDR). Do rzadziej spotykanych peryferiów dostępnych w bibliotece bloków IP należą m.in. peryferia implementujące algorytmy przetwarzania obrazu, kontrolery magistrali PCI-Express. Użytkownik może również zaprojektować własne peryferia mikrokontrolera, które będą dołączone do magistrali Avalon.

Bezpłatny Nios II i narzędzia projektowe

Firma Altera udostępnia procesory Nios II w wersji *standard* i *fast* na zasadzie płatnej licencji. Natomiast wersji Nios II/e można dowolnie używać we własnych projektach, a także kompilować przy użyciu bezpłatnej wersji środowiska projektowego Quartus II dla układów Cyclone. W dalszej części kursu przedstawiane projekty będą więc tworzone

przy użyciu bezpłatnych narzędzi projektowych dla procesora Nios II/e. Zaprojektowane systemy cyfrowe dla rdzenia Nios II/e można bez większego wysiłku przystosować dla wyższych wersji. Co więcej zmianę taką można przeprowadzić na dowolnym etapie projektowym i to bez potrzeby zmian kodu programu.

Wszystkie przykłady, jakie będą przedstawione w kolejnych artykułach kursu przetestowano w zestawie ewaluacyjnym Nios II Development Kit z układem FPGA Cyclone II EP2C35. Do implementacji opisanych projektów w strukturze układu programowalnego zastosowano program Quartus II Web Edition w wersji 10. Programy dla procesora Nios II zostały napisane w środowisku Nios II Embedded Design Suited.

Na **fotografii 2** przedstawiono widok zestawu ewaluacyjnego, na którym były testowane przykładowe projekty. Na płycie, oprócz układu FPGA Cyclone II firmy Altera, znajdują się kontroler 10/100 Ethernet

(PHY), wyświetlacz LCD, złącza DB9 i kart pamięci Compact Flash, diody LED, przyciski, dwucyfrowy wyświetlacz LED oraz pamięci: 16 MB DDR SDRAM, 1 MB synchronicznej SRAM i 16 MB Flash.

Co dalej?

W ramach kursu dotyczącego mikroprocesorów Nios II zostanie zaprezentowana pełna ścieżka projektowa ich implementacji w przykładowym systemie cyfrowym. Projekty powstały przy użyciu najnowszej, dziesiątej wersji programu Quartus II. Omówione zostanie szczegółowo projektowanie własnego systemu mikroprocesorowego od etapu definicji peryferiów i tworzenia projektu dla układu FPGA, a także przygotowywanie i debugowanie programów w języku C/C++ w środowisku Nios II EDS.

Maciej Gołaszewski
maciej.golaszewski@ep.com.pl

R E K L A M A



24. Światowe Targi Branżowe Podzespołów i Zespołów Elektronicznych
 Nowe Tereny Targowe w Monachium
 09.-12. listopada 2010 r.

Rejestracja online dla odwiedzających:
www.electronica.de/en/tickets



the possibilities of tomorrow.

Automotive
e-Mobility
Displays / e-Signage
Embedded systems / software
Medical / MEMS
Photovoltaics

Czas na elektronikę. Czas na przyszłość.

Kluczowe zagadnienia, trendy i innowacyjne technologie. Komponenty, systemy i aplikacje. Proszę odwiedzić światowe targi branżowe electronica 2010 i już DZIŚ przekonać się jakie będzie oblicze branży JUTRO.

Zachęcamy również do odwiedzenia odbywających się równoległe do targów electronica 2010 targów hybridica, prezentujących najnowsze rozwiązania z zakresu projektowania i produkcji elementów hybrydowych – www.hybridica.de

Kontakt: Biuro Targów Monachijskich w Polsce, tel. 22 620 44 15, info@targiwmonachium.pl



electronica 2010
 components | systems | applications

www.electronica.de/en

get the whole picture