



Quartus II 10.0 + Cyclone IV

Nowy etap w historii Altery



Dodatkowe informacje:
 Artykuł opracowano na bazie materiałów udostępnionych przez firmę EBV Elektronik sp. z o.o., tel. 71 342 29 44, 22 640 23 55, www.ebv.com.

Kilka tygodni temu została udostępniona przez Alterę nowa wersja pakietu wspomagającego projektowanie układów PLD – Quartus II. Historia tego oprogramowania sięga roku 2004, kiedy to z rynku zniknęła pierwsza generacja Quartusa, definitywnie zastępując pierwsze narzędzie projektowe Altery – pakiet MAX+Plus II (na rynku do połowy 2003 roku). Zmiany wprowadzone w wersji 10.0 – pokrótce przedstawiamy je w artykule – zapoczątkowują nowy rozdział w historii Quartusa II: pakiet dojrzał i odciął się od swoich korzeni.

W trakcie przygotowywania, zapowiadane-go przed wakacjami, cyklu artykułów poświęconych wykorzystaniu w aplikacjach zasobów sprzętowych układów z rodziny Cyclone IV, Altera udostępniła nową wersję pakietu Quartus II. Zmiany wprowadzone w stosunku do poprzednich wersji pakietu są na tyle istotne, że uznaliśmy za konieczne zwrócenie na nie uwagi Czytelników, zwłaszcza tych, którzy korzystają z wcześniejszych wersji tego pakietu.

Quartus 10.0: konsekwentna ewolucja zgodnie z zapowiedziami

Użytkownicy Quartusa II, począwszy od jego wersji 9.0 (zarówno bezpłatnej, jak i komercyjnej), napotykali przy wyborze niektórych opcji w menu na komunikaty informujące o planowanej rezy-

gnacji z niektórymi funkcjami, co też nastąpiło w wersji 10.0.

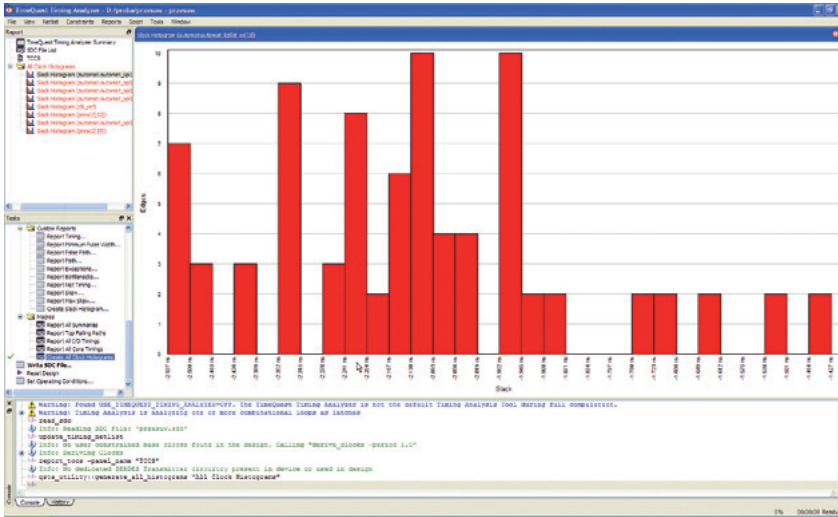
Jedną z poważniejszych zmian jest usunięcie z pakietu narzędziowego edytora przebiegów (*Waveform Editor*) oraz wewnętrznego symulatora czasowego i funkcjonalnego. Symulacje w Quartus II 10.0 można prowadzić wyłącznie z wykorzystaniem zewnętrznego symulatora HDL, na przykład rekomendowanego przez Alterę pakietu ModelSim firmy Mentor. Jest on dostępny w wersji bezpłatnej nazwanej ModelSim-Altera Starter Edition, ale – niestety nie zapewnia – jak robił to *Waveform Editor* – możliwości tworzenia opisów bloków logicznych (synchronicznych i asynchronicznych) za pomocą przebiegów czasowych.

Bardziej dyskretnie usunięto (co zapewne zmartwi niewielu współczesnych użytkowni-

ków) z najnowszej wersji Quartusa możliwość przełączenia interfejsu użytkownika w tryb pracy (wygląd) zgodny z pakietem Max+Plus II, który w latach '90 był najdoskonalszym narzędziem tego typu na świecie. Na pocieszenie dla fanów tradycyjnych rozwiązań wiadomośc, że najnowsza wersja Quartusa kompiluje opisy projektów przygotowane w języku AHDL, które można dołączać do projektów opisanych za pomocą standardowych języków HDL lub schematów.

Kolejną istotną zmianą wprowadzoną w najnowszej wersji pakietu jest usunięcie z dystrybucji kilkunastu megafunkcji, których historia (w niektórych przypadkach) sięga połowy lat '90. Producent pakietu zapewnia możliwość kompilowania wcześniej przygotowanych projektów zawierających te megafunkcje, ale bez możliwości korzystania z nich w kreatorze *MegaWizard Plug-In Manager*.

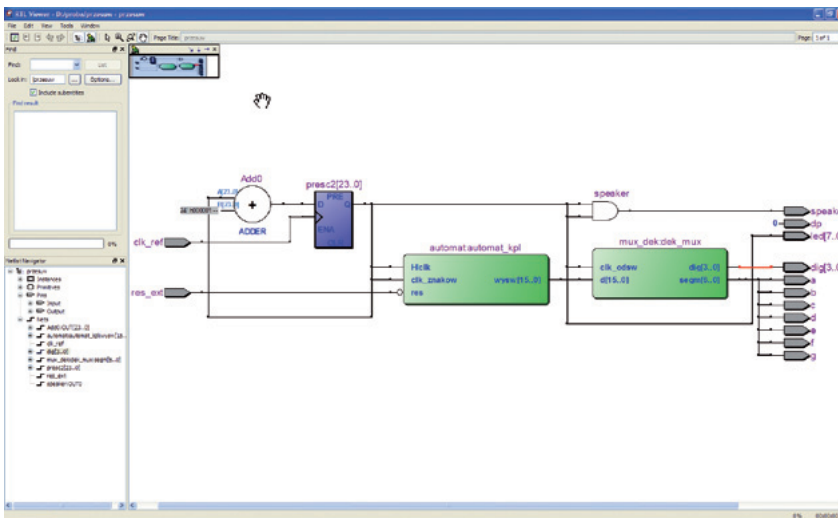
Poza opisanymi, w najnowszej wersji Quartusa II wprowadzono wiele pomniejszych modyfikacji i udoskonaleń, zapowiadana jest także dalsza



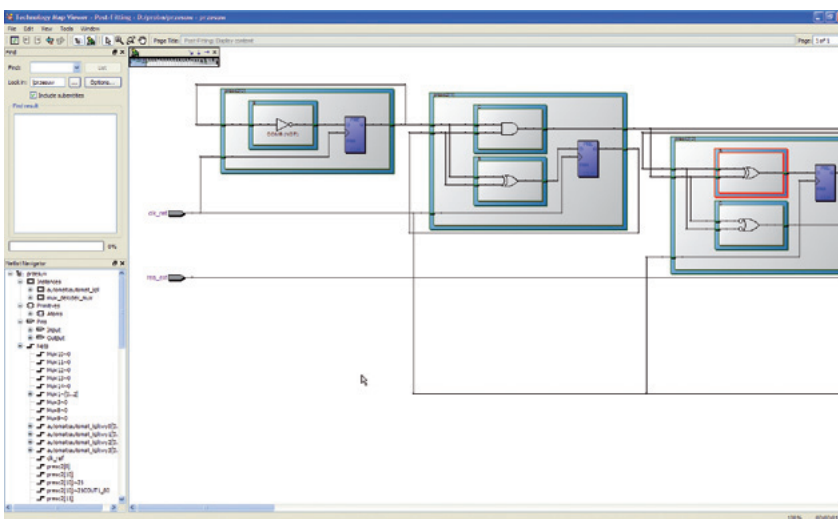
Rysunek 1. Okno programu *TimeQuest Timing Analyzer*

ewolucja tego pakietu, w ramach której w kolejnym wydaniu pakietu zostanie usunięty klasyczny *TimingAnalyzer*, który będzie zastąpiony przez *TimeQuest Timing Analyzer*, którego szata graficzna (rysunek 1) jest znacznie mniej efektowna niż poprzedniego analizatora, ale funkcjonalność i sposób obsługi są na bardzo wysokim poziomie.

Pomimo ograniczeń funkcjonalnych występujących w wersji *WebEdition*, bezpłatny pakiet Quartus II 10.0 jest bardzo zaawansowanym narzędziem projektowym o dużych możliwościach i bogatym wyposażeniu wspomagającym realizację także bardzo zaawansowanych projektów, w tym możliwość podglądu struktury implemen-



Rysunek 2. Quartus II oferuje możliwość podglądu struktury implementowanego projektu zarówno na poziomie RTL...



Rysunek 3. ...jak i *post-fitting*

Uwaga na system!

Bezpłatna wersja pakietu Quartus II 10.0 oraz NIOS II EDS są przystosowane do pracy z 32-bitowymi systemami operacyjnymi Windows 7/Vista/XP oraz systemami linuksopodobnymi: Red Hat Enterprise Linux 4/5, SUSE Linux Enterprise 11, SUSE Linux Enterprise 10 oraz CentOS 4/5. Nieco gorzej wyglądają możliwości symulatora HDL firmy Mentor – ModelSim oraz pakietu DSP Builder, które w obecnie dostępnych wersjach nie są przystosowane do współpracy z Windows 7 oraz niektórymi dystrybucjami Linuksa. Sytuacja zapewne ulegnie poprawie w niedługim czasie, ale posiadacze komputerów z systemami obecnie nieobsługiwanymi muszą wziąć pod uwagę konieczność poczekania na kolejne wersje programów.

owanego projektu na poziomie RTL (rysunek 2), a także na poszczególnych etapach implementacji w blokach funkcjonalnych docelowej architektury (na rysunku 3 pokazano szczegóły implementacji przykładowego projektu w – jednym z kilku możliwych – podglądzie *post-fitting*). Efektownym i przy tym bardzo praktycznym jest także edytor maszyn stanu implementowanych w projekcie (rysunek 4), za pomocą którego można zweryfikować nie tylko sposób ich kodowania, ale także obejrzeć grafy przejść. Podobnie jak poprzednie wersje pakietu Quartus, także wersja 10.0 jest wyposażona w edytory przypisań wyprowadzeń (rysunek 5), rozmieszczenia elementów projektu w strukturze FPGA (rysunek 6) oraz kreatory/modyfikatory megafunkcji (alterowskie IP-core'y), dzięki którym sprzętowa implementacja np. analizatora FFT (i wielu innych równie skomplikowanych bloków funkcjonalnych) sprowadza się do kilkunastu kliknięć myszką (rysunek 7).

Interesującym uzupełnieniem możliwości pakietu Quartus II jest dostępny w tej samej dystrybucji program Design Space Explorer, którego zadaniem jest iteracyjne modyfikowanie ustawień projektu, co ma na celu zminimalizowanie poboru energii i zasobów zajmowanych przez projekt w FPGA, poprawę jego parametrów czasowych i częstotliwościowych, a także minimalizację zakłóceń elektromagnetycznych poprzez optymalizację dystrybucji sygnałów zegarowych. Na rysunku 8 pokazano lokalizację programu DSE w ścieżce realizacji typowego projektu.

Ta skrótna prezentacja możliwości pakietu Quartus nie wyczerpuje tematu, co nie jest możliwe na łamach EP choćby ze względu na fakt, że przygotowany przez producenta podręcznik użytkownika programu ma 1823 strony...

Cyclone IV: do pary

O układach z serii Cyclone IV pisaliśmy w EP już kilkakrotnie, w związku z czym skupimy się teraz wyłącznie na najważniejszych wyróżnikach tej rodziny na rynku FPGA.

Rodzina Cyclone IV składa się z dwóch podrodzin różniących się wyposażeniem:

- Cyclone IV E (np. EP4CE15) – przeznaczone do standardowych aplikacji wymagających

dużych, standardowych zasobów logicznych, przy jednoczesnej minimalizacji cen układów,

- Cyclone IV GX (np. EP4CGX15) – przeznaczone do stosowania w aplikacjach, w których układ FPGA musi się komunikować z otoczeniem za pomocą szybkich transceiverów (różnicowych lub asymetrycznych).

Obydwie rodziny układów Cyclone IV producent reklamuje jako energetycznie konkurencyjne wobec innych rodzin FPGA dostępnych obecnie na rynku. W stosunku do poprzednich rodzin Cyclone, układy Cyclone IV charakteryzują się znacznie większymi zasobami logicznymi, o czym może świadczyć zestawienie zasobów układów Cyclone IV GX (tabela 1) i Cyclone IV E (tabela 2).

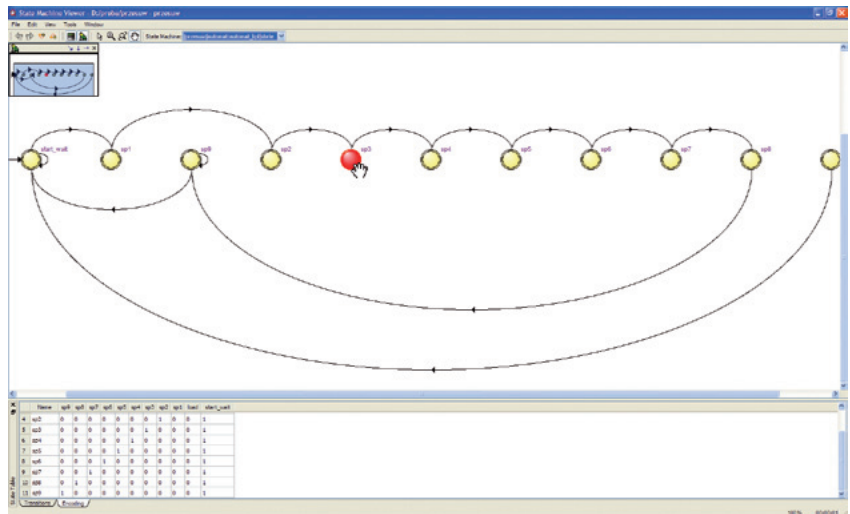
O ile możliwości aplikacyjne układów Cyclone IV E nie różnią się radykalnie od innych standardowych układów FPGA, to wyposażenie układów Cyclone IV GX w sprzętowy interfejs PCIe pozwala implementować w nich zaawansowane bloki peryferyjne, komunikujące się z systemem poprzez magistralę PCI Express (fotografia 9). Dzięki niemu transfer danych pomiędzy peryferiami w FPGA i otoczeniem jest szybki, bezpieczny, a implementacja interfejsu komunikacyjnego nie pochłania konfigurowalnych zasobów FPGA.

W zależności od potrzeb, komunikację z otoczeniem w układach Cyclone IV GX mogą zapewnić interfejsy komunikacyjne różnego typu, które uzupełniają uniwersalne kanały LVDS oraz standardowe linie I/O, które użytkownik może skon-

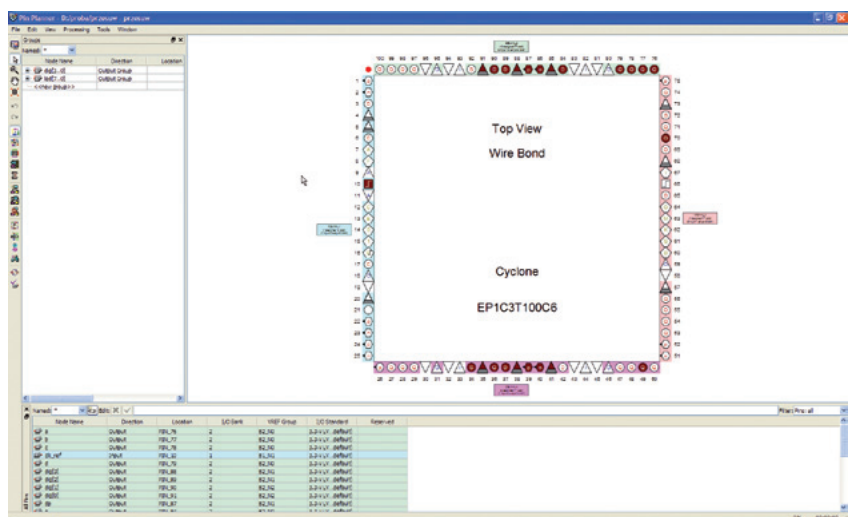
figurować do pracy w trybach: LVTTTL, LVCMOS, PCI, PCI-X, LVDS, mini-LVDS, RSDS, LVPECL, Differential SSTL-15, Differential SSTL-18, Differential SSTL-2, Differential HSTL-12, Differential HSTL-15, Differential HSTL-18, SSTL-15 (I i II), SSTL-18 (I i II), SSTL-2 (I i II), 1.2V HSTL (I i II), 1.5V HSTL (I i II), 1.8V HSTL (I i II). Jest w czym wybierać, zwłaszcza że bezpośrednio do GPIO

układów FPGA można dołączyć pamięci DDR2 SDRAM (200 MHz), QDR II SRAM (167 MHz) oraz DDR SDRAM (167 MHz).

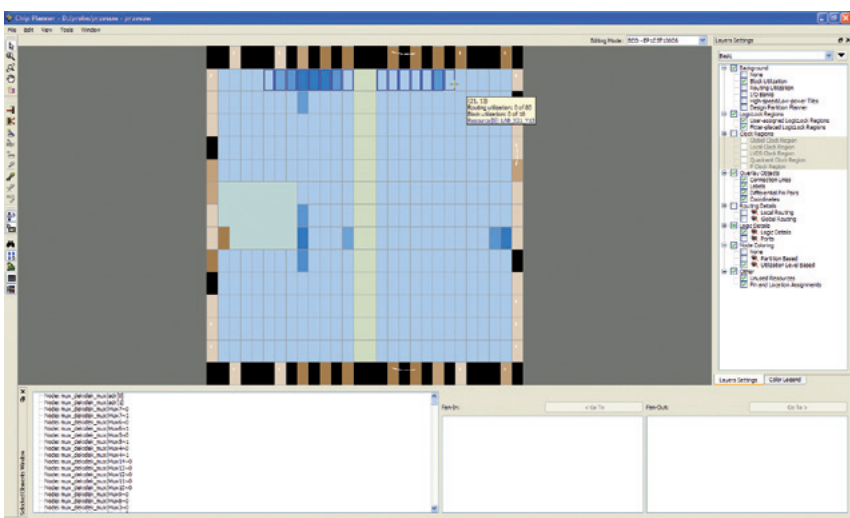
Ze względu na dostępne znaczne zasoby logiczne, pojemność pamięci konfiguracyjnej w układach Cyclone IV jest duża, wynosi od ok. 4 Mb do blisko 50 Mb. Chcąc zmniejszyć wymaganą pojemność konfiguratorów Flash, producent prze-




Rysunek 4. Widok okna edytora maszyn stanu implementowanych w projekcie



Rysunek 5. Okno edytora przypisań wyprowadzeń układu PLD do sygnałów projektu



Rysunek 6. Okno edytora rozmieszczenia elementów projektu w strukturze FPGA



QUARTUS® II

Quartus II 10.0 także bezpłatnie
 Najnowsza wersja pakietu Quartus II jest dostępna w wersji bezpłatnej nazywanej *WebEdition*. W odróżnieniu od wersji komercyjnej (*Subscription*) ma ona nieco mniejsze możliwości funkcjonalne, w tym ograniczone biblioteki obsługiwanych układów. Projekty można przygotowywać dla układów z rodzin:

- FPGA: Cyclone, Cyclone II, Cyclone III, Cyclone IV oraz Stratix, Stratix II, Stratix III,
- CPLD: MAX II, MAX3000A, MAX7000AV/AE, MAX7000B, MAX7000S,

Producent zapowiada także obsługę układów:

- Arria II GX FPGA: EP2AGX45,
- Stratix III: EP3SE50, EP3SL50, EP3SL70,
- Stratix II I Stratix II GX FPGAs: EP2S15, EP2SGX30,
- Stratix FPGA: EP1S10,
- całej rodziny Arria GX,

ale w wersji 10.0 (publikowanej wraz z innymi narzędziami na płycie DVD dostarczonej bezpłatnie prenumeratom EP) nie są one dostępne w pakiecie standardowych bibliotek.

Tabela 1. Zestawienie wybranych parametrów układów z serii Cyclone IV GX

Parametr	EP4CGX15	EP4CGX22	EP4CGX30	EP4CGX50	EP4CGX75	EP4CGX110	EP4CGX150
Liczba bloków LE	14400	21280	29440	49888	73920	109424	149760
Liczba bloków pamięci M9K	60	84	120	278	462	610	720
Pojemność pamięci embedded [kb]	540	756	1080	2502	4158	5490	6480
Liczba multiplikatorów sprzętowych	–	40	80	140	198	280	360
Liczba wbudowanych interfejsów PCIe	1	1	1	1	1	1	1
Liczba PLL	3	4	4	8	8	8	8
Liczba szybkich transceiverów	2	4	4	8	8	8	8
Maksymalna liczba linii I/O	72	150	290	310	310	475	475
Maksymalna liczba kanałów różnicowych	25	64	109	140	140	216	216

widział możliwość kompresowania plików z opisem konfiguracji, których dekompresją zajmują się specjalne bloki sprzętowe zaimplementowane w interfejsach konfiguracyjnych układów Cyclone IV. Ponieważ parametry prezentowanych układów predestynują je do wymagających aplikacji, producent zastosował w nich zaawansowany mechanizm weryfikacji poprawności konfiguracji, który monitoruje zawartość pamięci konfiguru-

cej (SRAM) podczas pracy układu (po jego skonfigurowaniu). W przypadku wykrycia błędnego stanu choćby jednego bitu w pamięci konfiguracyjnej, układ FPGA może samoczynnie się rekonfigurować, wykorzystując do tego dane przechowywane w zewnętrznej pamięci nieulotnej.

Pomimo dużych zasobów logicznych i związanej z tym dużą liczbą niezbędnych linii I/O, producent oferuje najmniejsze układy z podrodziny E i GX w łatwych w montażu obudowach EQFP ze 144 wyprowadzeniami (raster wyprowadzeń 0,5 mm). Pozostałe układy, o większych zasobach logicznych, są dostępne wyłącznie w obudowach BGA.

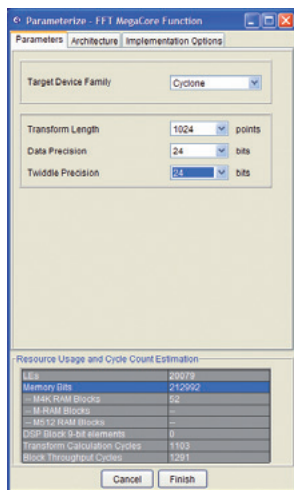
Twórcy układów Cyclone IV przewidzieli możliwość zabezpieczenia pamięci konfiguracyjnej przed błędami wywołanymi zakłóceniami EMC. W tym celu użytkownik może zaimplementować w strukturze FPGA specjalny kontroler 32-bitowej CRC (jak w rodzinie Cyclone III LS). Bezpieczeństwo funkcjonowania układu jest dzięki temu na tyle duże, że układy Cyclone IV mogą być używane w sprzęcie specjalnym, także używanym na wysokościach stratosferycznych. Jednocześnie zrezygnowano z zabezpieczenia pliku zawierającego opis konfiguracji przed

kopiowaniem, co należało do standardowego wyposażenia układów Cyclone II w wersji LS.

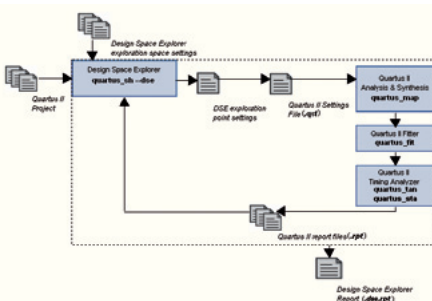
Podsumowanie

Przedstawione w artykule układy i pakiet programowy są nowoczesną, rekonfigurowalną platformą projektową, umożliwiającą implementację zarówno prostych jak i bardzo zaawansowanych projektów (w tym 32-bitowego mikroprocesora NIOS II). Od przyszłego miesiąca zaczniemy pokazywać sposoby konfiguracji i korzystania z zaawansowanych zasobów układów Cyclone IV (EP4CGX15) z wykorzystaniem najnowszej, bezpłatnej wersji pakietu Quartus II. Czytelników zainteresowanych poznaniem możliwości wspólnych układów FPGA zapraszamy już teraz, przypominając jednocześnie, że pakiet Quartus II 10.0 opublikowaliśmy na płycie DVD dołączanej do wrześniowej prenumeraty. Jest to o tyle ważne, że pełna wersja instalacyjna dla Windows ma objętość blisko 2,7 GB, a wersja dla Linuxa ponad 2,8 GB.

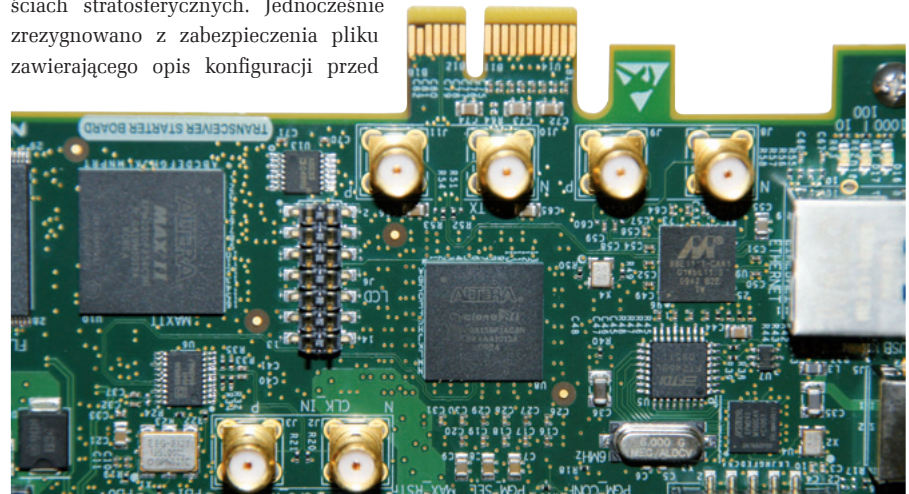
Piotr Zbysiński, EP
piotr.zbysinski@ep.com.pl



Rysunek 7. Przykładowy kreator-konfigurator megafunkcji (IP core'a) dostarczane go z pakietem Quartus II



Rysunek 8. Lokalizacja programu DSE w ścieżce realizacji typowego projektu



Fotografia 9. Układy Cyclone IV GX są wyposażone w sprzętowy interfejs PCIe

Tabela 2. Zestawienie wybranych parametrów układów z serii Cyclone IV E

Parametr	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
Liczba bloków LE	6272	10320	15408	22320	28848	39600	55856	75408	114480
Liczba bloków pamięci M9K	30	46	56	66	66	126	260	305	432
Pojemność pamięci embedded [kb]	270	414	504	594	594	1134	2340	2745	3888
Liczba multiplikatorów sprzętowych	15	23	56	66	66	116	154	200	266
Liczba PLL	2	2	4	4	4	4	4	4	4
Maksymalna liczba linii I/O	179	179	343	153	532	532	374	426	528
Maksymalna liczba kanałów różnicowych	66	66	137	52	224	224	160	178	230