



# Arria II GX

## FPGA z szybkimi interfejsami komunikacyjnymi



*Zazwyczaj w EP staramy się przedstawiać podzespoły mocno związane z codzienną praktyką naszych Czytelników. Tym razem zajęliśmy się rodziną nowoczesnych układów FPGA, których możliwości przerastają wymogi typowych dla naszego rynku aplikacji, ale zastosowana w nich nowatorska architektura ma szansę być prekursorem tego, co w FPGA będzie się działo w najbliższych latach.*

Rodzina układów FPGA o nazwie Arria pojawiła się na rynku w 2007 roku, a już w 2009 wprowadzono jej zmodyfikowaną wersję o nazwie Arria II, która jest produkowana w nowoczesnej technologii półprzewodnikowej o wymiarze charakterystycznym 40 nm. Domyślnym rozszerzeniem nazwy obydwu rodzin jest sufix „GX”, oznaczający w nomenklaturze firmy Altera układy sprzętowo zorientowane na aplikacje wymagające szybkich interfejsów komunikacyjnych,

w tym zgodnych z protokołami i warstwami fizycznymi PCI Express, gigabitowym Ethernetem, RapidIO, Sonet/SDH, HiGig i wieloma innymi. Maksymalne prędkości transmisji uzyskiwane w układach Arria II w kanałach 1-bitowych wynosi do 3,75 Gb/s (przy poborze mocy nieprzekraczającym 100 mW), a w konfiguracji LVDS do 1 Gb/s. Szybkie interfejsy komunikacyjne obudowano w wiele rozwiązań ułatwiających prowadzenie szybkiej wymiany danych: po-

cząwszy od programowanych equalizerów w torach odbiorczych i preemfazy w torach nadawczych, przez wydzielone stabilizatory służące do zasilania syntezerów sygnałów zegarowych taktujących interfejsy komunikacyjne, sprzętowe ekstraktory sygnałów zegarowych, a także serializery i deserializery zgodne w wymaganiami interfejsów LVDS. Uzyskiwane maksymalne prędkości transmisji z wykorzystaniem różnych protokołów zestawiono w **tab. 1**. Porównanie możliwości interfejsów komunikacyjnych w różnych rodzinach układów FPGA oferowanych przez Alterę zestawiono w **tab. 2**.

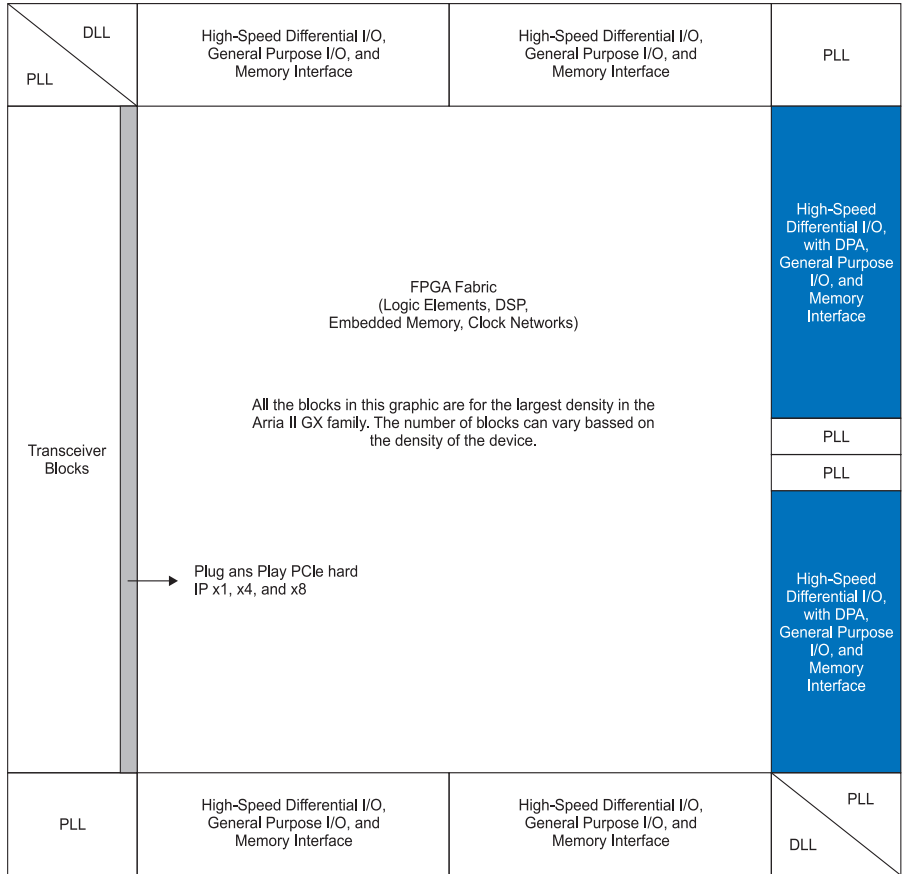
### Siła Arrii...

...podobnie jak i innych alterowskich układów FPGA z grup *high-end* (rodziny Stratix) tkwi nie tylko w wyposażeniu ich w szybkie interfejsy komunikacyjne i du-

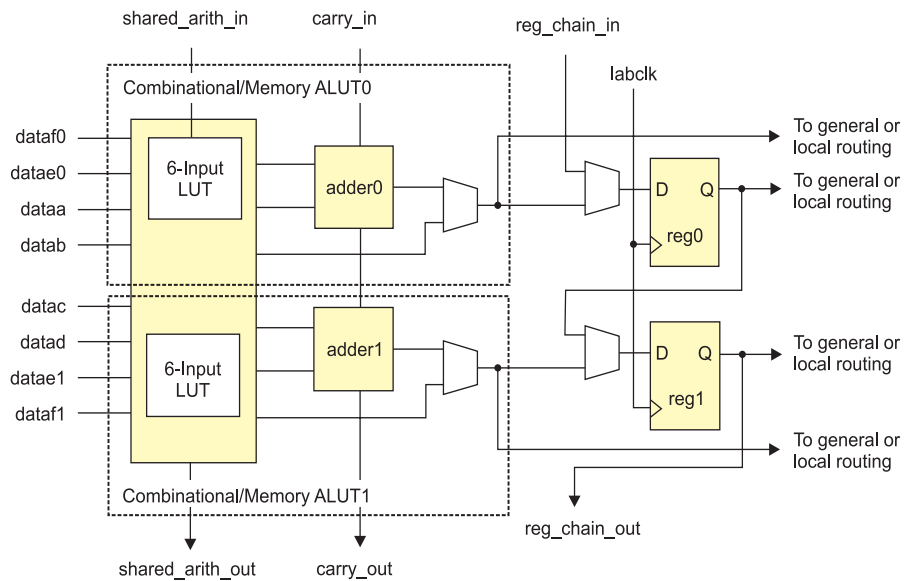
Tab. 1. Prędkości transmisji uzyskiwane za pomocą interfejsów komunikacyjnych w układach Arria II

Protokół	Maksymalna prędkość transmisji [Gb/s]
PCI Express Gen1	2,5
PCI Express Cable	2,5
SDI SD/HD	0,27, 1,488
3G-SDI	2,97
Serial RapidIO	1,25, 2,5, 3,125
SGMII	1,25
Gigabit Ethernet	1,25
10G Ethernet (XAUI)	3,125
GPON	1,244 uplink, 2,488 downlink
HiGig+	3,75
SONET OC-3 / OC-12 / OC-48	0,155, 0,622, 2,488
SPAUI	3,125
CPRI	0,6144, 1,2288, 2,45, 3,072
OBSAI	0,75, 1,536, 3,072
Serial ATA (SATA) Gen1, Gen2	1,5, 3,0
Serial Attached SCSI (SAS) Gen1	3,0
3G Basic	do 3,75
SerialLite II	do 3,1875

zych, konfigurowalnych zasobach sprzętowych, ale także bogatym wyposażeniu w zespoły konfigurowalnych pamięci, sprzętowych multiplikatorach i jednostkach MAC niezbędnych dla aplikacji DSP, a także wbudowanych w struktury, bardzo elastycznych układów generatorów sygnałów zegarowych z lokalnymi syntezerami z PLL (schemat architektury układów Arria II pokazano na rys. 1). W rodzinach Arria zastosowano także zmodyfikowaną architekturę konfigurowalnych komórek logicznych (*Adaptive Logic Modules* zamiast *Logic Elements* stosowanych w mniejszych FPGA), dzięki którym znacznie poprawiono wykorzystanie ich zasobów w realnych projektach. Bloki ALM (schemat na rys. 2) mogą realizować dowolną funkcję logiczną z maksymalną liczbą 7 zmiennych, mogą być wykorzystane do implementacji dwóch niezależnych funkcji z 4 argumentami (z wyjściami synchronicznymi lub asynchronicznymi), wyposażono je także w lokalne sumatory (po dwa w każdym bloku



Rys. 1. Schemat ilustrujący budowę układów Arria II



Rys. 2. Budowa komórki ALM

Tab. 2. Porównanie podstawowych interfejsów komunikacyjnych w różnych rodzinach FPGA

Rodzina	Szybkość transferu PCIe [Gb/s]	Możliwości sprzętowego PCIe	Liczba transceiverów
Cyclone IV GX	2,5	Endpoint x1/x2/x4 i rootport	2...8/do 3,125 Gb/s
Arria II GX	2,5	Endpoint x1/x4/x8 i rootport	4...16/do 3,75 Gb/s
Stratix IV GX	2,5...5	Endpoint x1/x4/x8 i rootport	0...16/do 6,5 Gb/s 8...32/do 8,5 Gb/s
Stratix IV GT	2,5...5	Endpoint x1/x4/x8 i rootport	12...32/do 11,3 Gb/s 0...12/do 8,5 Gb/s 12...16/do 6,5 Gb/s

ALM), które mogą być wykorzystane w arytmetycznej konfiguracji ALM. Bloki ALM są doskonale skomunikowane z otoczeniem, mają łatwy dostęp zarówno do sąsiadujących, jak i odległych bloków logicznych, co umożliwiają konfigurowane linie połączeniowe. Bloki ALM są pogrupowane po 10 sztuk w każdym typie FPGA może być wykorzystana jako konfigurowalne bloki MLAB (*Memory LAB*), pozwalające użytkownikowi implementować w nich różne rodzaje pamięci (także dwuportowe SRAM). Oprócz pa-

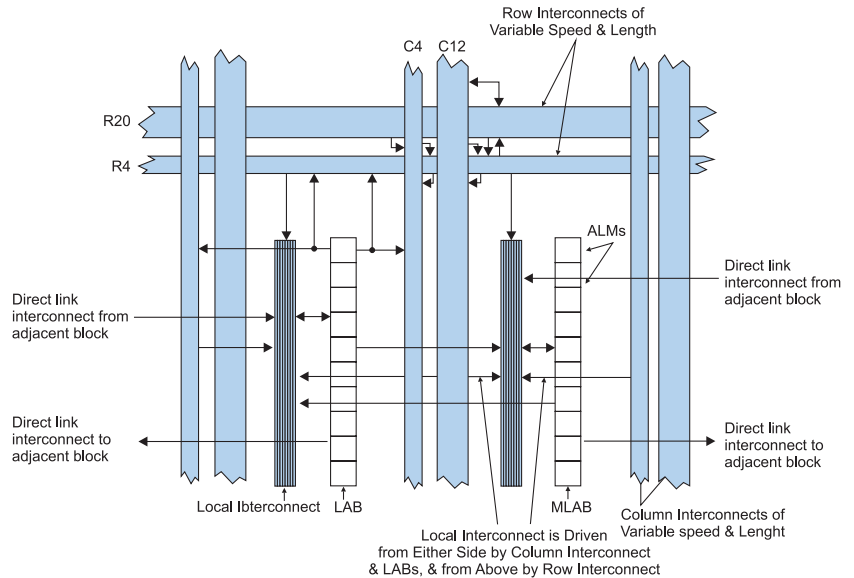
### Tragiczne losy Arii

Aria jest jedną z najbardziej znanych w starożytnej historii żon. Sławę zawdzięcza samobójstwu, które popełniła z miłości do swojego męża Cecynia Petusa. Za udział w 42 roku n.e. w spisku przeciw cesarzowi Klaudiuszowi otrzymał on rozkaz popełnienia samobójstwa, ale nie mógł się zdobyć na zadanie sobie ciosu. Aria sama przebiła się sztyłem i umierając, podała go mężowi, wypowiadając słynne słowa: „Paete, non dolet” (Petusie, to nie boli). Nie jest pewne, że układy FPGA produkowane przez Alterę wzięły nazwę od bohaterki tej smutnej historii. Wspominamy o niej jako o ciekawostce, na którą natknęliśmy się podczas poszukiwania znaczenia efektywnej nazwy rodziny układów FPGA.



mięci implementowanych w blokach MLAB (zajmujących uniwersalne zasoby logiczne), układy Arria są wyposażone także w wyspecjalizowane bloki pamięci o pojemności 9 kb każdy, niezależne od zasobów uniwersalnych, w których można implementować pamięci FIFO, ROM, jedno- i dwuportowe SRAM, a także długie rejestry przesuwające (stosowane m.in. w cyfrowej filtracji FIR). Pamięci implementowane w blokach MLAB mogą być taktowane z maksymalną częstotliwością ok. 500 MHz, pamięci implementowane w blokach M9K z częstotliwością do ok. 390 MHz. Obydwa rodzaje pamięci wyposażono w dodatkowy bit parzystości, który można wykorzystać we własnej aplikacji, bowiem nie jest on obsługiwany sprzętowo przez wbudowany w układy Arria II „osprzęt” pamięci.

Pracę prezentowanych układów w aplikacjach DSP ułatwiają wbudowane w nie bloki DSP, w skład których wchodzi sprzętowe multiplikatory, jednostki *Multiply-Add*, *Multiply-Accumulate* oraz lokalne rejestry przesuwne. Bloki DSP są przystosowane do pracy z próbkami 9, 12, 18 i 36-bitowymi, z możliwością szybkiego mnożenia próbek

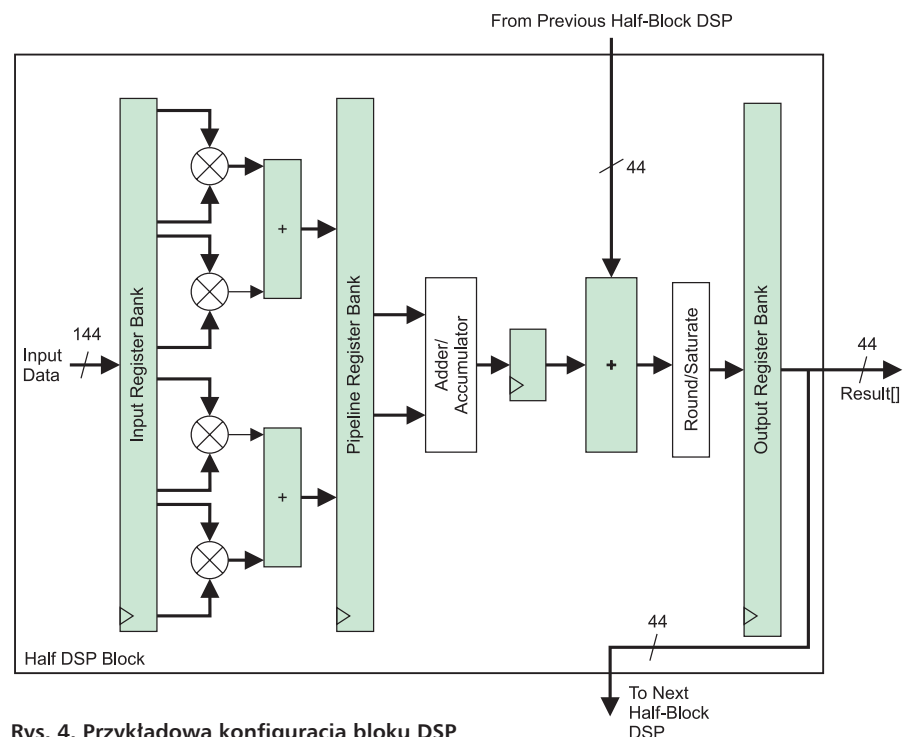


Rys. 3. Schemat blokowy ilustrujący możliwości komunikacyjne LAB-ów i MLAB-ów w układach Arria II

18-bitowych. Twórcy sprzętu w blokach DSP przewidzieli możliwość formowania cyfrowych linii opóźniających obróbkę próbek oraz kaskadowych wyjść, umożliwiających łączenie wielu bloków DSP bez konieczności stosowania zewnętrznych zasobów logicznych. Niebagatelnym ułatwieniem pracy konstruktorów urządzeń DSP jest sprzętowy kontroler nasycenia próbek sygnału wyjściowego oraz możliwość sprzętowego zaokrąglania wyników obliczeń. Na rys. 4 pokazano przykładową konfigurację bloku DSP do pracy jako ogniwo filtra FIR z wykorzystaniem wejść i wyjść kaskadowych, zapewniających bezpośrednią komunikację z sąsiednimi blokami DSP.

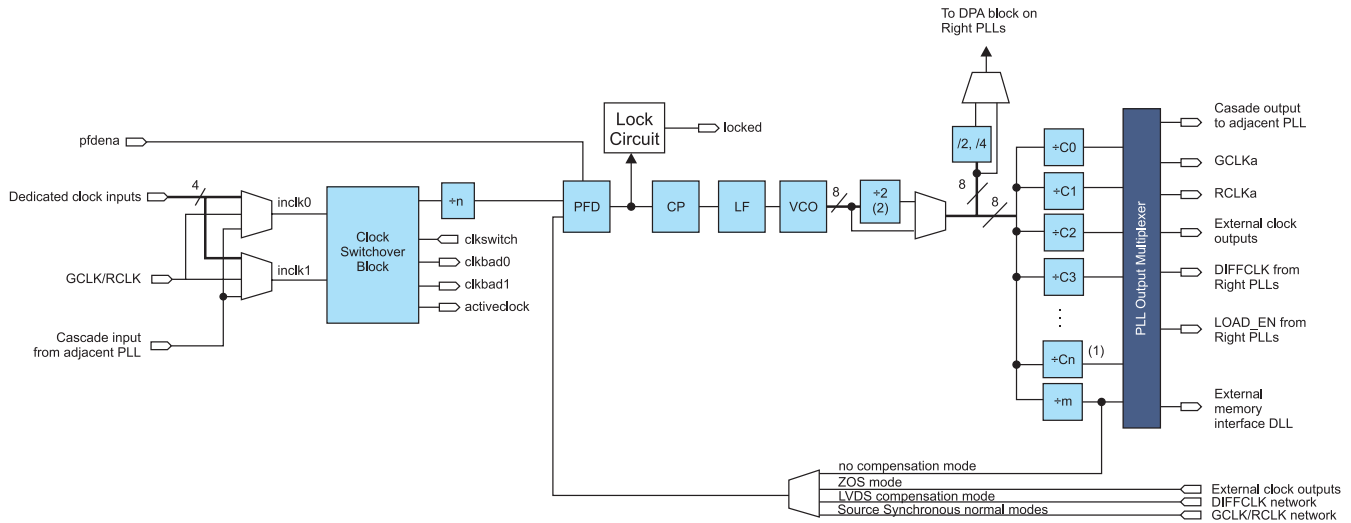
Niezwykle istotnym zagadnieniem w realizacji projektów w dużych układach FPGA

jest zapewnienie sygnałów zegarowych o odpowiedniej jakości, co jest zadaniem trudnym ze względu na fizycznie odległe (oczywiście na miarę struktury półprzewodnikowej) rozmieszczenie zaimplementowanych elementów projektu. Z tego wynika zaawansowana budowa sprzętu generującego sygnały zegarowe w układach Arria II, pozwalająca uzyskać wewnątrz układu maksymalnie aż 148 różnych sygnałów zegarowych, w tym: 16 globalnych sygnałów zegarowych, 48 regionalnych sygnałów zegarowych i 84 peryferyjnych sygnałów zegarowych. Zewnętrzne źródła sygnałów zegarowych mogą mieć wyjścia symetryczne lub asymetryczne. Rolę wewnętrznych syntezerów częstotliwości taktujących w układach Arria II spełniają rekonfigurowalne powielacze z pętłami



Rys. 4. Przykładowa konfiguracja bloku DSP





Rys. 5. Schemat blokowy pętli PLL w układach Arria II

Zasoby	Arria GX	Arria II GX
Logic Elements (ekwiwalent w celach porównawczych)	21580...90227	15950...256500
Adaptive Logic Modules	8632...36088	6380...102600
Konfigurowalne zasoby RAM [kb]	1229...4477	783...8,550
Multiplikatory 18 x 18	40...176	56...736
Liczba uniwersalnych I/O	235...538	250...612
Prędkość transferu danych (wyspecjalizowane interfejsy komunikacyjne) [Gb/s]	600...3125	600...3750
Liczba wyspecjalizowanych kanałów komunikacyjnych	4...12	4...16
Liczba sprzętowych kanałów PCI Express	-	1

PLL, których schemat blokowy pokazano na rys. 5.

Ponieważ prezentowane układy są przeznaczone do aplikacji wymagających szybkiej wymiany danych z otoczeniem, wyposażono je w linie I/O o zaawansowanych

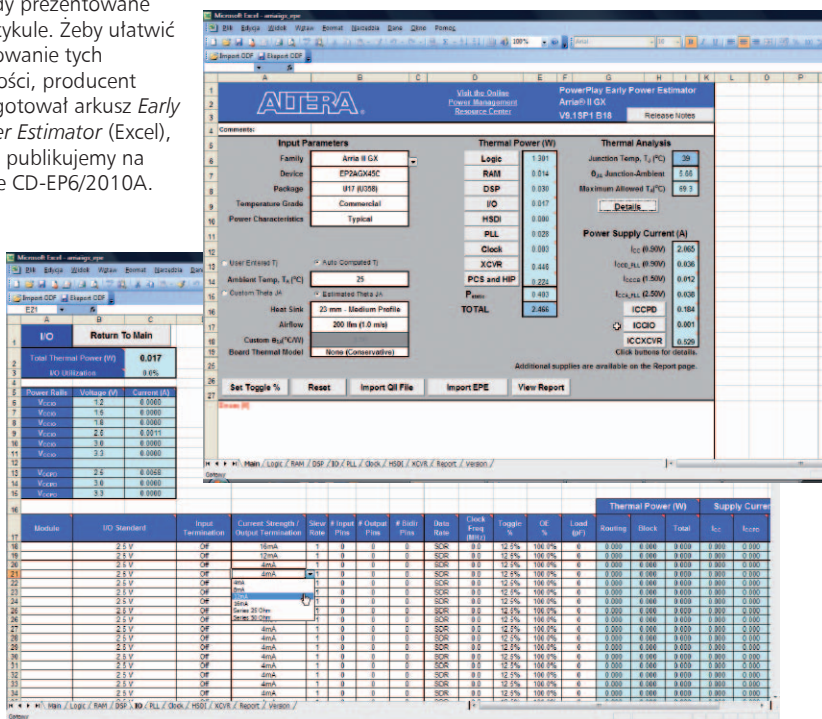
możliwościach, m.in.: wbudowane aktywne rezystory dopasowujące (także w trybie różnicowym), indywidualnie definiowane preemfazy, możliwość ustalania szybkości narastania zboczy sygnałów cyfrowych, możliwość pracy w trybach LVDS, RS

(Reduced Swing Differential Signal), HSTL (High Speed Transceiver Logic), mini-LVDS oraz SSTL (Stub Series Terminated Logic). Producent zachował oczywiście znane z wcześniej produkowanych układów PLD funkcje, jak podtrzymywanie ostatniego stanu logicznego na niepodłączonym wejściu (bus-hold), rezystor podciągający z możliwością jego odłączenia oraz praca bufora wyjściowego w konfiguracji z otwartym drenem. Łączna liczba obsługiwanych przez linie I/O standardów napięciowych wynosi 25, przy czym możliwe jest ich „mieszanie” przy zachowaniu jednorodności w obrębie każdego z 14 banków I/O. Dzięki dużej elastyczności komórek obsługujących linie I/O, w układach Arria II można łatwo zaimplementować kompletny interfejs pamięci SDRAM (DDR, DDR2 i DDR3) oraz QDR SDRAM. Wymaga to skorzystania z alterowskiej megafunkcji o nazwie ALTMEMPHY, (w nowych projektach zalecane są megafunkcje ALTUNIPHY oraz UNIPHY dla pamięci QDR) dostarczanej wraz z pakietem narzędziowym Quartus II. Zapewnia ona samoczynną kalibrację poszczególnych linii interfejsu pamięci, co uniezależnia jego pracę od wahań napięcia zasilającego i zmian temperatury otoczenia.

Ostatnim elementem wyposażenia układów Arria II, na który zwrócimy uwagę Czytelników w tym artykule, jest wbudowany w nie interfejs PCI Express (rys. 6). Zainicjowanie jego pracy wymaga użycia wbudowanego w pakiet Quartus II narzędzia o nazwie PCI Compiler MegaWizard, który powoduje jego aktywizację i odpowiednie skonfigurowanie, ale nie powoduje zajęcia uniwersalnych zasobów logicznych. Interfejs PCI Express można skonfigurować do pracy w trybie  $\times 1/\times 4$  lub  $\times 8$  jako *root port* lub *endpoint*. Integralną częścią wbudowanego interfejsu są bufory SRAM przyspieszające wymianę danych, które są zaimplementowane w strukturze FPGA poza zasobami konfigurowalnymi – korzystanie z mostka

**Pobór mocy**

Pobór mocy przez układy produkowane w technologii CMOS zależy od ich częstotliwości pracy, nie jest możliwe jednoznaczne podanie natężenia prądów w poszczególnych liniach zasilających układy prezentowane w artykule. Żeby ułatwić szacowanie tych wartości, producent przygotował arkusz *Early Power Estimator* (Excel), który publikujemy na płycie CD-EP6/2010A.



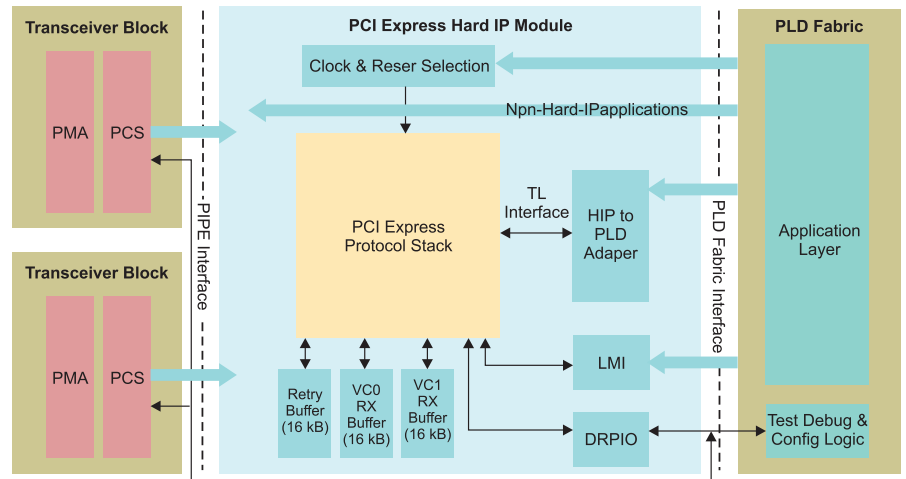
PCIe nie powoduje zmniejszenia pojemności pamięci dostępnej dla użytkownika.

Zestawienie zasobów dostępnych w układach z rodziny Arria II i porównanie ich z zasobami oferowanymi przez układy Arria pierwszej generacji znajduje się w tab. 3.

### To oczywiście nie wszystko...

Ponieważ układy Arria II są przeznaczone do stosowania w wyrafinowanych aplikacjach, producent wyposażył je w mechanizmy ochrony własności intelektualnej, polegające na szyfrowaniu zawartości konfiguratora Flash za pomocą algorytmu kryptograficznego AES256 (klucz jest przechowywany w pamięci SRAM z podtrzymywaniem baterijnym lub w pamięci nieulotnej OTP). Podobnie do innych FPGA, także układy Arria II mogą być konfigurowane z wykorzystaniem pamięci Flash z równoległą magistralą danych, w tym trybie pliki konfiguracyjne także mogą być chronione przed kopiowaniem.

Z myślą o aplikacjach wymagających wysokiego stopnia pewności poprawnego działania FPGA, prezentowane układy wyposażono w system ochrony przed błędami konfiguracji, wynikającymi z nieprawidłowego odczytania strumienia danych z opisanym konfiguracji oraz uszkodzenia zawarto-



Rys. 6. Schemat blokowy interfejsu PCIe wbudowanego w układy Arria II

ści pamięci konfiguracyjnej, wynikającego np. z udaru elektromagnetycznego. Jest to bardzo zaawansowany mechanizm, pozwalający wychwycić zarówno błędy pojedyncze, jak i wielobitowe.

Układy Arria II wyposażono w interfejs JTAG, który spełnia dwa zadania: interfejsu do konfiguracji FPGA oraz interfejsu do testowania funkcjonalnego układu za pomocą ścieżki krawędziowej BST (*Boundary Scan Testing*). Zastosowany interfejs jest zgodny ze specyfikacją IEEE1149.6, w której przewidziano m.in. możliwość testowania wejść

i wyjść różnicowych sprzężonych z otoczeniem stało- i zmiennoprądowo (z separacją linii za pomocą kondensatorów).

Pomimo orientacji na „szybkie” aplikacje, układy Arria II pobierają stosunkowo niewielką moc, co wynika z zastosowanych mechanizmów wspomagających oszczędzanie energii (m.in. automatyczne wyłączanie szybkich interfejsów komunikacyjnych, jeżeli nie są używane) i niskich napięć zasilających. Zalecana wartość napięcia zasilającego rdzeń układów Arria II wynosi 0,9 V, natomiast linie I/O mogą pracować z napięciami

R
E
K
L
A
M
A

**KLAWIATURY,  
ELEWACJE,  
TABLICZKI  
I ZESTYKI FOLIOWE**

- ▶ PROJEKTUJEMY
- ▶ PRODUKUJEMY
- ▶ SPRZEDAJEMY

Towarzystwo Elektrotechnologiczne Qwerty Sp. z o.o.  
ul. Siewna 21, 94-250 Łódź,  
e-mail: qwerty@qwerty.pl; www.qwerty.pl;  
tel. 042 632 47 92, 633 32 84, 630 42 64, fax 042 632 85 93

**AWK-3121**  
Access Point MOXA  
IEEE 802.11 a/b/g/n

- Maksymalne bezpieczeństwo**
- Wytrzymała odbudowa**
- Najwyższa niezawodność**

- ▶ Pełne bezpieczeństwo dzięki WEP/WPA/WPA2, filtrowaniu pakietów
- ▶ Zgodność z wieloma normami i standardami, m.in. EN50155
- ▶ Redundantne zasilanie 24 VDC lub dzięki technologii PoE
- ▶ Szeroki zakres temperatury pracy: -40 do 70°C

**MOXA**  
ELMARK Automatyka sp. z o.o.  
02-703 Warszawa  
ul. Bukowińska 22 lok. 1B  
Tel. (022) 541-84-60  
Fax. (022) 541-84-61  
moxa@elmark.com.pl

**ELMARK**  
Automatyka  
www.elmark.com.pl



o wartości do 3,3 V. Podczas projektowania zasilacza dla układów Arria II trzeba zwrócić uwagę na konieczność spełnienia wymogów producenta związanych z czasami narastania i odpływami pomiędzy poszczególnymi napięciami zasilającymi. Nieprzestrzeganie tych zaleceń może spowodować uszkodzenie struktury. Zadanie jest dość wymagające, bowiem rdzeń największego układu z prezentowanej rodziny (EP2AGX260) pobiera ok. 10,5 A (z napięcia 0,9 V), do tego dochodzą prądy zasilające peryferie i banki linii I/O.

**Kilka słów o narzędziach**

Altera udostępnia konstruktorom zainteresowanym realizacją projektów na układach CPLD i FPGA pakiet narzędziowy Quartus II, dostarczany z bogatą biblioteką gotowych, predefiniowanych, konfigurowalnych funkcji, pozwalających wygodnie korzystać z niezwykle bogatych zasobów logicznych oferowanych układów. Bezpłatna wersja Quartus II Web Edition Software obsługuje tylko jeden układ z rodziny Arria II – EP2AGX45, ma także ograniczone biblioteki z rdzeniami IP core.

Zasoby logiczne układów Arria II pozwalają implementować w nich m.in. oferowany przez Alterę jako IP core mikroprocesor NIOS II, do czego służy dostępny bezpłatnie pakiet narzędziowy Nios II Embedded Design Suite.

Dla konstruktorów realizujących projekty DSP Altera przygotowała pakiet narzędziowy DSP Builder, który jest dostępny w wersjach dla Linuksa i Windows, niestety w obydwu przypadkach konieczne jest zakupienie licencji oraz posiadanie programów MATLAB i Simulink.

Niecierpliwych konstruktorów ucieszy zapewne informacja o tym, że oprócz oprogramowania projektowego dostępne są także zestawy narzędziowe umożliwiające szybkie poznanie możliwości układów Arria II, jak choćby Development Kit z fot. 7.

**Na koniec**

Układy Arria II na pewno nie są platformą dla każdego, bowiem ich możliwości i ceny układów, a także zaawansowane obudowy BGA i wynikające z tego potencjalne kłopoty z wielowarstwowymi płytkami i montażem razem powodują, że sięgać po nie będą w większości przypadków doświadczeni konstruktorzy, potrafiący w pełni wykorzystać potencjał drzemący w ich nowoczesnych 40-nanometrowych strukturach. Nie zmienia to faktu, że warto wiedzieć, co umożliwia współczesna elektronika także w szybko rozwijającej się gałęzi układów programowalnych. A jest o czym pisać...

**Piotr Zbysiński, EP**  
piotr.zbysinski@ep.com.pl

**Dodatkowe informacje:**

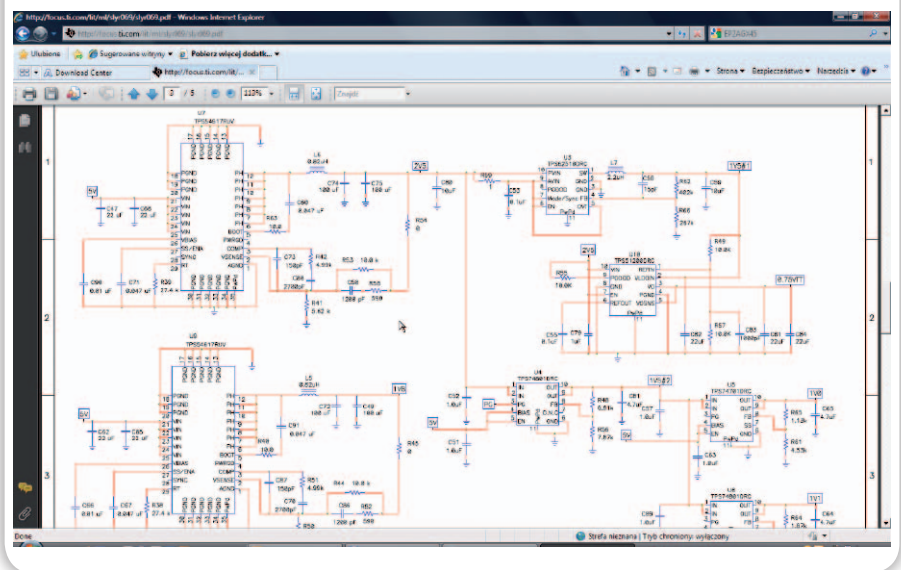
Artykuł opracowano na bazie materiałów udostępnionych przez firmę EBV elektronik sp. z o.o., tel. 71 342 29 44, 22 640 23 55, [www.ebv.com](http://www.ebv.com)

Tab. 4. Zestawienie podstawowych parametrów układów z rodziny Arria II

Cecha	EP2AGX45	EP2AGX65	EP2AGX95	EP2AGX125	EP2AGX190	EP2AGX260
Liczba ALM	18050	25300	37470	49640	76120	102600
Liczba bloków M9K/Pojemność pamięci M9K [Mb]	319/2,9	495/4,5	612/5,5	730/6,6	840/7,6	950/8,5
Łączna pojemność pamięci (M9K + MLAB) [Mb]	3,4	5,3	6,7	8,1	9,9	11,8
Liczba multiplikatorów 18x18	232	312	448	576	656	736
Liczba wbudowanych PLL	4	4	6	6	6	6
Maksymalna liczba szybkich transceiverów	8	8	12	12	16	16
Liczba bloków PCI Express Hard IP	1	1	1	1	1	1
Maksymalna liczba linii I/O	364	364	452	452	612	612

**Zasilanie wymaga zaangażowania**

Zasilanie układów Arria II jest poważnym wyzwaniem dla konstruktorów zarówno z powodu konieczności zapewnienia kilku stabilizowanych napięć, jak i dużych wymaganych natężeń prądów (nawet ponad 10 A). Zagadnienie jest na tyle poważne, że Texas Instruments przygotował kompleksowe propozycje zasilaczy spełniających wymagania stawiane przez układy FPGA. Jeden z przykładów proponowanego rozwiązania można znaleźć pod adresem: <http://focus.ti.com/lit/ml/slyr069/slyr069.pdf> oraz na płycie CD-EP6/2010A.



Fot. 7. Zestaw DK-DEV-2AGX125N