

M1 Fusion Cortex w FPGA



Firma ARM, opracowując rodzinę rdzeni Cortex, przewidziała niemal wszystkie potencjalne obszary ich stosowania, w tym implementację w układach FPGA. Jako pierwsza na rynku komercyjnym dostrzegła nowe możliwości firma Actel, która szybko wprowadziła do sprzedaży układy FPGA zoptymalizowane pod kątem implementacji w nich rdzenia Cortex-M1, który w nomenklaturze ARM jest przeznaczony do takich zastosowań.

Firma Actel dość dawno dostrzegła konieczność udostępniania konstruktorom korzystającym z FPGA „miękkich” wersji rdzeni różnych mikrokontrolerów, dzięki czemu mogli oni od dawna stosować w swoich projektach dwie wersje 8051, własne opra-

Bezpieczeństwo rdzenia

Firma Actel „rozdaje” opis rdzenia Cortex-M1 wraz z systemem projektowym Libero IDE, ale w sposób uniemożliwiający jego wykorzystanie w inaczej niż implementacja w którejś z rodzin M1 actelowskich FPGA. Dzieje się tak, ponieważ konfigurowalny rdzeń jest dostarczany jako presyntezowana biblioteka CDB, która (konceptyjnie) jest zbliżona do pliku obiektowego (stosowanego przez programistów). Można jej używać, ale wyłącznie w sposób i na platformy sprzętowe dopuszczone przez twórców biblioteki.

cowanie firmy Actel CoreMP7 (ARM7TDMI), 32-bitowy rdzeń LEON3 (architektura SPARC V8) oraz CoreABC – prosty sekwencer o programowanym działaniu. Inżynierowie firmy Actel nie przegapili przełomowego wdrożenia firmy ARM – rdzeni Cortex – i przygotowali synetozalną implementację rdzenia Cortex-M1, który został zoptymalizowany przez producenta do „wbudowywania” w układy FPGA. W ofercie Actela dostępnych jest kilka rodzin układów FPGA, w których można implementować rdzeń Cortex-M1, dystrybuowany jako *DirectCore* (rodzaj IP core’a) wraz z bezpłatnym systemem projektowym Libero. Rdzenie Cortex-M1 mogą być implementowane w układach (tab. 1): M1 IGLOO, M1 ProASIC3, M1 ProASIC3L i M1 Fusion i na tych ostatnich si

Dodatkowe informacje:
Zestaw prezentowany w artykule udostępniła redakcja firma Future Electronics, www.futureelectronics.com, tel. 22 618 92 02.

Dodatkowe materiały na CD i FTP:
<ftp://ep.com.pl>, user: 13835, pass: 4j4sfv4t

skupimy, ponieważ ich wyposażenie i możliwości nie mają precedensu wśród innych FPGA oferowanych na rynku.

Rodzina Fusion: takich FPGA nie ma nikt inny

Producent nazywa układy Fusion mianem *mixed-signal* FPGA, co wynika z zaimplementowania w ich strukturach 12-bitowych przetworników A/C (o maksymalnej częstotliwości próbkowania 600 kHz) oraz multiplexerów analogowych, obsługujących łącznie do 40 wejść, „obudowanych” konfigurowalną matrycą komórek logicznych. Niebagatelną zaletą wejść analogowych jest możliwość podawania na nie napięć z zakresu od –10,5 V do +12 VDC,

Układy Fusion, w odróżnieniu od FPGA innych producentów, wyposażono w pamięć

8051 na życzenie

W układach M1 Fusion można implementować także rdzenie mikrokontrolera 8051, które są bezpłatnie dystrybuowane w pakiecie Libero IDE.

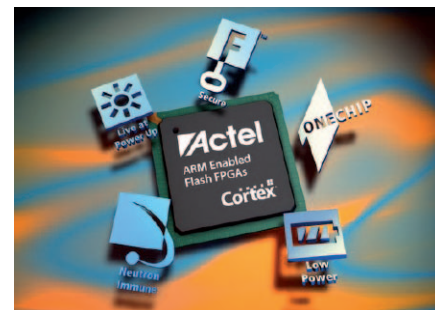


Tab. 1. Zestawienie układów FPGA firmy Actel, w których można implementować rdzenie Cortex-M1

Układy M1	250	400	600	1000	E1500	E3000
M1 IGLOO	+	–	+	+	–	+
M1 ProASIC3	+	+	+	+	+	+
M1 ProASIC3L	–	–	+	+	–	+
M1 Fusion	+	–	+	–	+	–

Tab. 2. Zestawienie podstawowych cech i parametrów układów M1 Fusion

Parametr/cecha	M1AFS250	M1AFS600	M1AFS1500
Liczba bramek w FPGA	250000	600000	1500000
Liczba przerzutników D	6144	13824	38400
Ochrona przed kopiowaniem	+	+	+
Liczba PLL	1	2	2
Liczba linii globalnych	18	18	18
Pojemność Flash [Mb]	2	4	8
Pojemność SRAM [kb]	36	108	270
Maksymalna liczba I/O	114	172	252
Liczba analogowych I/O	24	40	40
Obudowa QN180	+	-	-
Obudowa PQ208	+	+	-
Obudowa FG256	+	+	+
Obudowa FG484	-	+	+
Obudowa FG676	-	-	+

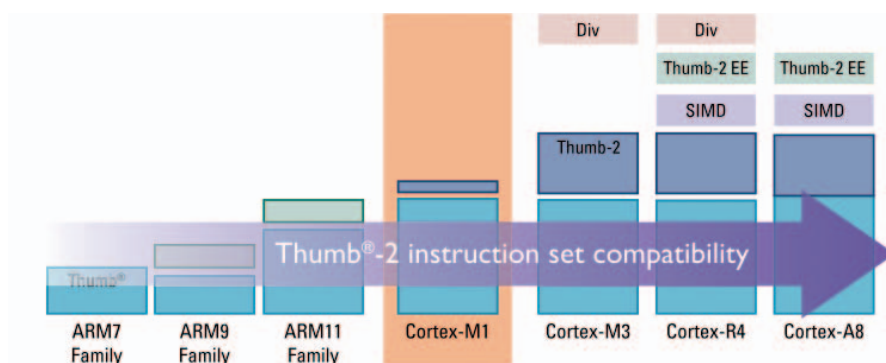


łami zegarowymi dystrybuowanymi w strukturze FPGA ułatwiają analogowe pętle PLL z preskalerami, które mogą generować także przebiegi zegarowe na zewnątrz układu. Nie spotykamy w innych FPGA wyposażeniem układów Fusion jest ponadto implementowany w krzemie 40-bitowy licznik RTC z rejestrem porównawczym, który może być stosowany do zliczania czasu pracy układu lub liczby jego włączeń, wybudzania go z trybu uśpienia lub modyfikacji prędkości taktowania układu z wykorzystaniem specjalnego multiplexera NGMUX (*non-glitch* MUX).

W tab. 2 zestawiono podstawowe zasoby układów M1 Fusion.

Cortex-M1 w M1 Fusion

Rdzeń Cortex-M1 (rys. 2) dystrybuowany w pakiecie Libero IDE jest klasyczną wersją opracowaną przez firmę ARM. Podobnie do pozostałych Cortexów mikrokontrolerowych, także M1 obsługuje instrukcje Thumb 2 i może też wykonywać programy

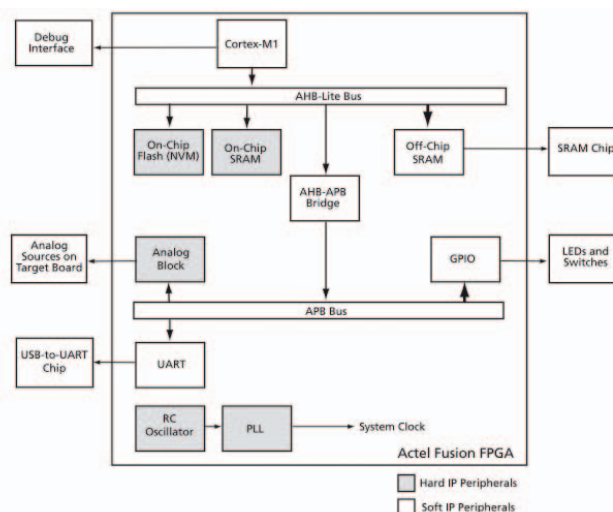


Rys. 1. Kompatybilność rdzeni ARM

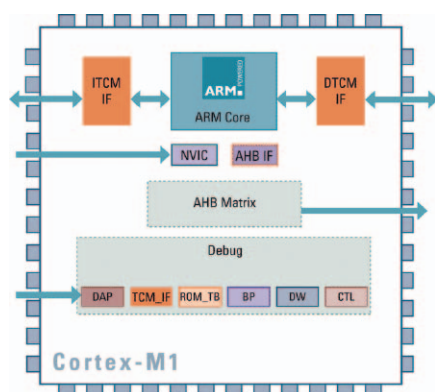
Flash, która spełnia rolę pamięci konfiguracyjnej, jej część użytkownik może także wykorzystać we własnej aplikacji. Ponieważ konfiguracja jest wpisana w układy Fusion na stałe, są one gotowe do pracy od razu po włączeniu zasilania (*Live at Power-Up* – LAPU), bez typowego dla FPGA wykonanych w technologii SRAM czasu „martwego”, podczas którego odtwarzana jest ich konfiguracja z zewnętrznej pamięci Flash. Takie rozwiązanie umożliwiło także zabezpieczenie plików konfiguracyjnych przed nieuprawnionym kopiowaniem, co w klasycznych rozwiązaniach wymaga sporego zachodu.

Innowacyjnym rozwiązaniem zastosowanym w układach Fusion są także: wbudowany generator taktujący RC o dokładności 1% oraz odwracający wzmacniacz analogo-

wy przeznaczony do zastosowania w generatorze kwarcowym, z kwarcem dołączonym bezpośrednio do FPGA. Zarządzanie sygna-



Rys. 3. Podział pomiędzy część „twardą” i „miękką” implementacji rdzenia Cortex-M1 w układzie M1 Fusion



Rys. 2. Schemat blokowy rdzenia Cortex-M1

Tab. 3. Zasoby logiczne wykorzystane przez implementację rdzenia Cortex-M1 w układach Fusion

Typ układu M1 Fusion	JTAG	f_{CPU} [MHz]	Zajęte komórki VT	Zajęte zasoby logiczne [%]
M1AFS250-2	-	64	4411	72
M1AFS600-2	-	64	4411	32
	+	63	7491	54
M1AFS1500-2	-	60	4411	12
	+	62	7491	20

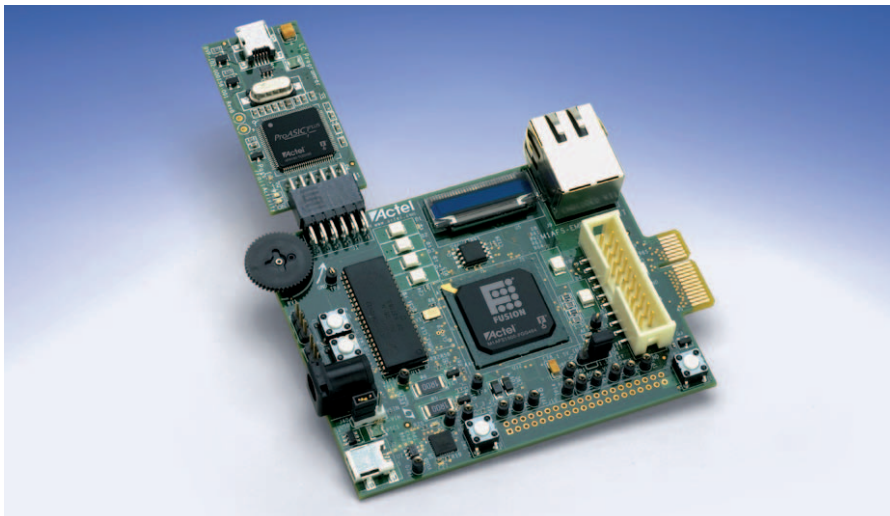


zapisane za pomocą instrukcji Thumb, co zapewnia mu możliwość wykonywania programów pisanych dla ARM7 i ARM9. Rdzeń wyposażono w 3-stopniowy potok 32-bitowych słów, rozdzielone magistrale dostępu do pamięci i bloków peryferyjnych, konfigurowalny kontroler przerwań NVIC (w obecnych wersjach M1 obsługuje tylko jedno przerwanie), a także sprzętowy mnożnik, który można zaimplementować w FPGA w sposób zoptymalizowany pod kątem prędkości wykonywanych obliczeń lub minimalizacji zajętych zasobów logicznych. W obecnie dystrybuowanej wersji rdzenia (v2.xx i nowszych) użytkownik ma możliwość wyboru, czy chce korzystać z interfejsu JTAG (RealView) lub FlashPRO do debugowania pracy mikrokontrolera, czy też nie, co przekłada się dość wyraźnie na wykorzystanie zasobów logicznych (**tab. 3**). Rdzeń na swoje potrzeby wykorzystuje także dwie linie globalne: zerującą oraz służącą do dystrybucji sygnału zegarowego taktującego przerzutniki tworzące rdzeń. Warto zwrócić uwagę na rezygnację w obecnie dostępnych wersjach z pamięci TCM, zgodnie ze specyfikacją firmy ARM będącej standardowym wyposażeniem rdzenia Cortex-M1.

Implementacja rdzenia Cortex-M1 w układach Fusion przewiduje jego integrację z dostępnymi w krzemie zasobami funkcjonalnymi (jak generator taktujący, przetwornik A/C itd.), co pokazano na **rys. 3**.

M1AFS-EMBEDDED-KIT: warto, jeśli chcesz spróbować!

Eksperyment to najlepsza droga do wiedzy, zwłaszcza w elektronice. Dlatego fanom rozwiązań typu SoC (implementacja Cortex-M1 w układach Fusion w pełni zasługuje na miano *System-on-Chip*) polecamy jeden z zestawów ewaluacyjnych firmy Actel, który otrzymaliśmy do przetestowania w redakcji: jest to M1AFS-EMBEDDED-KIT, którego widok pokazano na **fot. 4**. Na płycie wchodzącej w skład zestawu zastosowano największy układ z rodziny Fusion (M1AFS1500 w obudowie BGA FGG484), 2 MB Flash SPI, pamięć SRAM o pojemności 512 kB (jest ona wykorzystywana jako pamięć programu dla



Fot. 4. Wygląd płytki zestawu M1AFS-EMBEDDED-KIT oraz programatora LPCS

rdzenia Cortex-M1, jej zawartość jest odtwarzana po włączeniu zasilania z pamięci Flash SPI), półprzewodnikowy czujnik temperatury, nastawnik potencjometryczny, konwerter UART/USB, monochromatyczny, graficzny wyświetlacz OLED, cztery mikroswitche, diody LED i ethernetowy mostek PHY z transformatorem i gniazdem RJ. W skład zestawu wchodzi także: programator LPCS (zgodny z FlashPro3), kable połączeniowe USB, CD z dokumentacją i oprogramowaniem narzędziowym (Libero IDE w wersji Gold) oraz zasilacz sieciowy.

W pakiecie narzędzi dostarczanych w zestawie jest dostępne m.in. oprogramowanie *SoftConsole*, zawierające kompilator C/C++ na licencji GNU, programowy symulator, debugger GDB oraz IDE oparte na bezpłatnym Eclipse, który powoli dominuje rynek narzędzi dla ARM-ów.

Konstruktorzy chcący doposażyć SoC budowany na bazie układu Fusion mogą wykorzystać w swoich projektach rdzenie IP core różnych bloków peryferyjnych (m.in. GPIO, MAC Ethernet 10/100, CFI, kontroler pamięci SDRAM, programowany PWM, watchdog, UART, timery itp.), dostarczanych w pakiecie Libero, w czym pomocne jest narzędzie SmartDesign (w starszych wersjach Libero nosiło ono nazwę CoreConsole). Ułatwia ono integrację opracowanych przez firmę Actel bloków peryferyjnych w FPGA.

Podsumowanie

Technologia projektowania urządzeń elektronicznych bazująca na koncepcji *System-on-*

Chip jest – nie tylko na naszym rynku – dość awangardowa, ale daje konstruktorom duże możliwości kształtowania platformy sprzętowej i dostosowywania jej do własnych wymagań. Dzięki możliwości implementowania przyszłościowych rdzeni mikrokontrolerowych (takimi bez wątpienia są Cortex-M1) i łatwości ich integracji z dostępnymi bezpłatnie peryferiami, układy FPGA firmy Actel mogą zainteresować wszystkich konstruktorów poszukujących alternatywy dla dotychczasowych sposobów projektowania oraz tych, którzy poszukują wygodnego sposobu na integrację projektów realizowanych na drodze quasi-dyskretnej z wykorzystaniem dostępnych na rynku standardowych podzespołów. Szybkiej popularyzacji rozwiązań firmy Actel przeszkadzają nieco ceny układów FPGA, ale ich możliwości i wyposażenie na pewno znajdują koneserów.

Piotr Zbysiński, EP
piotr.zbysinski@ep.com.pl

