

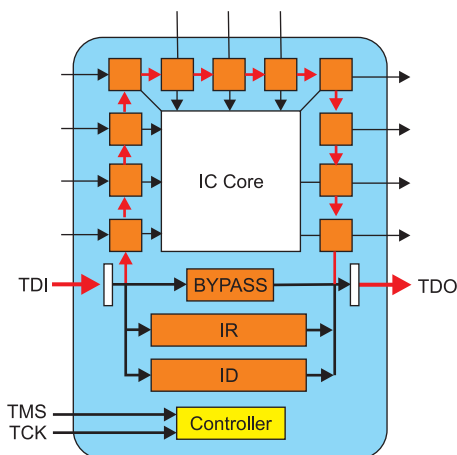
JTAG Live

Boundary Scan za darmo

Akronim JTAG kojarzy się zazwyczaj z możliwością zaprogramowania i debugowania w systemie programu mikrokontrolera. Jednak JTAG, zgodnie z jego pierwotnym przeznaczeniem oferuje przede wszystkim dostęp do narzędzia testowania krawędziowego jakim jest Boundary Scan. Takie testowanie pozwala, między innymi, na sprawdzenie poprawności montażu oraz wykonania płytki PCB bez żadnych dodatkowych urządzeń. W artykule opisano możliwości interfejsu JTAG oraz bezpłatne narzędzie, dzięki któremu można wykonać testy Boundary Scan.

Nie tylko programowanie i debugging

Akronim JTAG przywodzi na myśl możliwość debugowania kodu programu lub programowania mikrokontrolerów czy układów programowalnych. Oczywiście najpopularniejszymi sposobami użycia JTAG'a są: programowanie wewnętrznej pamięci procesora w systemie docelowym, uruchamianie i testowanie oprogramowania w układzie oraz śledzenie w czasie rzeczywistym. Jednak interfejs JTAG został opracowany przede wszystkim do testowania połączeń na płytkach drukowanych dużych pakietów z układami cyfrowymi, a także samych układów



Rys. 1. Struktura układu scalonego z rejestrem BST

scalonych LSI i VLSI, przy użyciu technologii Boundary Scan.

W normie IEEE 1149.1 opisano właśnie metodę testowania krawędziowego pakietów elektronicznych przy użyciu interfejsu JTAG. Warunkiem koniecznym wykonania takich testów jest istnienie w pakiecie jednego, a najlepiej kilku układów wyposażonych w rejestry umożliwiające testowanie metodą ścieżki krawędziowej (Boundary Scan Testing).

JTAG od środka

Na rys. 1 przedstawiono schemat blokowy układu scalonego zgodnego z normą IEEE 1149.1, który zawiera rejestr BST. Każdy układ z rejestrem BST jest identyfikowany za pomocą rejestru ID i może być włączony w łańcuch testowy na płytce PCB. Rejestr BYPASS służy do ominięcia układu podczas wykonywania testów. Mechanizm Boundary-

Scan umożliwia buforowanie stanu komórek wejścia/wyjścia i włączenie ich w szeregowy rejestr przesuwany z wejściem danych TDI i wyjściem TDO w celu wpisania wymuszenia lub odczytania odpowiedzi.

Ponadto jest wyposażony w kontroler JTAG, który jest sterowany za pośrednictwem sygnałów TMS (instrukcje sterujące) i TCK (sygnał zegarowy). W odróżnieniu od innych interfejsów szeregowych, jak np. I²C, UART, czy SPI, kontroler JTAG jest nadrzędnym w stosunku do kontrolowanego układu.

Do jednej końcówki wejścia-wyjścia może być przypisanych więcej niż jedna



komórek łańcucha JTAG. Na rys. 2 przedstawiono schemat rejestru dla jednej końcówki wejścia-wyjścia, która może pracować jako wejście, wyjście lub być wprowadzona w stan wysokiej impedancji. Jej stan opisują więc trzy bity rejestru Boundary-Scan. Jeżeli dana końcówka może pracować tylko jako wyjście, wtedy jej stan opisuje jeden bit rejestru BST.

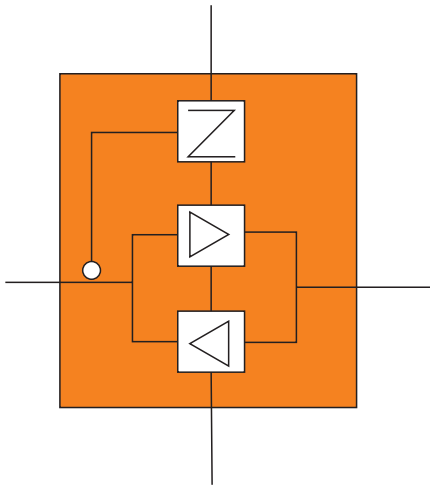
Układy z interfejsem JTAG są dołączone do zewnętrznego kontrolera JTAG za pośrednictwem punktu testowego TAP (Test Access Point). Na rys. 3 przedstawiono przykłado-

wy łańcuch testowy, w którym znajdują się trzy układy cyfrowe: mikrokontroler, FPGA i CPLD. Urządzenie nadrzędne, czyli host JTAG, komunikuje się ze wszystkimi układami połączonymi w łańcuch testowy sterując sygnałami TMS i TDI w połączeniu z sygna-

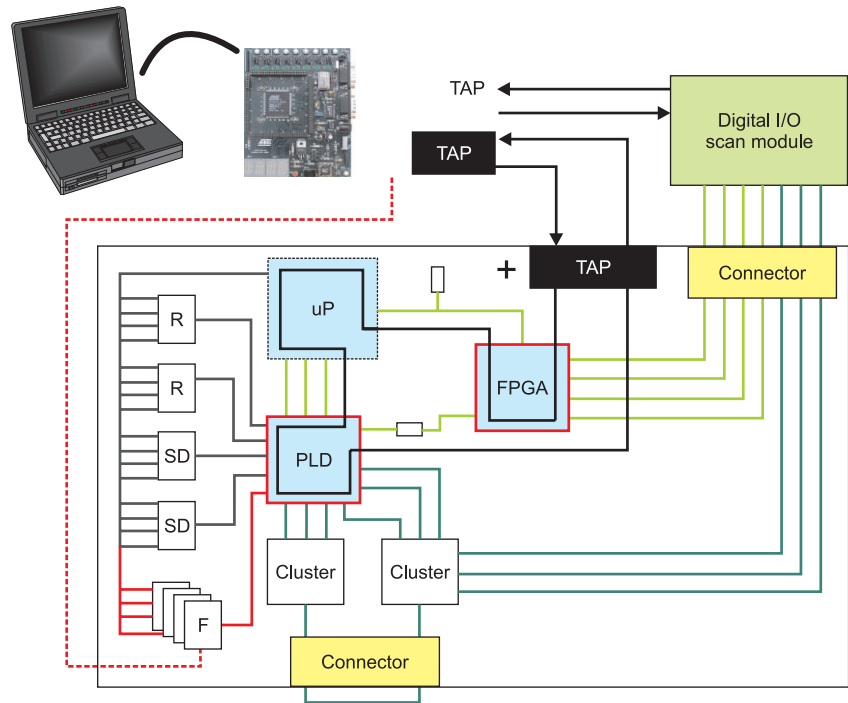
łem zegarowym TCK oraz odczytuje stan rejestru JTAG na wyjściu TDO.

Co daje Boundary Scan Testing

Mechanizm testowania za pomocą ścieżki krawędziowej (BST) służy do weryfikacji



Rys. 2. Rejestr BST dla jednej końcówki I/O



Rys. 3. Zakres testowania w technologii BST

R E K L A M A

SPECJALIZOWANE UKŁADY SCALONE PANACEUM NA WSZYSTKO


SILICON LABS


MAXIM




WG

Electronics

WG Electronics Sp. z o.o.

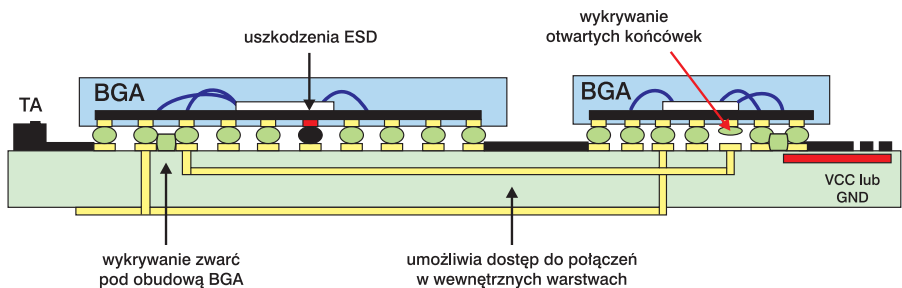
ul. Modzelewskiego 35

02-679 Warszawa

tel. +48 22 847 97 20

www.wg.com.pl

AUTORYZOWANY DYSTRYBUTOR



Rys. 4. Zakres testowania połączeń w technologii BST

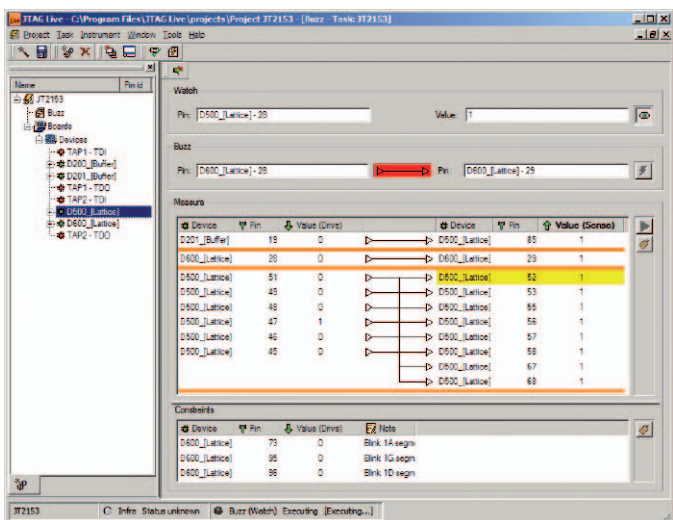
montażu urządzenia elektronicznego. Oprócz testowania samego urządzenia można przeprowadzić test połączeń między wyprowadzeniami układów scalonych dzięki możliwości ustawienia wymuszenia na wybranych końcówkach i odczytaniu stanów pozostałych końcówek.

Jet to bardzo dokładny test, gdyż weryfikowane są połączenia między wewnętrznymi komórkami buforowymi BST układów scalonych, dzięki czemu sprawdzana jest jakość druku oraz wewnętrzne dołączenia końcówek do struktury układu (rys. 4).

Dzięki odpowiedniemu sterowaniu wyjść cyfrowych układów zgodnych z IEEE 1149.1 można testować funkcjonalnie inne układy cyfrowe bez interfejsu JTAG, którego końcówki są dołączone do układów z rejestrem BST. Można również programować w układzie pamięci Flash, mikrokontrolery, układy PLD lub FPGA.

JTAG za darmo

Oprogramowanie narzędziowe JTAG Live! umożliwia zapoznanie się z właściwościami funkcjonalnymi interfejsu JTAG oraz możliwościami testów BST. Dostępne jest ono w trzech wersjach, z których najprostsza o nazwie Buzz dostępna jest bezpłatnie. Pozwala na zdefiniowanie do dwóch łańcuchów JTAG oraz na wykonanie prostych testów.



Rys. 5. Okno programu JTAG Live! Buzz

Na rys. 5 przedstawiono widok okna uruchomionego programu JTAG Buzz. W lewej części okna programu widoczne jest drzewo projektów. Dla każdego z projektów przedstawiono układy scalone tworzące łańcuch JTAG. W głównej części okna dostępne są 3 kontrolki służące do wykonywania pomiarów.

Pierwsza z nich umożliwia podgląd stanu pojedynczego pinu (Watch), natomiast druga umożliwia test przejścia między dwoma końcówkami (Buzz). Dzięki kontrolce Buzz można szybko zweryfikować czy w ścieżce między dwoma końcówkami różnych układów nie ma przerwy lub czy dwie ścieżki (końcówki) nie są zwarte. Połączenie końcówek sygnalizowane jest kolorem zielonym, a rozwarcie kolorem czerwonym.

Najbardziej rozbudowaną jest kontrolka pozwalająca na wykonanie pomiarów na wielu końcówkach jednocześnie. W tym teście możliwe jest więc ustawienie wymuszeń na wybranych końcówkach i sprawdzenie stanu na innych. Wymuszenia i odpowie-

Pobierz JTAG Live
 Oprogramowanie JTAG Live jest dostępne do pobrania na stronie <http://www.jtaglive.com>. Do uruchomienia programu potrzebna jest bezpłatna licencja, którą można uzyskać po zarejestrowaniu się na wyżej wymienionej stronie.

dzi można grupować, co pozwala zachować przejrzystość zobrazowania danych, szczególnie przy wielu pomiarach.

Dodatkowo, w zakładce Constraints można zdefiniować stałe wymuszenia na końcówkach dla wszystkich testów.

Jak już wspomniano, BST umożliwia również przeprowadzenie testów funkcjonalnych układów cyfrowych, niewyposażonych w JTAG. Przykładem takiego testu jest badanie pracy układu 74VHC138 (dekoder 3 na 8/demultiplexer). Jest to prosty układ cyfrowy bez interfejsu JTAG. Jego końcówki są jednak dołączone do układów CPLD, które są zgodne z normą IEEE 1149.1. Układy te są zamontowane na płycie testowej JTAG (widoczna na fotografii tytułowej) udostępnionej przez firmę WG Electronics. Na rys. 5 widoczny jest wektor testowy (dolna części kontrolki Measure) dla układu 74VHC138.

Płatne rozwiązania

Przy okazji opisywania programu JTAG Live w wersji Buzz, należy wspomnieć o możliwościach płatnego oprogramowania. JTAG Live w wersji Clip umożliwia tworzenie kilku wektorów testowych (w wersji Buzz jest de facto tylko jeden), które są automatycznie podawane w łańcuch testowy. Na podstawie odpowiedzi tworzone są wykresy czasowe. Natomiast wersja Script umożliwia przygotowywanie rozbudowanych testów za pomocą języka skryptowego Python.

Podsumowanie

Program JTAG Live w wersji Buzz jest prosty, ale bardzo funkcjonalny i użyteczny. Nie może on niestety wykonywać sekwencji testów, czy też nie oferuje automatycznego generowania testów, ale jest on dostępny bezpłatnie. Inżynierzy mający dostęp do kontrolerów JTAG (np. firm Altera lub Xilinx) mogą dzięki niemu poznać możliwości testów BST.

Maciej Gołaszewski, EP
maciej.golaszewski@ep.com.pl

R E K L A M A

Układ opóźniania włączania zasilania sieciowego SOFT START
AVT1226
www.sklep.avt.pl