

# STM32 F7, the smartest STM32 ever World's 1<sup>st</sup> ARM<sup>®</sup> Cortex<sup>®</sup>-M7 MCU



## Mikrokontrolery STMicroelectronics: od Cortex-M0 do Cortex-M7

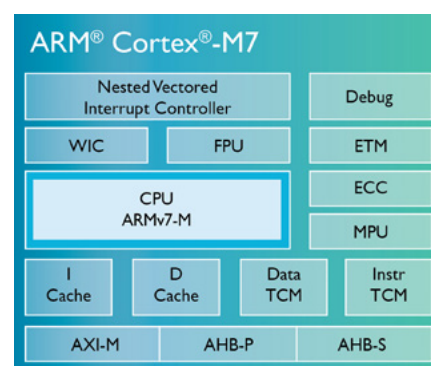
*STMicroelectronics jest jednym z liderów rynku mikrokontrolerów z rdzeniami Cortex-M, co się udało między innymi dzięki szerokiej i konsekwentnie rozwijanej ofercie. Od kilku tygodni dotychczasową ofertę mikrokontrolerów uzupełniły najnowsze opracowania – mikrokontrolery z nowym rdzeniem firmy ARM Cortex-M7 – oznaczone symbolem STM32F7.*

Mikrokontrolery STM32F7 dzięki budowie i możliwościom zastosowanego w nich rdzenia Cortex-M7 stanowią swoisty wydajnościowy pomost pomiędzy mikrokontrolerami i mikroprocesorami. Rdzeń może być taktowany z częstotliwością do 200 MHz, co przy średniej wydajności 2,14 DMIPS/MHz daje wynik 428 DMIPS, w przypadku zoptymalizowanych programów nawet 3,23 DMIPS/MHz (5 CoreMark/MHz).

Od strony technicznej Cortex-M7 to rozbudowana wersja rdzenia Cortex-M4,

przystosowana do współpracy z szybką pamięcią SRAM TCM (dla danych i instrukcji programu), wyposażoną w pamięci cache dla danych i instrukcji (rysunek 1), a także zaawansowany 6-poziomowy mechanizm przetwarzania potokowego z predykcją oraz sprzętowym wsparciem superskalarnego wykonywania programu.

Architektura rdzenia Cortex-M7 jest taka sama jak w przypadku rdzeni Cortex-M3 i Cortex-M4 (zgodnie z nomenklaturą firmy ARM nosi ona oznaczenie ARMv7E-M

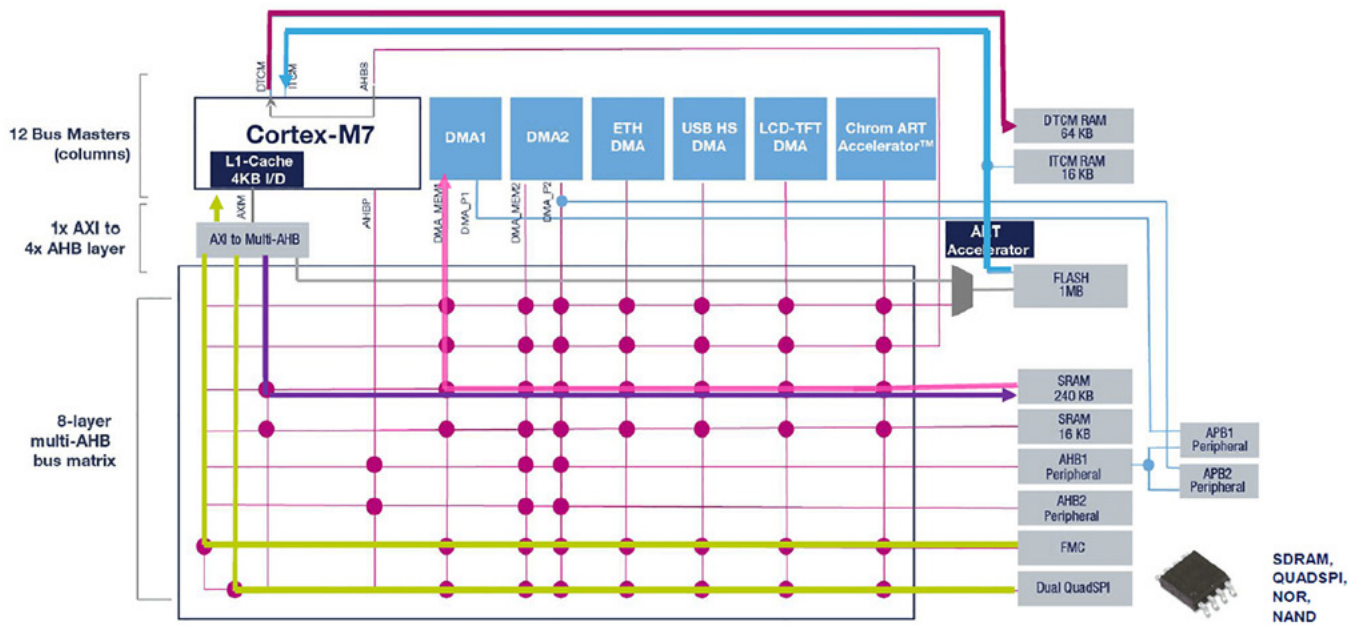


Rysunek 1. Schemat blokowy rdzenia Cortex-M7

– tabela 1), a jego działanie jest zgodne z definicją architektury Harvard: magistrale zapewniające komunikację z pamięcią danych i poleceń są rozdzielone. Firma ARM w opisie konstrukcyjnym rdzenia użyła

Tabela 1. Najważniejsze cechy rdzeni Cortex-Mx

Rdzeń	SysTick Timer	MPU	Instrukcje Thumb	Instrukcje Thumb-2	Multiplikator	Sprzętowe dzielenie	Instrukcje DSP	Konfiguracja pamięci	Nazwa architektury
Cortex-M0	Opcja	-	Wszystkie	Niektóre	1 lub 32 takty	-	-	Von Neumann	ARMv6-M
Cortex-M0+	Opcja	Opcja	Wszystkie	Niektóre	1 lub 32 takty	-	-	Von Neumann	ARMv6-M
Cortex-M1	Opcja	-	Wszystkie	Niektóre	3 lub 33 takty	-	-	Von Neumann	ARMv6-M
Cortex-M3	+	Opcja	Wszystkie	Wszystkie	1 takt	+	-	Harvard	ARMv7-M
Cortex-M4	+	Opcja	Wszystkie	Wszystkie	1 takt	+	+	Harvard	ARMv7E-M
Cortex-M7	+	Opcja	Wszystkie	Wszystkie	1 takt	+	+	Harvard	ARMv7E-M



Rysunek 2. System magistral otaczających rdzeń Cortex-M7 zastosowany w STM32F7

nowych mechanizmów obniżających pobór mocy, które są dostępne opcjonalnie podczas implementacji rdzenia w nowoczesnych technologiach półprzewodnikowych, charakteryzujących się niewielkim wymiarem charakterystycznym.

Ważnym udoskonaleniem wprowadzonym w rdzeniu Cortex-M7 jest nowy interfejs komunikacyjny (de facto jest to magistrala), który ma wpływ na wypadkową prędkość pracy mikrokontrolera: Master AXI (AXIM, rysunek 2). Zapewnia ona

„splatanie” kilku kanałów magistrali AHB w jeden, bardzo szybki kanał dwukierunkowej komunikacji rdzenia z otoczeniem (w rdzeniach Cortex-M4 rdzeń komunikuje się z otoczeniem za pomocą „standardowych” interfejsów-magistral AHB).

Rozwiązania zastosowane przez firmę ARM w rdzeniu Cortex-M7 pozwalają na szybszy niż w przypadku poprzedników dostęp rdzenia do zawartości pamięci SRAM i Flash, oczywiście przy założeniu, że konstrukcja pamięci umożliwi bezpośredni odczyt danych z relatywnie wysoką częstotliwością (dla typowych pamięci nieulotnych za taką uchodzi próg 70...90 MHz). Żeby uniknąć efektu „wąskiego gardła” w dostępie do zawartości pamięci Flash, producenci stosują różne rozwiązania, na przykład w mikrokontrolerach STM32 pobieranie danych z pamięci Flash jest buforowane za pomocą sprzętowego akceleratora ART (*Adaptive Real-Time*). Jego działanie polega m.in. na dekompozycji 128-bitowych słów przechowywanych w pamięci Flash na słowa 16- lub 32-bitowe, które są kolejgowane w lokalnej (wbudowanej w ART) pamięci cache. Według informacji publikowanych przez producenta, mechanizmy usprawniające dostęp do zawartości Flash spowodowały, że nie ma konieczności używania podczas odczytu *wait-state*’ów dotychczas istotnie zmniejszających realną prędkość transferu danych.

Efekty zabiegów konstruktorów mikrokontrolerów STM32F7 widać w ich wydajności: przy maksymalnej dopuszczalnej częstotliwości taktowania CPU, wynoszącej obecnie 200 MHz, uzyskiwana jest wartość CoreMark na poziomie 1000 (vs 608 w przypadku STM32F4 @180MHz), a zgodnie z wybiegającymi w niezbyt

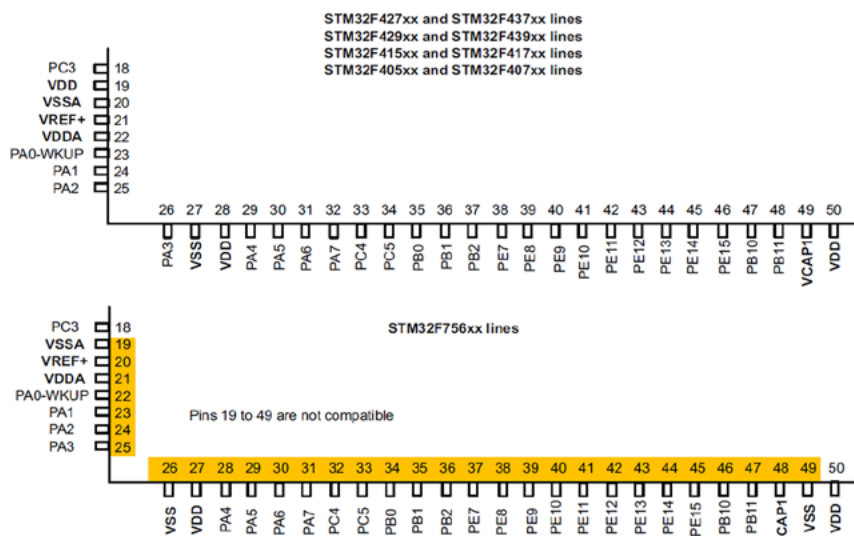
<b>System</b> Power supply 1.2 V regulator POR/PDR/PVD Xtal oscillators 32 kHz + 4 ~26 MHz Internal RC oscillators 32 kHz + 16 MHz PLL Clock control RTC/AWU 1x SysTick timer 2x watchdogs (independent and window) 82/114/140/168 I/Os Cyclic redundancy check (CRC)	<b>Chrom-ART Accelerator™ ART Accelerator™</b>  <b>Cache I/D 4+4 Kbytes</b>  ARM Cortex-M7 200 MHz  <b>Floating point unit (FPU)</b> Nested vector interrupt controller (NVIC) MPU JTAG/SW debug/ETM	Up to 1-Mbyte single bank Flash 320-Kbyte SRAM + 16-Kbyte ITCM RAM FMC/SRAM/NOR/NAND/ SDRAM Dual Quad SPI 96-byte + 4-Kbyte backup SRAM 1024 OTP bytes
<b>Control</b> 2x 16-bit motor control PWM Synchronized AC timer 5x 16-bit timers 2x 32-bit timers 3x 16-bit timers LP timer	<b>AXI and Multi-AHB bus matrix</b>  16-channel DMA  True random number generator (RNG)	<b>Connectivity</b> TFT LCD controller HDMI-CEC Camera interface 4x SPI, 3x I S, 4x I C Ethernet MAC 10/100 with IEEE 1588 2x CAN 2.0B 1x USB 2.0 OTG FS/HS 1x USB 2.0 OTG FS 1x SDMMC 4x USART + 4 UART LIN, smartcard, IrDA, modem control 2x SAI (Serial audio interface) SPDIF input x4
<b>Crypto/Hash processor<sup>1</sup></b> 3DES, AES 256, GCM, CCM SHA-1, SHA-256, MD5, HMAC		<b>Analog</b> 2-channel 2x 12-bit DAC 3x 12-bit ADC 24 channels / 2.4 MSPS Temperature sensor

Rysunek 3. Schemat blokowy mikrokontrolerów STM32F75x



Common core peripherals and architecture:	<b>High-performance</b>									
	STM32F7 series – Very high performance with DSP and FPU (STM32F7x6)									
	200 MHz Cortex-M7 CPU	Up to 1-Mbyte Flash	Up to 336-Kbyte SRAM	2x USB 2.0 OTG FS/HS	3x 16-bit advanced MC timer	2x CAN CEC FMC	SDIO 2x IS audio Camera IF	Crypto Ethernet IEEE 1588 2x SAI	LCD-TFT SDRAM I/F Quad SPI SPDIF input	
	STM32F4 series – High performance with DSP and FPU (STM32F401/411/405-415/407-417/427-437/429-439 and STM32F446)									
	Up to 180 MHz Cortex-M4 DSP/FPU	Up to 2-Mbyte Flash	Up to 256-Kbyte SRAM	2x USB 2.0 OTG FS/HS	3x 16-bit advanced MC timer	2x CAN CEC F(S)MC	SDIO 3x IS audio Camera IF	Crypto Ethernet IEEE 1588 2x SAI	LCD-TFT SDRAM I/F Quad SPI SDFIF input	
	STM32F2 series – High performance (STM32F2x5 and 2x7)									
	120 MHz Cortex-M3 CPU	Up to 1-Mbyte Flash	Up to 128-Kbyte SRAM	2x USB 2.0 OTG FS/HS	3x 16-bit advanced MC timer	2x CAN 2.0B FSMC	SDIO 2x IS audio Camera IF	Crypto Ethernet IEEE 1588		
	<b>Mainstream</b>									
	STM32F3 series – Mixed-signal with DSP (STM32F301/302/303/334/373/3x8)									
	72 MHz Cortex-M4 with DSP/FPU	Up to 512-Kbyte Flash	Up to 80-Kbyte SRAM CCM-RAM	USB 2.0 FS	3x 16-bit advanced MC timer	CAN CEC FSMC	7x comparator 4x PGA	HR-Timer	3x 16-bit $\Sigma \Delta$ ADC	
STM32F1 series – Mainstream (STM32F100/101/102/103 and 105-107)										
Up to 72 MHz Cortex-M3 CPU	Up to 1-Mbyte Flash	Up to 96-Kbyte SRAM	USB 2.0 OTG FS	2x 16-bit advanced MC timer	2x CAN CEC FSMC	SDIO 2x IS audio	Ethernet IEEE 1588			
STM32F0 series – Entry-level (STM32F0x0/0x1/0x2 and 0x8)										
48 MHz Cortex-M0 CPU	Up to 256-Kbyte Flash	Up to 32-Kbyte SRAM 20-byte backup data	USB 2.0 FS device Crystal less	CAN CEC	DAC					
<b>Ultra-Low-Power</b>										
STM32L4 series – Ultra-Low-Power (STM32L4x6)										
80 MHz Cortex-M4 CPU	Up to 1-Mbyte Flash	Up to 128-Kbyte SRAM	USB 2.0 OTG FS	2x 16-bit advanced MC timer	LCD up to 8x40	Op-amps comparator	FSMC SDIO CAN DFSDM	AES 256-bit T-RNG 2 x SAI		
STM32L1 series – Ultra-Low-Power (STM32L100/151-152/162)										
32 MHz Cortex-M3 CPU	Up to 512-Kbyte Flash	Up to 80-Kbyte SRAM	Up to 16-Kbyte EEPROM	USB 2.0 FS Device	LCD up to 8x40	Op-amps comparator	FSMC SDIO	AES 128-bit		
STM32L0 series – Ultra-Low-Power (STM32L0x1/0x2/0x3)										
32 MHz Cortex-M0+ CPU	Up to 192-Kbyte SRAM	Up to 20-Kbyte SRAM	Up to 6-Kbyte EEPROM	USB 2.0 FS device Crystal less	LCD 8x40 4x52	T-RNG comparator	LP Timer LP UART LP 12-bit ADC	AES 128-bit		
Common core peripherals and architecture:										
Communication peripherals: USART, SR, I										
Multiple general-purpose timers										
Integrated reset and brown-out warning										
Multiple DMA										
2x watchdogs Real-time clock										
Integrated regulator PLL and clock circuit										
Up to 3x 12-bit DAC										
Up to 4x 12-bit ADC (Up to 5 MSPS)										
Main oscillator and 32 kHz oscillator										
Low-speed and high-speed internal RC oscillator										
-40 to +85 °C and up to 125 °C operating temperature range										
Low voltage 2.0 to 3.6 V or 1.65/1.7 to 3.6 V (depending on series)										
Temperature sensor										

Rysunek 4. Porównanie wyposażenia mikrokontrolerów STM32



Rysunek 5. Mikrokontrolery STM32F7 są „pinowo” zgodne z mikrokontrolerami STM32F4, jedyne różnice – pokazane na rysunku – występują w obudowach LQFP100

odległą przyszłość zapowiedziami producenta, planowane jest osiągnięcie wyniku testu CoreMark o wartości 2000.

Producent opracowując mikrokontrolery STM32F7 zadbał o wyposażenie ich w bogaty zestaw elementów peryferyjnych (schemat blokowy pokazano na **rysunku 3**, a na **rysunku 4** przedstawiono porównanie ich wyposażenia z dotychczas produkowanymi mikrokontrolerami), w skład którego wchodzi wszystkie interfejsy znane z poprzednich generacji mikrokontrolerów oraz kilka nowych rozwiązań, w tym m.in.:

- zmodyfikowany podsystem generowania sygnałów zegarowych, pozwalający na modyfikowanie częstotliwości taktowania bloków peryferyjnych bez konieczności zmiany ustawień taktowania CPU,
- dwukanałowy transceiver I<sup>2</sup>S z obsługą SPDIF oraz 3 półduplexowe kanały wejściowe SPDIF, interfejsy USB-OTG z wydzielonym zasilaniem, co pozwala korzystać z tego interfejsu także przy zasilaniu mikrokontrolera napięciem 1,8 V,
- dwa interfejsy QSPI, które sprzętowo realizują transmisję danych z pamięciami wyposażonymi w 1-, 4- lub 8-bitowe interfejsy komunikacyjne.

Mogłoby się wydawać, że bogate wyposażenie wewnętrzne i duże możliwości obliczeniowe muszą spowodować wzrost mocy pobieranej podczas pracy, ale według zapewnień producenta cechy te nie wpłynęły na pogorszenie ich parametrów „oszczędnościowych” w porównaniu z układami STM32F4, co pozwoliło uzyskać wynik 7 CoreMark/mW w trybie Run, statyczny pobór 120  $\mu$ A w trybie STOP z podtrzymaniem zawartości pamięci SRAM, 1,7  $\mu$ A w trybie STANDBY oraz 0,1  $\mu$ A w trybie VBAT.

Projektanci podrodziny STM32F7 zadbałi o jeszcze jedną ważną rzecz: ich kompatybilność z mikrokontrolerami STM32F4, zarówno pod kątem fizycznego rozmieszczenia wyprowadzeń w obudowie, jak i ich kompatybilności elektryczno-czasowej, co minimalizuje ryzyko powstania problemów w wypadku modyfikowania konstrukcji urządzeń z tymi mikrokontrolerami. Zabieg ten niezupełnie udał się w przypadku najmniejszych dostępnych w rodzinie STM32F7 obudów – LQFP100 – w których 30 wyprowadzeń jest umieszczonych odmiennie w obydwu podrodzinach (**rysunek 5**). Pozostałe planowane wersje obudów (na razie dla mikrokontrolerów STM32F75x) – LQFP144, LQFP176, UFBGA176, LQFP208, TFBGA216 oraz WLCSP143 – dokładnie odpowiadają mikrokontrolerom STM32F4.

Andrzej Gawryluk