

# STK\_ADAU1442

## Moduł wyjść analogowych

**AVT  
5472**

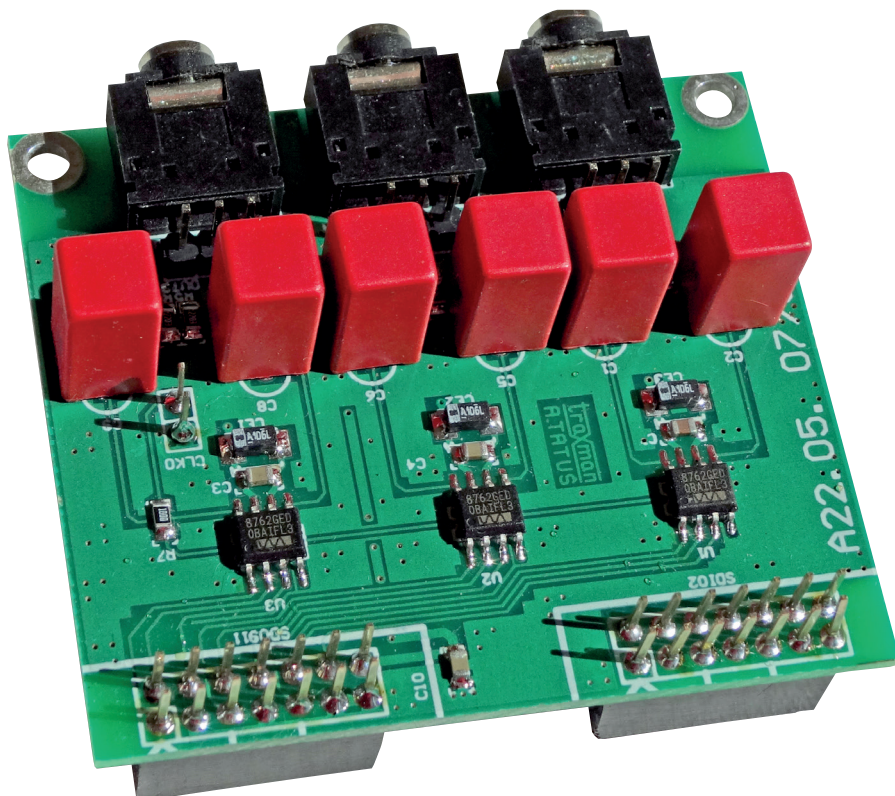
Opisywany wcześniej zestaw „Mega DSP” miał wejścia/ wyjścia cyfrowe I<sup>2</sup>S i S/PDIF. Nie zawsze jednak obrabiany jest tylko sygnał cyfrowy. Dla osób zainteresowanych obróbką sygnału analogowego, jako uzupełnienie karty przetwornika A/C, opracowałem kartę 6-kanalowego przetwornika C/A o częstotliwości próbkowania 192 kHz i rozdzielczości 24 bitów.

**Rekomendacje:** dla osób zajmujących się przetwarzaniem i obróbką sygnału analogowego.

Karta oparta jest o niedrogi i łatwy w aplikacji przetwornik C/A typu WM8762 firmy Wolfson gwarantujący osiągnięcie dobrych parametrów przetwarzania niewielkim nakładem środków. Schemat blokowy układu WM8762 pokazano na **rysunku 1**. Układ zapewnia przetwarzanie sygnału z rozdzielczością 24 bitów przy częstotliwości próbkowania 192 kHz i większym od 90 dB odstępie sygnału od zakłóceń. Schemat modułu wyjść analogowych z układem WM8762 zaprezentowano na **rysunku 2**.

Moduł składa się z trzech identycznych kanałów stereofonicznych. Sygnał wyjściowy z przetwornika C/A jest doprowadzony do gniazd OUTxA lub do złącz OUTx. Ma on amplitudę 1,2 Vrms przy obciążeniu rezystancją 10 kΩ. Dla uproszczenia moduł pozbawiono wyjściowych filtrów dolnoprzepustowych. Sygnał jest filtrowany za pomocą filtrów cyfrowych wbudowanych w przetwornik C/A. Kondensatory C1, C2, C5, C6, C8, C9 separują składową stałą z przetwornika C/A.

Układ scalony WM8762 pracuje w trybie LJ (wyrównanie do lewej) z rozdzielczością 24 bitów. Sygnał cyfrowy z DSP jest doprowadzony poprzez złącza SDO911 do każdego z wejść przetworników U1...U3. Przebieg zegarowy niezbędny do pracy przetworników jest pobierany z płytki Mega DSP poprzez złącze CLK0. W module można zastosować bez dokonywania żadnych zmian układowych przetwornik WM8727 różniący się tylko interfejsem cyfrowym w formacie I<sup>2</sup>S – wymaga to jedynie zmiany konfiguracji DSP.



### Montaż, test funkcjonalny

Układ zmontowano na niewielkiej płytce drukowanej, której schemat montażowy pokazano na **rysunku 3**. Liczba wlotowych układów scalonych jest zależna od potrzeb – na wyjściu jednego przetwornika D/A są dostępne dwa kanały. W module prototypowym zastosowano 3 układy WM8762, więc uzyskano w ten sposób 6 kanałów.

Sposób montażu jest typowy i nie wymaga opisywania, należy tylko sprawdzić jego poprawność. W zależności od preferencji, układ może być połączony z płytką bazową za pomocą taśm IDC14 dla zasilania i sygnałów I<sup>2</sup>C oraz przewodu ekranowanego dla sygnału zegarowego (możliwie krótkiego). Ja preferuję układanie modułów w „kanapki”, jednak wiąże się to z koniecznością zdobycia trudnodostępnych złącz przelotowych IDC 20 mm, takich jak są stosowane w modułach rozszerzających Raspberry PI, odpowiedniego ich przycięcia oraz zamiany złącz GPIO i USBI na kątowne w module bazowym ADAU1442. Wybór rozwiązania pozostawiam użytkownikowi. Stabilność mechaniczną przy łączeniu „kanapek” zapewniają kołki dystansowe montowane od strony złącz jack.

**W ofercie AVT\***  
AVT-5472 A

Podstawowe informacje:

- Zasilanie 3,3 V DC.
- Maksymalna liczba kanałów: 6 stereofonicznych.
- Częstotliwość próbkowania 192 kHz, rozdzielczość 24 bity.
- Amplituda sygnału wyjściowego 1,2 V/10 kΩ

Dodatkowe materiały na FTP:

<ftp://ep.com.pl>, user: 42850, pass: 3063yuhc

• wzory płytek PCB

Projekty pokrewne na FTP:

(wymienione artykuły są w całości dostępne na FTP)

AVT-5442 STK\_ADAU1442 – Mega DSP (EP 3/2014)

AVT-5403 DSP dla każdego – ADAU1701 (EP 7-8/2013)

AVT-5385 Przetwornik D/A z układem

TDA1541 (EP 3/2013)

AVT-931 DsPICorder (EP 6/2006)

\* Uwaga:

Zestawy AVT mogą występować w następujących wersjach: AVT xxxx UK to zaprogramowany układ. Tylko i wyłącznie. Bez elementów dodatkowych.

AVT xxxx A płytka drukowana PCB (lub płytki drukowane, jeśli w opisie wyraźnie zaznaczono), bez elementów dodatkowych.

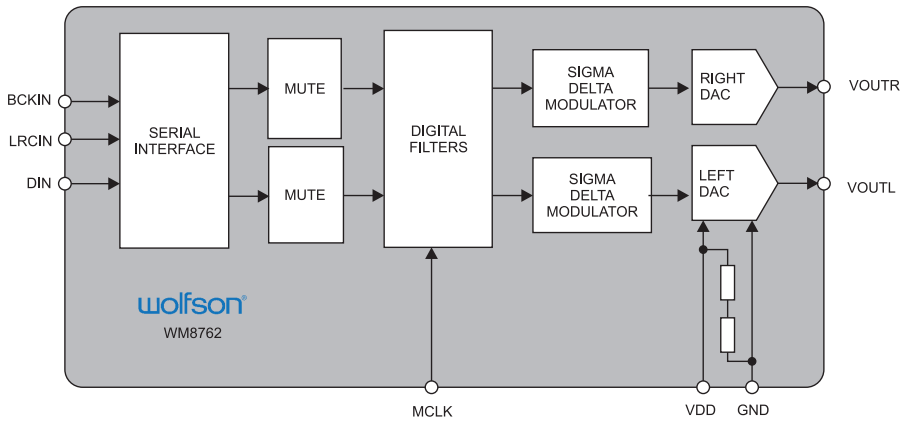
AVT xxxx A+ płytka drukowana i zaprogramowany układ (czyli połączenie wersji A i wersji UK) bez elementów dodatkowych.

AVT xxxx B płytka drukowana (lub płytki) oraz komplet elementów wymienionych w załączniku pdf

AVT xxxx C to nic innego jak zmontowany zestaw B, czyli elementy wlotowane w PCB. Należy mieć na uwadze, że o ile nie zaznaczono wyraźnie w opisie, zestaw ten nie ma obudowy ani elementów dodatkowych, które nie zostały wymienione w załączniku pdf

AVT xxxx CDoprogramowanie (nieczęsto spotykana wersja, lecz jeśli występuje, to niezbędne oprogramowanie można ściągnąć, klikając w link umieszczony w opisie kitu)

Nie każdy zestaw AVT występuje we wszystkich wersjach! Każda wersja ma załączony ten sam plik pdf! Podczas składania zamówienia upewnij się, którą wersję zamawiasz! (UK, A, A+, B lub C). <http://sklep.avt.pl>



Rysunek 1. Schemat blokowy WM8762 (za notą Wolfson)

**Wykaz elementów**

**Rezystory:**

R1...R6: 220 kΩ (SMD 0805, 1%)  
R7: 100 Ω (SMD 0805)

**Kondensatory:**

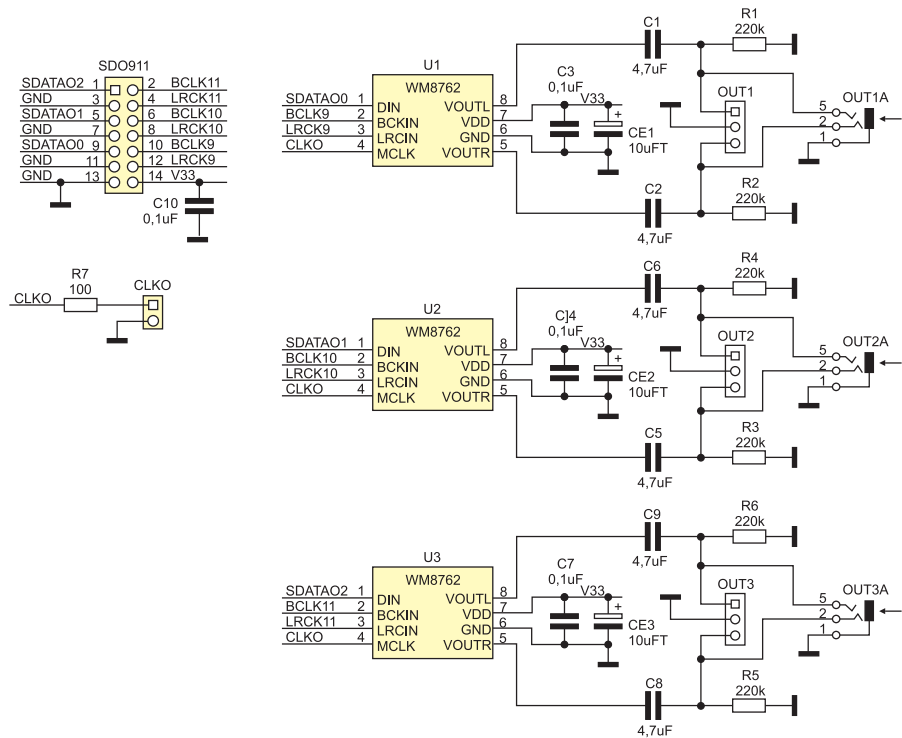
C1, C2, C5, C6, C8, C9: 4,7 μF (foliowy R=5 mm)  
C3, C4, C7, C10: 0,1 μF (SMD 0805)  
CE1...CE3: 10 μF (tantalowy)

**Półprzewodniki:**

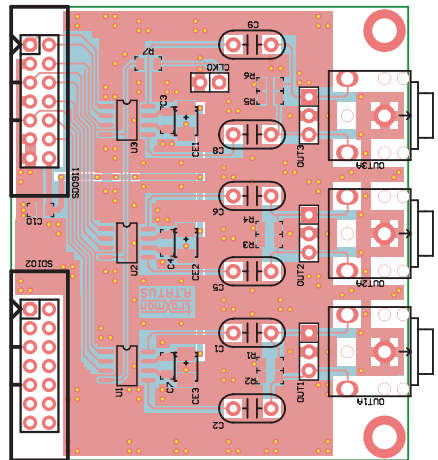
U1...U3: WM8762 (SO8 – liczba układów zależy od liczby wymaganych kanałów, opis w tekście)

**Inne:**

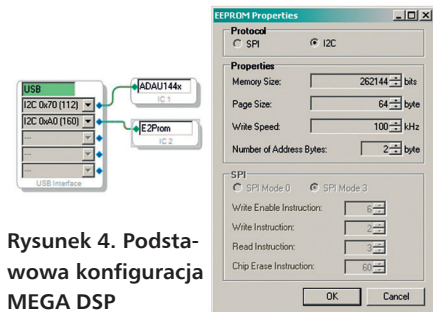
CLKO: złącze żeńskie SIP, przelotowe, h=20 mm  
OUT1...OUT3: złącze SIP3  
OUT1A...OUT3A: FC68131 (złącze Mini Jack, stereofoniczne)  
SDO911, SDIO2: IDC14C (złącze żeńskie SIP, przelotowe, h=20 mm)



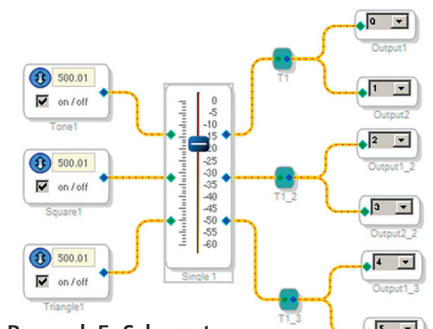
Rysunek 2. Schemat ideowy modułu 6-kanałowego przetwornika C/A z WM8762



Rysunek 3. Schemat montażowy modułu 6-kanałowego przetwornika C/A z WM8762



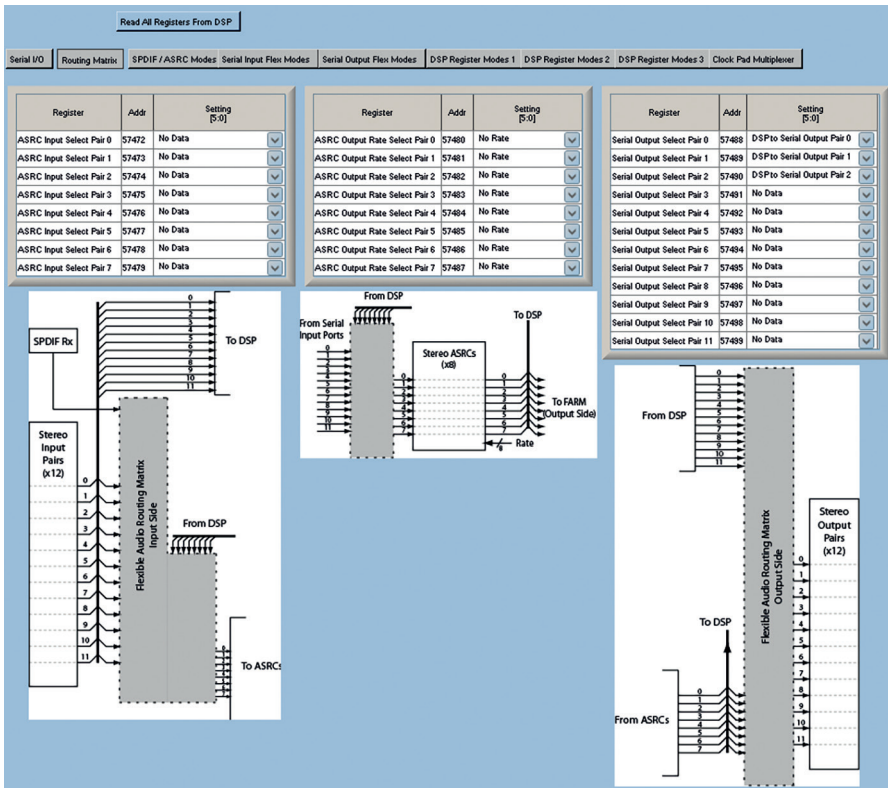
Rysunek 4. Podstawowa konfiguracja MEGA DSP



Rysunek 5. Schemat aplikacji testowej DAC

Serial I/O	Routing Matrix	SPDIF / ASRC Modes	Serial Input Flex Modes	Serial Output Flex Modes	DSP Register Modes 1	DSP Register Modes 2	DSP Register Modes 3	Clock Pad Multiplexer	
Register	Addr	Clock Output Enable [15]	Frame Sync Type Enable [14]	Master/Slave & Clock Domain [13:10]	BCLK Polarity [9]	LRCLK Polarity [8]	Word Length [7:6]	MSB Position [5:3]	TDM Type [2:0]
Serial Input 0	57344	Disabled	Wave	Slave to Clock Domain 0	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 1	57345	Disabled	Wave	Slave to Clock Domain 1	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 2	57346	Disabled	Wave	Slave to Clock Domain 2	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 3	57347	Disabled	Wave	Slave to Clock Domain 3	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 4	57348	Disabled	Wave	Slave to Clock Domain 4	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 5	57349	Disabled	Wave	Slave to Clock Domain 5	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 6	57350	Disabled	Wave	Slave to Clock Domain 6	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 7	57351	Disabled	Wave	Slave to Clock Domain 7	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Input 8	57352	Disabled	Wave	Slave to Clock Domain 8	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 0	57408	Enabled	Wave	Master - 96 kHz Clocks	Negative	Negative	24 bits	Left Justified (Delayed by 0)	TDM2 (Stereo)
Serial Output 1	57409	Enabled	Wave	Master - 96 kHz Clocks	Negative	Negative	24 bits	Left Justified (Delayed by 0)	TDM2 (Stereo)
Serial Output 2	57410	Enabled	Wave	Master - 96 kHz Clocks	Negative	Negative	24 bits	Left Justified (Delayed by 0)	TDM2 (Stereo)
Serial Output 3	57411	Disabled	Wave	Slave to Clock Domain 3	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 4	57412	Disabled	Wave	Slave to Clock Domain 4	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 5	57413	Disabled	Wave	Slave to Clock Domain 5	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 6	57414	Disabled	Wave	Slave to Clock Domain 6	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 7	57415	Disabled	Wave	Slave to Clock Domain 7	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Serial Output 8	57416	Disabled	Wave	Slave to Clock Domain 8	Negative	Negative	24 bits	I2S (Delayed by 1)	TDM2 (Stereo)
Register	Addr	Reserved [15:1]	Enable / Disable [0]						
High-Speed Slave Interface Mode	57417	b 00000000000000	Disabled						

Rysunek 6. Konfiguracja interfejsu wyjściowego



Rysunek 7. Konfiguracja matrycy sygnałów

oraz EEPROM zgodnie z rysunkiem 4. W zależności od zastosowanej pamięci EEPROM (w modelu 24FC/LC256) jest konieczne określenie wewnętrznej konfiguracji za pomocą zakładki IC2 -E2Prom/Properties. Należy podać pojemność pamięci, wielkość bloku danych oraz częstotliwości magistrali I<sup>2</sup>C (dostępne od Sigma Studio ver. 3.9). W przeciwnym wypadku programowanie EEPROM może być niemożliwe lub nieprawidłowe.

W roli aplikacji testowej wykorzystamy 3-kanalowy generator sygnału o regulowanym poziomie. Schemat blokowy aplikacji pokazano na rysunku 5. W projekcie jest konieczne ustawienie częstotliwości próbkowania na 96 kHz (kwarc 12,288 MHz). Sygnały cyfrowe z generatorów po regulacji poziomu dostępne są w kanałach 0..5 bloku wyjściowego i doprowadzone do wyjściowych kanałów DSP. Aplikacja nie używa GPIO. Po narysowaniu projektu jest konieczna konfiguracja sprzętowa ADAU144x. W pierwszej kolejności jest wymagane skonfigurowanie wyjściowego interfejsu cyfrowego w trybie LJ (Left Justified), 24 bity, Master 96 kHz (rysunek 6) oraz matrycy przepływu sygnałów, jak na rysunku 7. Następnie jest konieczne skonfigurowanie układu zegarowego DSP, co pokazano na rysunku 8.

Po zapisaniu i skompilowaniu projekt jest gotowy do sprawdzenia w rzeczywistej aplikacji. Za pomocą USBi, warto też załadować oprogramowanie do EEPROM, aby nie tracić go po wyłączeniu zasilania. Po dołączeniu wzmacniacza do przetwornika C/A jest możliwe przetestowanie działania aplikacji. Układ nie wykorzystuje GPIO, wszystkie regulacje odbywają się za pomocą wirtualnych manipulatorów na ekranie monitora PC.

Adam Tatuś, EP

Wykresy blokowe i tablice rejestrów konfiguracji dla AD1934. Wykresy pokazują połączenia między wejściami (From DSP, From ASRCs) a wyjściami (To DSP, To FABM Output Side). Tablice rejestrów zawierają następujące dane:

Register	Addr	Value [15:0]	Status [0]
CRC Ideal 1	57856	b 1000100000110000	
CRC Ideal 2	57857	b 0101010111111111	
CRC Enable	57858	b 0000000000000000	Disabled
Watchdog Enable	57872	b 0000000000000000	Disabled
Watchdog Value 1	57873	b 0000000000000011	
Watchdog Value 2	57874	b 0000000000000000	
DSP Ignore Core	57859	b 0000000000000000	DSP core operates normally
Start Pulse Select	57888	b 000000000000	Internally generated 96 KHz

Register	Addr	Reserved [15:4]	MP Value [3:0]
MP0	57860	b 000000000000	Input without debounce
MP1	57861	b 000000000000	Input without debounce
MP2	57862	b 000000000000	Input without debounce
MP3	57863	b 000000000000	Input without debounce
MP4	57864	b 000000000000	Input without debounce
MP5	57865	b 000000000000	Input without debounce
MP6	57866	b 000000000000	Input without debounce
MP7	57867	b 000000000000	Input without debounce
MP8	57868	b 000000000000	Input without debounce
MP9	57869	b 000000000000	Input without debounce
MP10	57870	b 000000000000	Input without debounce
MP11	57871	b 000000000000	Input without debounce

Register	Addr	Reserved [15:3]	Output Mode [2]	Group 2 enable [1]	Group 1 enable [0]
Enable SPDIF to I2S Output	57821	b 0000000000000000	I2S	Off	Off

Register	Addr	Reserved [15:12]	BCLK1 [11]	BCLK10 [10]	BCLK9 [9]	BCLK8 [8]	BCLK7 [7]	BCLK6 [6]	BCLK5 [5]	BCLK4 [4]	BCLK3 [3]	BCLK2 [2]	BCLK1 [1]	BCLK0 [0]
Bit Clock Pad Strength	57827	b 0000	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low

Register	Addr	Reserved [15:12]	LRCLK1 [11]	LRCLK10 [10]	LRCLK9 [9]	LRCLK8 [8]	LRCLK7 [7]	LRCLK6 [6]	LRCLK5 [5]	LRCLK4 [4]	LRCLK3 [3]	LRCLK2 [2]	LRCLK1 [1]	LRCLK0 [0]
LR Clock Pad Strength	57828	b 0000	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low

Register	Addr	Reserved [15:12]	MP Pin 11	MP10 [10]	MP9 [9]	MP8 [8]	MP7 [7]	MP6 [6]	MP5 [5]	MP4 [4]	MP3 [3]	MP2 [2]	MP1 [1]	MP0 [0]
MP Pin Pad Strength	57829	b 0000	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low

Register	Addr	Reserved [15:12]	SDATA OUT3 [8]	SDATA OUT7 [7]	SDATA OUT8 [6]	SDATA OUT5 [5]	SDATA OUT4 [4]	SDATA OUT3 [3]	SDATA OUT2 [2]	SDATA OUT1 [1]	SDATA OUT0 [0]
SDATA Out Pad Strength	57830	b 00000000	Low	Low	Low	Low	Low	Low	Low	Low	Low

Register	Addr	Reserved [15:7]	SCLK CCLK [6]	CLKATC H [5]	ADDR1 CDATA [4]	ADDR0 [3]	SDA CDOUT [2]	SPDIFO [1]	CLKOUT [0]
Other Pad Strength	57832	b 0000000000	Low	Low	Low	Low	Low	Low	High

Register	Addr	Reserved [15:9]	MCLK to Aux ADCs [8]	MCLK to SPDIF TX [7]	MCLK to SPDIF RX [6]	MCLK to DSP Core [5]	MCLK to ASRC2 [4]	MCLK to ASRC1 [3]	MCLK to Serial Out [2]	MCLK to Serial In [1]	FARM [0]
Master Clk Enable	57884	b 00000000	Disabled	Disabled	Disabled	Enabled	Disabled	Disabled	Enabled	Disabled	Disabled

Rysunek 8. Konfiguracja układu zegarowego DSP

Po poprawnym montażu należy sprawdzić położenie zwór M0/1/2 (GND/VCC/GND) w module ADAU144x, sprawdzić obecność napięcia zasilającego 3,3 V i sygnału zegarowego na złączu CLKO. Jeżeli wszystko jest w porządku, można przejść do uruchomienia oprogramowania Sigma Studio w celu przygotowania i sprawdzenia aplikacji testowej.

Do zaprogramowania ADAU144x jest konieczny interfejs USBi. Po uruchomieniu środowiska Sigma Studio w obszar roboczy okienka konfiguracji musimy przeciągnąć, połączyć i skonfigurować elementy USBi, ADAU144x