

# Generator DDS

**AVT  
5444**

*W praktyce każdego elektronika wcześniej czy później przychodzi taki moment, gdy nieodzownym wyposażeniem warsztatu staje się generator sygnałowy. Tak było i w moim przypadku, choć muszę przyznać, że opierałem się dość długo takiej potrzebie.*

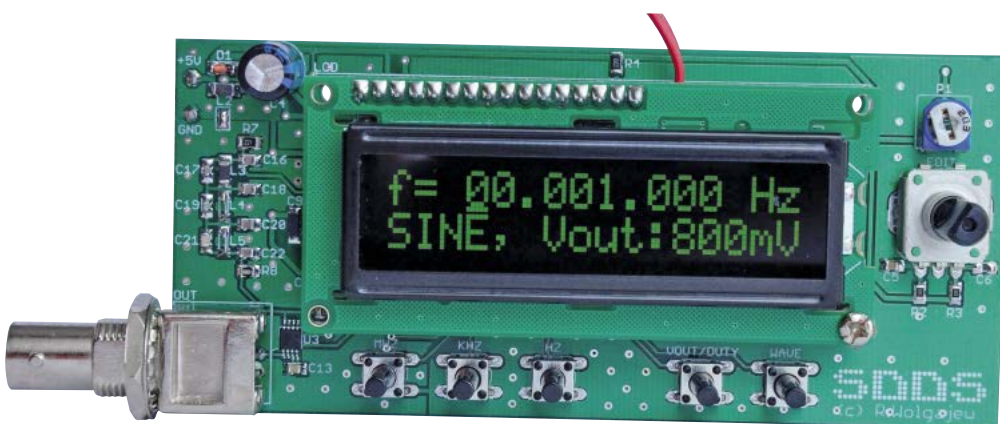
*Zapewne głównie z tego powodu, iż z reguły zajmuję się elektroniką cyfrową, gdzie mniej lub bardziej skutecznie można poradzić sobie bez generatora. Dla przykładu, można do realizacji tego zadania wykorzystać wbudowany w większość mikrokontrolerów timer, który ma możliwość generowania przebiegów zegarowych (zwykle tryb CTC). Jednak rozwiązania zastępcze nie sprawdzają się na dłuższą metę w związku z czym przyszedł czas na podjęcie decyzji o zakupie lub budowie prostego generatora.*

**Rekomendacje:** użyteczny przyrząd, który przyda się w niejednym warsztacie domowym lub może być bazą dla podobnych konstrukcji.

Urządzenia dostępne w handlu przeważnie dysponują znacznie większą funkcjonalnością niż jest mi potrzebna na co dzień. Nie chciałem płacić za „nadmiarowe” funkcje, więc zdecydowałem się na samodzielne zbudowanie generatora korzystając z dostępnych rozwiązań układowych.

## Zasada działania generatora DDS

Dość szybko okazało się, że jedynym słusznym rozwiązaniem sprzętowym w dzisiaj-



szych czasach będzie zastosowanie specjalizowanego układu scalonego, który do generowania przebiegów wyjściowych używa techniki bezpośredniej syntezy cyfrowej DDS (Direct Digital Synthesis). Jest to dość prosta w założeniach metoda generowania przebiegów okresowych w sposób całkowicie cyfrowy (w zasadzie bez udziału elementów dyskretnych), która do tego celu wykorzystuje pamięć przechowującą wzorzec przebiegu sinusoidalnego, generator taktujący służący do taktowania licznika adresującego kolejne próbki sygnału oraz przetwornik C/A, który przesyłany ciąg próbek zamienia na analogowy sygnał wyjściowy. Uproszczony schemat blokowy generatora DDS pokazano na **rysunku 1**.

W tak nieskomplikowanym układzie generatora DDS wejściowy sygnał zegarowy o częstotliwości  $f_{WE}$  „napędza” w sposób bezpośredni licznik adresowy, którego wyjścia adresują z kolei pamięć próbek sygnału wyjściowego. Wartości kolejnych próbek podawane są wejście przetwornika C/A, który zamienia je na wyjściowy sygnał analogowy. Sygnał ten, po odfiltrowaniu składowych harmonicznich, których obecność wynika z procesu przetwarzania cyfrowo-analogowego, może być wykorzystany jako „normalny” sygnał analogowy. W układzie takim częstotliwość wyjściowego sygnału analogowego  $f_{WY}$  obliczyć możemy na podstawie zależności:

### W ofercie AVT\*

AVT-5444 A	AVT-5444 B
AVT-5444 C	AVT-5444 UK

#### Podstawowe informacje:

- Napięcie zasilania: 5 V DC.
- Maksymalny prąd obciążenia: 150 mA.
- Zakres częstotliwości wyjściowych: 1 Hz...40 MHz.
- Krok regulacji częstotliwości: 1 Hz.
- Zakres regulacji amplitudy sinusoidalnego sygnału wyjściowego: 0,15 V...0,80 V (opis w tekście).
- Krok regulacji amplitudy sinusoidalnego sygnału wyjściowego: 0,05 V.
- Zakres regulacji wypełnienia prostokątnego sygnału wyjściowego: 10...90% (opis w tekście)
- Krok regulacji wypełnienia prostokątnego sygnału wyjściowego: 5%.
- Amplituda prostokątnego sygnału wyjściowego: 5,0 V.
- Impedancja wyjściowa: 50  $\Omega$ .

#### Dodatkowe materiały na FTP:

<ftp://ep.com.pl>, user: 17630, pass: 5fare742

#### wzory płytek PCB

#### Projekty pokrewne na FTP:

(wymienione artykuły są w całości dostępne na FTP)

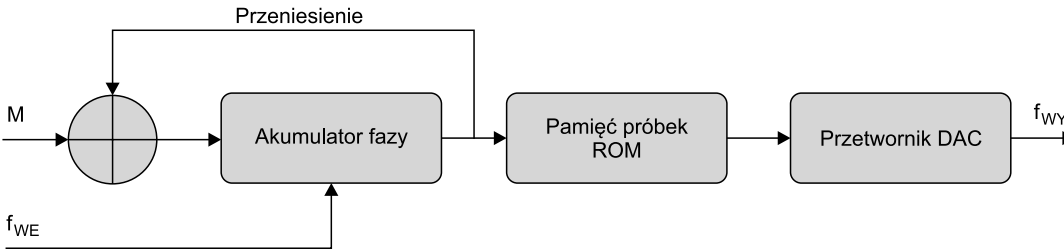
AVT-5418	Cyfrowy generator sygnału prostokątnego (EP 10/2013)
AVT-1728	Generator HF z powielaniem częstotliwości (EP 3/2013)
AVT-5155	Generator DDS (EP 10-11/2008)
AVT-2869	Generator DDS (EdW 7/2008)
AVT-823	Tani generator funkcyjny (EP 9/1999)

#### \* Uwaga:

Zestawy AVT mogą występować w następujących wersjach:  
 AVT xxxx UK to zaprogramowany układ. Tylko i wyłącznie. Bez elementów dodatkowych.  
 AVT xxxx A płytka drukowana PCB (lub płytki drukowane, jeśli w opisie wyraźnie zaznaczono), bez elementów dodatkowych.  
 AVT xxxx A+ płytka drukowana i zaprogramowany układ (czyli połączenie wersji A i wersji UK) bez elementów dodatkowych.  
 AVT xxxx B płytka drukowana (lub płytki) oraz komplet elementów wymienionych w załączniku pdf  
 AVT xxxx C to nic innego jak zmontowany zestaw B, czyli elementy wmontowane w PCB. Należy mieć na uwadze, że o ile nie zaznaczono wyraźnie w opisie, zestaw ten nie ma obudowy ani elementów dodatkowych, które nie zostały wymienione w załączniku pdf oprogramowania (nieczęsto spotykana wersja, lecz jeśli występuje, to niezbędne oprogramowanie można pobrać, klikając w link umieszczony w opisie kitu)  
 AVT xxxx CD Nie każdy zestaw AVT występuje we wszystkich wersjach! Każda wersja ma załączony ten sam plik pdf! Podczas składania zamówienia upewnij się, którą wersję zamawiasz! (UK, A, A+, B lub C). <http://sklep.avt.pl>



Rysunek 1. Poglądowy schemat blokowy najprostszego generatora DDS



Rysunek 2. Poglądowy schemat blokowy generatora DDS z akumulatorem fazy

$$f_{wy} = f_{we} / 2^n$$

gdzie n jest liczbą bitów licznika adresującego, czyli de facto jego rozdzielczością.

Łatwo zauważyć, że przedstawiona zależność znacznie ogranicza funkcjonalność tego typu konstrukcji, gdyż trudno jest uzyskać dokładną, żadaną częstotliwość przebiegu wyjściowego bez możliwości precyzyjnej regulacji częstotliwości źródła sygnału

taktującego, co niejako niweczy sens budowania tego typu układu. Aby wyeliminować niedoskonałość takiego układu wprowadzono rozwiązanie, w którym licznik adresowy zastąpiono specjalnym modułem nazywanym akumulatorem fazy, dzięki czemu powstał generator, którego poglądowy schemat blokowy pokazano na **rysunku 2**.

Akumulator fazy, zastosowany w tym rozwiązaniu, jest pewną modyfikacją licznika adresowego, który wyposażono w mechanizm uwzględniający wartość kroku inkrementacji. Akumulator taki zlicza impulsy generatora taktującego, lecz za każdym razem, gdy wystawia na swoim wyjściu nową wartość adresu, uwzględnia specjalną wartość liczbową

nazywaną słowem przestrajającym (*tuning word*) dodając ją do poprzednio wystawionej wartości adresu. Innymi słowy, akumulator fazy pozwala na automatyczne pomijanie adresów próbek, które nie są wielokrotnością słowa przestrajającego, co jak łatwo zauważyć, przełoży się na wykres przebiegu wyjściowego sygnału analogowego zmieniając jego częstotliwość. W takim razie, dysponując akumulatorem fazy o dużej rozdzielczości (w układach dostępnych

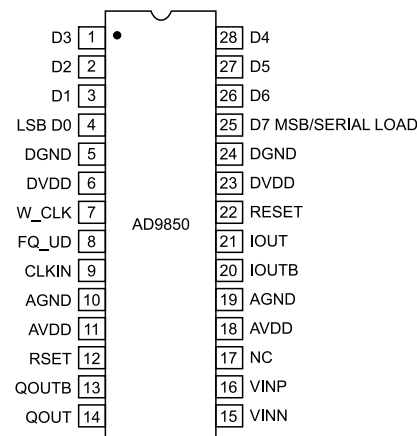
na rynku, minimum kilkadziesiąt bitów) jak i generatorem taktującym o częstotliwości kilkudziesięciu MHz, możemy uzyskać wyjściowy przebieg analogowy, którego częstotliwość regulować będzie można z dokładnością rzędu miliherców. W tego typu układzie częstotliwość tą możemy wyznaczyć według wzoru:

$$f_{wy} = M \times f_{we} / 2^N$$

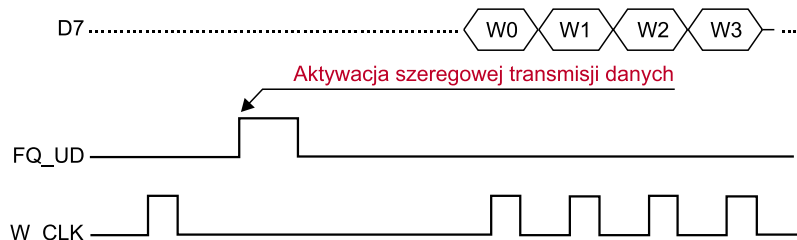
gdzie:

- N jest liczbą bitów rejestru akumulatora fazy, czyli de facto jego rozdzielczością,
- M jest wartością słowa przestrajającego.

W układach tego typu maksymalna, możliwa do uzyskania częstotliwość sygnału wyjściowego równa jest połowie częstotliwości sygnału generatora taktującego, zaś mini-

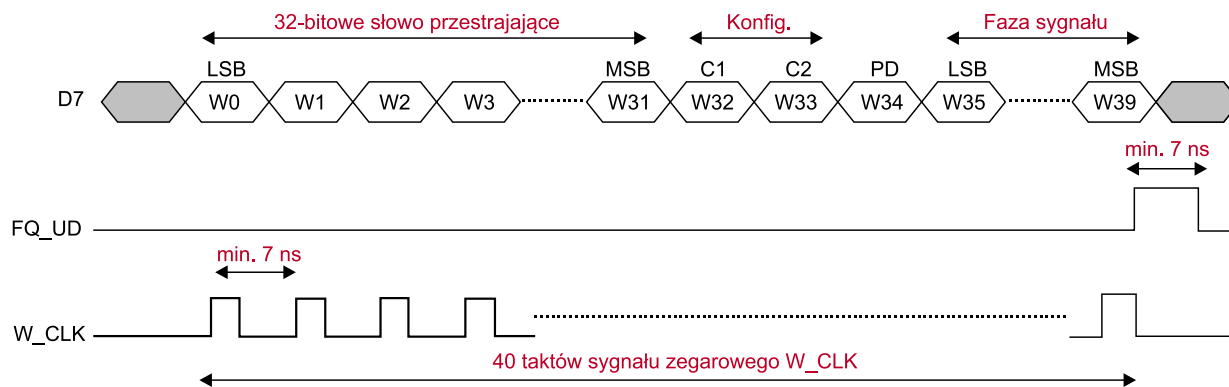


Rysunek 3. Rozmieszczenie wyprowadzeń AD9850



Rysunek 4. Sekwencja sygnałów sterujących aktywująca interfejs szeregowy AD9850

Tabela 1. Opis i znaczenie poszczególnych wyprowadzeń układu AD9850		
Numer pinu	Oznaczenie	Opis
4...1, 28...25	D0...D7	Magistrala danych równoległego interfejsu sterującego (D7...D0) lub wejście danych (D7) szeregowego interfejsu sterującego
5, 24	DGND	Masa zasilania cyfrowej części układu
6, 23	DVDD	Napięcie zasilania cyfrowej części układu
7	W_CLK	Sygnał zegarowy interfejsu sterującego (równoległego i szeregowego)
8	FQ_UD	Sygnał sterujący akumulatorem fazy. Rosnące zbocze sygnału na tym wejściu powoduje wczytanie do akumulatora fazy nowego słowa przestrajającego (zmianę częstotliwości/fazy sygnału wyjściowego)
9	CLKIN	Wejście sygnału taktującego generatora DDS
10, 19	AGND	Masa zasilania analogowej części układu (przetwornik DAC i komparator)
11, 18	AVDD	Napięcie zasilania analogowej części układu (przetwornik DAC i komparator)
12	RSET	Wejście do podłączenia rezystora ustalającego maksymalny prąd wyjściowy wbudowanego przetwornika DAC, który to obliczamy według wzoru: $I_{out} = 32 \times (1.248 / R_{set})$ , przy czym dopuszczalna, maksymalna wartość tego prądu nie może przekraczać 20mA.
13	QOUTB	Komplementarne wyjście wbudowanego komparatora analogowego
14	QOUT	Wyjście wbudowanego komparatora analogowego
15	VINN	Wejście odwracające wbudowanego komparatora analogowego
16	VINP	Wejście nieodwracające wbudowanego komparatora analogowego
17	NC	Nie używane
20	IOUTB	Komplementarne wyjście prądowe wbudowanego przetwornika DAC
21	IOUT	Wyjście prądowe wbudowanego przetwornika DAC
22	RESET	Wejście zerowania układu AD9850 (stan wysoki na tym wejściu zeruje wszystkie rejestry układu AD9850)



Rysunek 5. Konstrukcja 40-bitowej ramki danych układu AD9850

```
Listing 1. Listing funkcji odpowiedzialnej za inicjalizację szeregową
magistrali danych układu AD9850
inline void AD9850init(void)
{
    //Ustawienie kierunku wyjściowego dla wszystkich linii sterujących
    AD9850_DDR |= (1<<AD9850_DATA) | (1<<AD9850_CLK) | (1<<AD9850_FREQ_
    UPD) | (1<<AD9850_RST);
    //Master Reset Timing Sequence (datasheet Figure 7)
    SET_RST; _delay_ms(1); RESET_RST;
    //Serial Load Enable Sequence (datasheet Figure 10)
    SET_CLK; _delay_ms(1); RESET_CLK;
    SET_FREQ_UPD; _delay_ms(1); RESET_FREQ_UPD;
}
```

malna (dla M=1) wynika z ilorazu częstotliwości sygnału taktującego i rozdzielczości akumulatora fazy.

Jak widać, ta niewielka modyfikacja niesie za sobą ogromne możliwości, co skrzętnie wykorzystali producenci półprzewodników oferując szereg gotowych rozwiązań układowych w postaci scalonych generatorów DDS. Bodajże największą paletę scalonych generatorów tego typu udostępnia firma Analog Devices, w której asortymencie znajdują się rozwiązania różniące się zarówno rozdzielczością akumulatora fazy, rozdzielczością samej pamięci próbek, maksymalną wartością częstotliwości sygnału taktującego jak i dostępnymi typami wyjściowych przebiegów analogowych. Dzięki takiej polityce, tego znanego producenta półprzewodników, możemy wybrać element, który w 100% spełnia wymagania docelowej aplikacji jak i uprości jej budowę. Jako, że nasze urządzenie w założeniu dysponować ma ograniczoną funkcjonalnością i charakteryzować się prostotą obsługi i implementacji, do jego budowy wybrano scalony generator DDS o symbolu AD9850. Jest to dość popularny element, który umożliwia zbudowanie generatora sygnałowego przebiegu sinusoidalnego i prostokątnego o maksymalnej częstotli-

wości rzędu 60 MHz, cechujący się ogromną prostotą implementacji. Ponadto, co nie jest bez znaczenia, gotowe moduły wyposażone we wspomniany układ jak i scalony generator kwarcowy o częstotliwości wyjściowej 125 MHz, bez problemu można nabyć na portalach aukcyjnych w bardzo przystępnej cenie, częstokroć kilkukrotnie niższej aniżeli cena samego układu scalonego kupowanego u dystrybutora półprzewodników, co w zasadzie trudno logicznie wytłumaczyć. Układ AD9850 charakteryzuje się następującymi, wybranymi cechami funkcjonalnymi:

- Maksymalna częstotliwość sygnału taktującego 125 MHz.
- Rozdzielczość regulacji 0,0291 Hz (@125 MHz).
- 32-bitowe słowo przestrajające.
- Wbudowany, wysokiej jakości, 10-bitowy przetwornik C/A z możliwością regulacji maksymalnej wartości prądu wyjściowego (wyposażony w wyjście prądowe).
- Wbudowany, szybki komparator dający możliwość generowania sygnału prostokątnego o regulowanym wypełnieniu.
- Możliwość regulacji fazy sygnału sinusoidalnego z krokiem 11,25°.

- Prosty, równoległy i szeregowy interfejs sterujący.
- Szeroki zakres napięcia zasilającego (3.3...5 V).
- Tryb o niskim poborze mocy Power-down.

Na rysunku 3 przedstawiono wygląd obudowy układu AD9850 wraz z rozmieszczeniem wyprowadzeń, zaś w tabeli 1 umieszczono pełnione przez nie funkcje.

Układ AD9850 z łatwością spełnia założenia budowy prostego generatora DDS charakteryzując się przy tym niezmierną prostotą aplikacji. Jako, że jego zasada działania jest zgodna z przedstawioną na rysunku 2 budową generatora DDS z akumulatorem fazy, nie będę powracał do podanych wcześniej informacji, a skupię się na zagadnieniach programowych, charakterystycznych dla tego elementu.

Jak wspomniano, chip AD9850 wyposażono w dwa interfejsy sterujące zapewniające możliwość komunikacji: równoległy i szeregowy. Z uwagi na fakt, iż sprzęg szeregowy wymaga zaangażowania wyłącznie 2 wyprowadzeń mikrokontrolera do nawiązania komunikacji (danych – w tym przypadku D7 i sygnału zegarowego – w tym przypadku W\_CLK), właśnie ten interfejs wybrano jako medium współpracy ze sterownikiem nadrzędnym. Aby to jednak było możliwe, producent układu wymaga zastosowania odpowiedniego rozwiązania sprzętowego: wyprowadzenia nr 3 i 4 układu AD9850 (D1 i D0) należy dołączyć do napięcia zasilającego, zaś wyprowadzenie nr 2 (D2) do masy, jak również zastosować należy specjalną sekwencję sygnałów sterujących (W\_CLK i FQ\_

REKLAMA



**Jakubowski  
Mechanika**

**Mechaniczna obsługa projektów  
elektronicznych i elektrycznych**  
Specjalistyczne obudowy metalowe na zamówienie  
- frezowane i zaginane  
[www.jakubowski-mechanika.pl](http://www.jakubowski-mechanika.pl) [www.obudowydlaelektroniki.pl](http://www.obudowydlaelektroniki.pl)

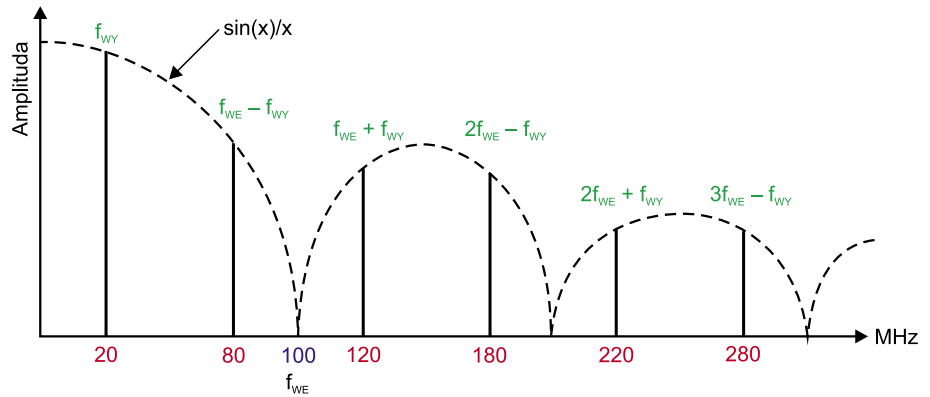


UD), dzięki czemu możliwa stanie się komunikacja we wspomniany wcześniej sposób. Sekwencję sygnałów sterujących niezbędną do aktywacji szeregowego interfejsu danych układu AD9850 przedstawiono na **rysunku 4**.

Po wstępnej inicjalizacji interfejsu sterującego, układ AD9850 gotowy jest na przyjęcie danych zmieniających jego stan pracy, a więc danych odpowiedzialnych za częstotliwość i fazę wyjściowego sygnału analogowego jak i kilku właściwości konfiguracyjnych. Wszystkie wspomniane wartości powinny zostać wysłane do naszego peryferium w takt sygnału zegarowego ( $W\_CLK$ ) szeregowej magistrali danych zgodnej ze znanym choćby ze świata mikrokontrolerów standardem zwanym SPI jako 40-bitowa ramka danych o konstrukcji pokazanej na **rysunku 5**.

Jak widać, samo przesłanie niezbędnej ramki danych sterujących do układu AD9850, nie zmienia parametrów wyjściowego sygnału analogowego wbudowanego przetwornika DAC do czasu wystąpienia rosnącego zbocza sygnału na wejściu aktualizacji słowa przestrajającego akumulatora fazy oznaczonym jako  $FQ\_UD$ . Dopiero rosnące zbocze tego sygnału powoduje przepisanie przesłanej ramki danych do rejestrów układu DDS i odpowiednią zmianę parametrów sygnału wyjściowego. Na **listingach 1 i listing 2** przedstawiono ciała funkcji odpowiedzialnych za inicjalizację szeregowej magistrali danych układu AD9850 jak i zmianę częstotliwości analogowego sygnału wyjściowego.

Warto podkreślić, iż dopuszczalna częstość aktualizacji częstotliwości wyjściowego sygnału analogowego układu AD9850 może sięgać nawet kilku milionów na sekundę, przez co można go z powodzeniem stosować w aplikacjach wymagających przemieszczania pasma częstotliwościowego lub generowania modulowanych częstotliwościowo sygnałów analogowych o wysokich częstotliwościach nośnej. Za każdym razem należy mieć jednak na uwadze pewną właściwość układów tego typu, w których to sygnał analogowy jest generowany w sposób cyfrowy. Otóż, zgodnie z prawem Nyquista, w widmie sygnału utworzonego w ten sposób pojawią się również częstotliwości różne od oczekiwanej, tzw. aliasy, o całkiem porządkowej amplitudzie, co niesie za sobą konieczność stosowania na wyjściu takich układów skutecznych filtrów dolnoprzepustowych eliminujących lub co najmniej ograniczających to niekorzystne zjawisko. Częstotliwość tych niepożądanych sygnałów jest równa sumie i różnicy wielokrotności częstotliwości zegara taktującego akumulatora fazy i częstotliwości sygnału wyjściowego, zaś ich amplituda wynika z przebiegu funkcji  $\sin(x)/x$ . Poglądowy rysunek zależności amplitudy sygnału wyjściowego poszczególnych aliasów



**Rysunek 6. Poglądowy rysunek zależności amplitudy sygnału wyjściowego poszczególnych aliasów w funkcji ich częstotliwości**

**Listing 2. Listing funkcji odpowiedzialnej za zmianę częstotliwości analogowego sygnału wyjściowego układu AD9850**

```

inline void AD9850setFrequency(uint32_t Frequency) //Frequency: 0...40MHz
z krokiem 1Hz
{
    //TunningWord = (2^32*Frequency)/125MHz - poniżej zoptymalizowany
    //zapis, jeśli chodzi o dokładność i szybkość obliczeń
    uint32_t dataToSend = (34*Frequency) + (Frequency>>2) + (Frequency>>4) +
(Frequency>>5) + (Frequency>>6) + (Frequency>>12) + (Frequency>>13);
    SPIsendByte(dataToSend);
    SPIsendByte(dataToSend>>8);
    SPIsendByte(dataToSend>>16);
    SPIsendByte(dataToSend>>24);
    SPIsendByte(0x00); //Bity fazy sygnału i trybu PowerDown
niewykorzystywane
    //Zaktualizowanie częstotliwości wyjściowej układu AD9850
    SET_FREQ_UPD; _delay_us(1); RESET_FREQ_UPD;
}
    
```

w funkcji ich częstotliwości dla częstotliwości wyjściowej  $f_{WY}=20$  MHz i częstotliwości generatora taktującego  $f_{WE}=100$  MHz pokazano na **rysunku 6**.

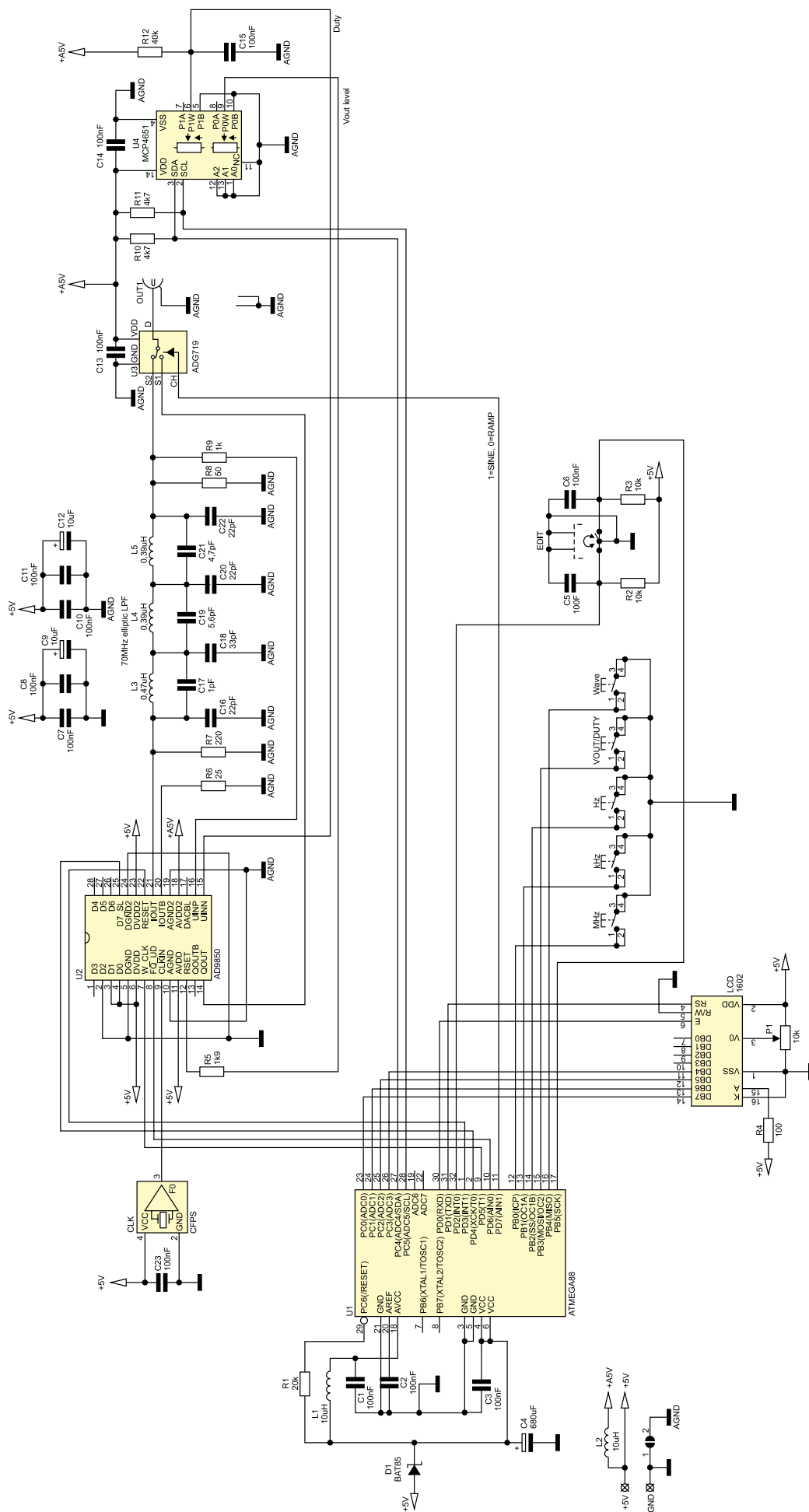
Wartość częstotliwości pierwszego aliasu równa  $f_{WE}-f_{WY}$  znajduje się dość blisko pożądanego częstotliwości wyjściowej i w krytycznych warunkach, gdy częstotliwość wyjściowa osiąga swoje maksimum, może się do niej bardzo zbliżyć, zaś jego amplituda może być tylko 3 dB niższa od amplitudy przebiegu o częstotliwości pożądanego. Wynika stąd potrzeba stosowania skutecznych filtrów dolnoprzepustowych jak i praktyczne ograniczenie maksymalnej częstotliwości wyjściowej tego typu generatorów do 1/3 częstotliwości zegara taktującego generator ( $f_{WE}$ ). Na tym zakończę tę część artykułu, gdyż w tej chwili dysponujemy już całą, niezbędną wiedzą by przejść do praktycznej realizacji generatora DDS.

**Budowa**

Schemat opisywanego generatora DDS pokazano na **rysunku 7**. Jest to nieskomplikowany system mikroprocesorowy, którego „sercem” jest nowoczesny mikrokontroler ATmega88, który za pomocą programowego interfejsu SPI (i dodatkowych sygnałów  $FQ\_UD$  i  $RESET$ ) steruje pracą generatora AD9850, zaś przy udziale sprzętowego interfejsu TWI steruje pracą scalonego, podwójnego potencjometru cyfrowego MCP4651 realizującego regulację wypełnienia wyjściowego sygnału prostokątnego oraz regulację amplitudy wyjściowego sygnału sinusoidalnego. Mikrokontroler jest odpowiedzialny

również za obsługę interfejsu użytkownika zbudowanego z użyciem kilku przycisków typu microswitch, enkodera obrotowego i alfanumerycznego wyświetlacza LCD o organizacji  $2 \times 16$  znaków, jak również obsługę wysokiej jakości scalonego multiplexera 2:1 o oznaczeniu ADG719. Układ generatora AD9850 użyty tutaj został w swojej typowej aplikacji, w której sterowany przez mikrokontroler aktualizuje parametry sinusoidalnego przebiegu wyjściowego dostępnego na jego wyjściu oznaczonym IOUT. Sygnał prądowy z tego wyjścia podlega zamianie na sygnał napięciowy (rezystor R7) i jest doprowadzony do dolnoprzepustowego filtra eliptycznego 5-tego rzędu zbudowanego z elementów dyskretnych. Ten filtr zapewni odpowiednie tłumienie sygnałów niepożądanych – jego charakterystykę częstotliwościową zamieszczono na **rysunku 8**.

Po odfiltrowaniu sygnału użytecznego, trafia on na jedno z wejść multiplexera analogowego ADG719 i jednocześnie (poprzez rezystor R9) na nieodwracające wejście wbudowanego w strukturę układu AD9850 komparatora analogowego. Wejście odwracające tegoż komparatora podłączono z kolei do rezystancyjnego dzielnika napięcia zbudowanego z rezystora R12 i jednego ze scalonych, cyfrowych potencjometrów liniowych znajdujących się w strukturze układu MCP4651. W ten prosty sposób, na wyjściu komparatora (QOUT) wbudowanego w strukturę naszego generatora DDS otrzymujemy przebieg prostokątny o regulowanym – przez stosunek wartości wspomnianych rezystorów – wypełnieniu. Wyjście komparatora trafia na drugie z wejść multiplexera analogowego



Rysunek 7. Schemat ideowy generatora sDDS

gowego, co pozwala na wybór rodzaju sygnału, który wystąpi na wyjściu urządzenia (sinusoidalny/prostokątny). Drugi z wbudowanych w strukturę układu MCP4651 scalonych potencjometrów cyfrowych wykorzystano (w szereg z rezystorem R5) do regulacji maksymalnej amplitudy prądu wyjściowego układu AD9850 (podłączony do wejścia *RESET*), co przekłada się na regulację maksymalnej amplitudy napięcia wyjściowego sygnału sinusoidalnego. Dla poprawienia parametrów elektrycznych urządzenia i zminimalizowania wpływu części cyfrowej urządzenia na tor analogowy, zdecydowano o rozdzieleniu magistral zasilających poszczególne części jak i odpowiadających im obwodów masy.

Generators sDDS zapamiętuje swój stan pracy w nieulotnej pamięci EEPROM mikrokontrolera i po ponownym załączeniu generatora są wprowadzane ostatnio aktywne nastawy. Jako, że sam mechanizm zapewniający skuteczne a zarazem bezpieczne dla pamięci EEPROM mikroprocesora wykonanie tego zadania jest dość ciekawy, na koniec pokrótce go opiszę.

Mikrokontroler ATmega88 dysponuje nieulotną pamięcią EEPROM, jednak pamięć tego typu zapewnia ograniczoną do ok. 100 tysięcy liczbę gwarantowanych cykli zapisu. Jak i kiedy, w takim razie, dokonywać zapisu niezbędnych wartości, by nie spowodować szybkiego uszkodzenia pamięci? Odpowiedź wydaje się dość prosta, choć samo rozwiązanie całkiem interesujące. Niezbędne wartości konfiguracyjne „zebrane” w specjalną strukturę danych zapisywane są każdorazowo przy wyłączeniu urządzenia. W celu detekcji momentu wyłączenia zastosowano wbudowany w mikrokontroler przetwornik A/C pracujący w trybie *Free Running* i monitorujący kilka tysięcy razy na sekundę napięcie *V<sub>bak</sub>*, a więc napięcie zasilające wyłącznie mikrokontroler (po zaniku zasilania dioda D1 zapewnia separację zasilania mikrokontrolera od reszty urz-

**Wykaz elementów**

**Rezystory:** (SMD 0805)

- R1: 20 kΩ
- R2, R3: 10 kΩ
- R4: 22...100 Ω (reguluje intensywność podświetlenia wyświetlacza LCD)
- R5: 1.9 kΩ/1%
- R6: 25 Ω
- R7: 220 Ω
- R8: 50 Ω
- R9: 1 kΩ
- R10, R11: 4.7 kΩ
- R12: 40 kΩ/1%
- P1: 10 kΩ (pot. montażowy)

**Kondensatory:** (SMD 0805)

- C1...C3, C5...C8, C10, C11, C13...C15, C23: 100 nF (X5R)
- C4: 680 μF/10 V (elektrolit.)
- C9, C12: 10 μF/16 V (SMD „A”, EIA 3216-18W)
- C16, C20, C22: 22 pF (ceram.)
- C17: 1 pF (X5R)
- C18: 33 pF (X5R)
- C19: 5,6 pF (X5R)
- C21: 4,7 pF (X5R)

**Półprzewodniki:**

- U1: ATmega88A (TQFP32)
- U2: AD9850 (SSOP28)
- U3: ADG719 (MSOP08)
- U4: MCP4651 (TSSOP14)
- D1: BAT85 (MINIMELF)

**Inne:**

- L1, L2: 10 μH (SMD 1206)
- L3: 0,47 μH (SMD 1206)
- L4, L5: 0,39 μH (SMD 1206)
- CLK: generator kwarcowy SMD 125 MHz zasilany napięciem 5V (obudowa o wymiarach 7 mm×5 mm)
- OUT: gniazdo BNC kątowe 90° metalowe np. BNC3-1
- EDIT: enkoder z ośką 25mm, bez przycisku MHz, KHZ, HZ, VOUT/DUTY, WAVE–microswitch z ośką 16 mm, do montażu przewlekane
- LCD: wyświetlacz LCD 2×16 znaków, np. LCD-AC-1602E-DLG G/KK-E12 C PBF BLACKLINE

dzenia, a kondensator C4 zapewnia odpowiedni czas podtrzymania zasilania). Co ciekawe, na pierwszy „rzut oka”, nie wydaje się, by nasz sterownik w jakikolwiek sposób używał przetwornika A/C, gdyż żaden z kanałów wejściowych nie jest prze niego używany w tym celu. To prawda, patrząc na schemat układu i nie mając do dyspozycji listingu programu można by wysnuć taki wniosek. Jest jednak zgoła inaczej. Przetwornik A/C mierzy specjalne, wewnętrzne napięcie odniesienia  $V_{BG}=1,1$  V (dla mikrokontrolera ATmega88), dzięki temu, iż wewnętrzny, analogowy multiplexer przetwornika może zostać właśnie w ten sposób ustawiony. Napięciem odniesienia jest z kolei napięcie zasilające mikrokontroler, czyli napięcie dostarczane na wyprowadzenie AVCC, czyli nasze Vbak. Spadek tego napięcia, podczas wyłączenia zasilania, powoduje wzrost wartości wyniku przetwarzania według wzoru jak niżej (korzystamy z 8-bitowej rozdzielczości przetwornika):

$$V_{ADC} = (V_{BG} \times 256) / V_{bak}$$

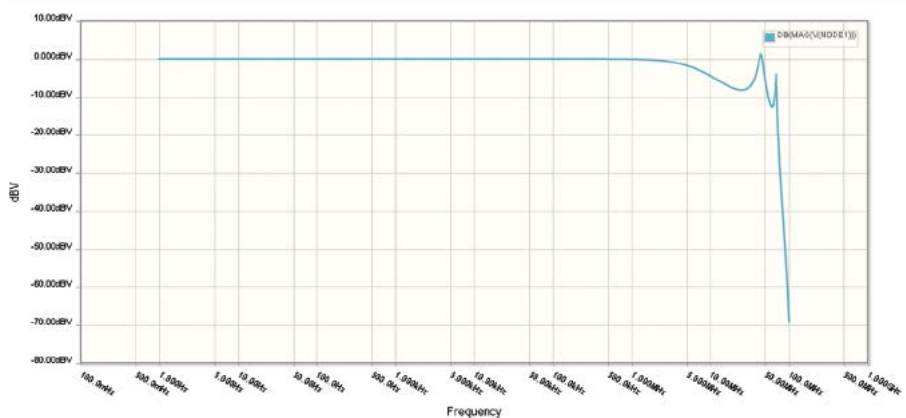
Procedura obsługi przerwania przetwornika A/C sprawdza każdorazowo czy nie zo-

**Listing 3. Listing konfiguracji oraz procedury obsługi przerwania przetwornika ADC.**

```
#define VBG 11 //Voltage BandGap, 11=1.1V itd
#define CRITICAL_VOLTAGE 43 //43=4.3V itd
#define TRESHOLD (VBG*256/CRITICAL_VOLTAGE) //Obliczony próg dla zapisu do EEPROMa (dla rozd. 8bitów)

//Vref=AVCC, Vin=VBG (wewn.źródło 1.1V), justowanie wyniku pomiaru do lewej (ADHC zawiera 8-bitowy wynik pomiaru)
ADMUX = (1<<REFS0)|(1<<MUX3)|(1<<MUX2)|(1<<MUX1)|(1<<ADLAR);
//Uruchomienie przetwornika ADC w trybie Free Running i zezwolenie na przerwanie po każdej konwersji (prescaler=128)
ADCSRA = (1<<ADEN)|(1<<ADSC)|(1<<ADATE)|(1<<ADIE)|(1<<ADPS2)|(1<<ADPS1)|(1<<ADPS0);

ISR(ADC_vect)
{
    register uint8_t Voltage = ADCH;
    if (Voltage>TRESHOLD)
    {
        //Zapis krytycznych danych, umieszczonych w strukturze, do pamięci EEPROM
        eeprom_write_block(&Config, &ConfigEE, sizeof(Config));
        _delay_ms(1000); //Czekamy na zresetowanie mikrokontrolera przez układ BOD
    }
}
```



**Rysunek 8. Charakterystyka częstotliwościowa zastosowanego filtra dolnoprzepustowego**

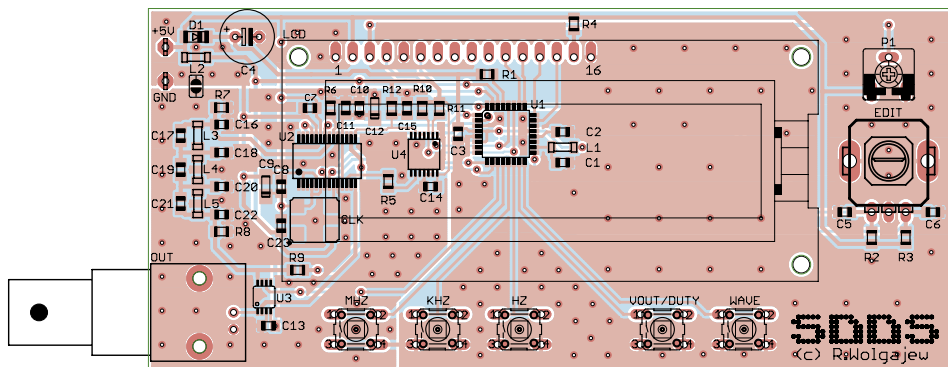
stał przekroczony zdefiniowany wcześniej próg obliczeniowy a jeśli ma to miejsce to inicjuje proces zapisywania danych konfiguracyjnych do wbudowanej pamięci EEPROM, po czym czeka, aż napięcie zasilania spadnie do poziomu wstrzymania pracy mikrokontrolera, które to jest dokonywane przez uruchomiony wcześniej układ BOD (typowo przy wartości 2,7 V). Wspomniany próg zadziałania ustawiono na wartość 4,3 V, co oznacza, iż czas opadania napięcia zasilającego od 4,3 V do 2,7 V jest czasem, w którym mikrokontroler musi przeprowadzić zapis wszystkich danych konfiguracyjnych – w naszym przypadku 11 bajtów danych. Jak pokazały testy praktyczne, zastosowanie wspomnianego wcześniej rozwiązania sprzętowego (diody D1 i kondensator C4) i mechanizmów programowych zapewnia 100% skuteczność zapisu danych z bardzo dużym marginesem czasowym. Listing zawierający rozkazy konfiguracji przetwornika A/C oraz procedury obsługi jego przerwania pokazano na **listingu 3**.

**Montaż i uruchomienie**

Schemat montażowy układu sDDS pokazano na **rysunku 9**. Zaprojektowano dla niego płytkę ze zdecydowaną przewagą elementów SMD po to, by całe urządzenie wymiarami swoimi nie

przekraczało niezbędnego, minimalnego obszaru dla wykonania interfejsu użytkownika, co czyni je zdecydowanie mobilnym. Tak jak wspomniano wcześniej, dla zminimalizowania zakłóceń na płytce urządzenia rozdzielono pola masy części cyfrowej i analogowej urządzenia, które to są ze sobą połączone wyłącznie w jednym miejscu obwodu drukowanego za pomocą zwory lutowniczej (poniżej dławika L2). Dla zmniejszenia pojemności pasożytniczych zastosowano szereg przelotek pomiędzy odpowiednimi polami masy po obu stronach obwodu drukowanego.

Z uwagi na zastosowanie elementów SMD, montaż najlepiej jest przeprowadzić z użyciem stacji lutowniczej wyposażonej w grot o niewielkiej średnicy, odpowiedniej jakości topników lutowniczych oraz mając pewne doświadczenie. Jak zwykle, montaż rozpoczynamy od przylutowania wszystkich układów scalonych oraz generatora kwarcowego SMD. Następnie lutujemy diody, rezystory, kondensatory, pozostałe elementy bierne, gniazdo BNC a na końcu przyciski, enkoder oraz potencjometr do regulacji kontrastu wyświetlacza LCD (P1). Wyświetlacz LCD należy zamocować w odpowiedniej odległości od obwodu drukowanego, najlepiej za pomocą tulei dystansowych, wykorzystując przewidziane w tym celu otwory, zaś same



Rysunek 9. Schemat montażowy generatora sDDS

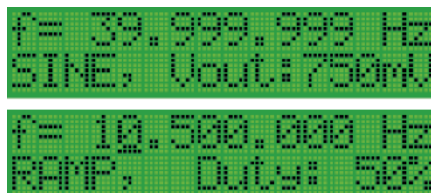
**Ustawienia ważniejszych Fusbitów:**

CKSEL3...0: 0010  
 SUT1...0: 10  
 CKDIV8: 1  
 BODLEVEL2...0: 101  
 EESAVE: 0  
 DWEN: 1  
 RSTDISBL: 1

połączenie należy wykonać przy użyciu listwy goldpin (gniazdo-wtyk) lub zwykłej taśmy wieloprzewodowej. Poprawnie zmontowany układ nie wymaga żadnych regulacji i powinien działać po włączeniu zasilania.

**Obsługa**

Jako, że generator sDDS jest z założenia przenośnym przyrządem warsztatowym, który może być obsługiwany w nieoptymalnych warunkach rzeczywistych, ergonomia i prostota obsługi układu oraz czytelność interfejsu użytkownika były najważniejszym kryterium przy konstruowaniu stosownych procedur sterujących. Zgodnie z tymi założeniami podstawowymi, na płycie sterownika przewidziano 5 przycisków sterujących dających bezpośredni dostęp do realizowanej przez nie funkcjonalności. Jak łatwo się domyślić, przyciski umownie oznaczone **MHz**, **kHz** i **Hz** służą do wyboru jednostek częstotliwości wyjściowej poddawanych regulacji, przy czym każdorazowe ich wciśnięcie powoduje przejście do kolejnego zakresu w ramach wybranej jednostki, co jednocześnie sygnalizowane jest przesunięciem kursora na wyświetlaczu LCD na odpowiednią pozycję. I tak, dla przykładu, pierwsze wciśnięcie przycisku **kHz** powoduje przejście do regulacji (za pomocą enkodera) setek tysięcy kiloherców, następnie, do regulacji dziesiątek tysięcy kiloherców a kolejne do regulacji tysięcy kiloherców itd. Ten sam mechanizm, co oczywiste, tyczy się przycisków **MHz** i **Hz**. Z kolei, przycisk **VOUT/DUTY** służy do regulowania napięcia wyjściowego analogowego sygnału sinusoidalnego, dostępnego na wyjściu urządzenia (w zakresie 0,15V...0,8 V z krokiem 0,05 V) lub do regulowania wypełnienia sygnału prostokątnego (w zakresie 10...90% z krokiem 5%), w zależności od trybu pracy urządzenia. Przycisk **WAVE** służy do zmiany rodzaju sygnału wyjściowego (sinusoidalny/prostokątny), co jest sygnalizowane odpowiednim opisem na

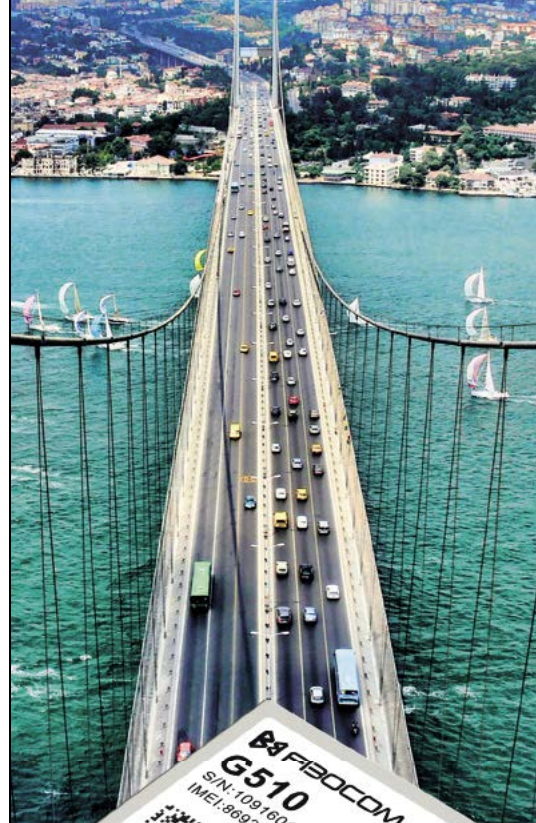


Rysunek 10. Wygląd interfejsu użytkownika generatora sDDS dla obu trybów pracy urządzenia

wyświetlaczu LCD. Na **rysunku 10** pokazano wygląd interfejsu użytkownika układu sDDS w obu trybach pracy urządzenia.

Należy mieć zawsze na uwadze, że podane powyżej zakresy regulacji są orientacyjne, gdyż przy tego typu konstrukcji urządzenia zależne są w pewnym zakresie od częstotliwości wyjściowej, zwłaszcza w przypadku przebiegów o częstotliwościach powyżej 10 MHz. Jest to spowodowane faktem, iż zastosowany na wyjściu urządzenia pasywny filtr dolnoprzepustowy wprowadza tłumienie zależne od częstotliwości wyjściowej (co pokazano na **rysunku 8**), w związku z czym powoduje zaniżanie maksymalnego napięcia wyjściowego dla przebiegu sinusoidalnego. Z drugiej strony, jako, że przebieg ten jest z kolei źródłem odniesienia dla komparatora „wytwarzającego” przebieg prostokątny, dla którego drugą z porównywanych wartości jest „sztywna” wartość napięcia z rezystancyjnego dzielnika napięcia, to również dla przebiegów prostokątnych o wysokich częstotliwościach zakres regulacji wypełnienia ulega ograniczeniu. Dodatkowo, w przypadku przebiegów prostokątnych o częstotliwościach większych niż około 10 MHz, zmieształczeniu ulegają zbocza sygnału, co jest spowodowane zarówno parametrami zastosowanego komparatora, jak i – a może przede wszystkim – projektem obwodu drukowanego, który w tego rodzaju układach powinien być wielowarstwowy, co jest jednym z zaleceń producenta układu. Mimo tych niedoskonałości, uważam, że przedstawiony generator sygnałowy z powodzeniem może być stosowany w pracy elektronika-amatora, jak również może stanowić bazę do udoskoneleń dla osób, które znacznie lepiej ode mnie poruszają się w arkanach techniki wysokich częstotliwości.

Robert Wołgajew, EP



**FIBOCOM**  
 www.fibocom.com

**FIBOCOM G510**

- Najtańszy moduł GSM/GPRS na rynku!
- Najwyższa wydajność wbudowanego stosu TCP
- Kompaktowa budowa
- Duża niezawodność
- Znajduje zastosowanie w różnorodnych aplikacjach M2M

REKLAMA