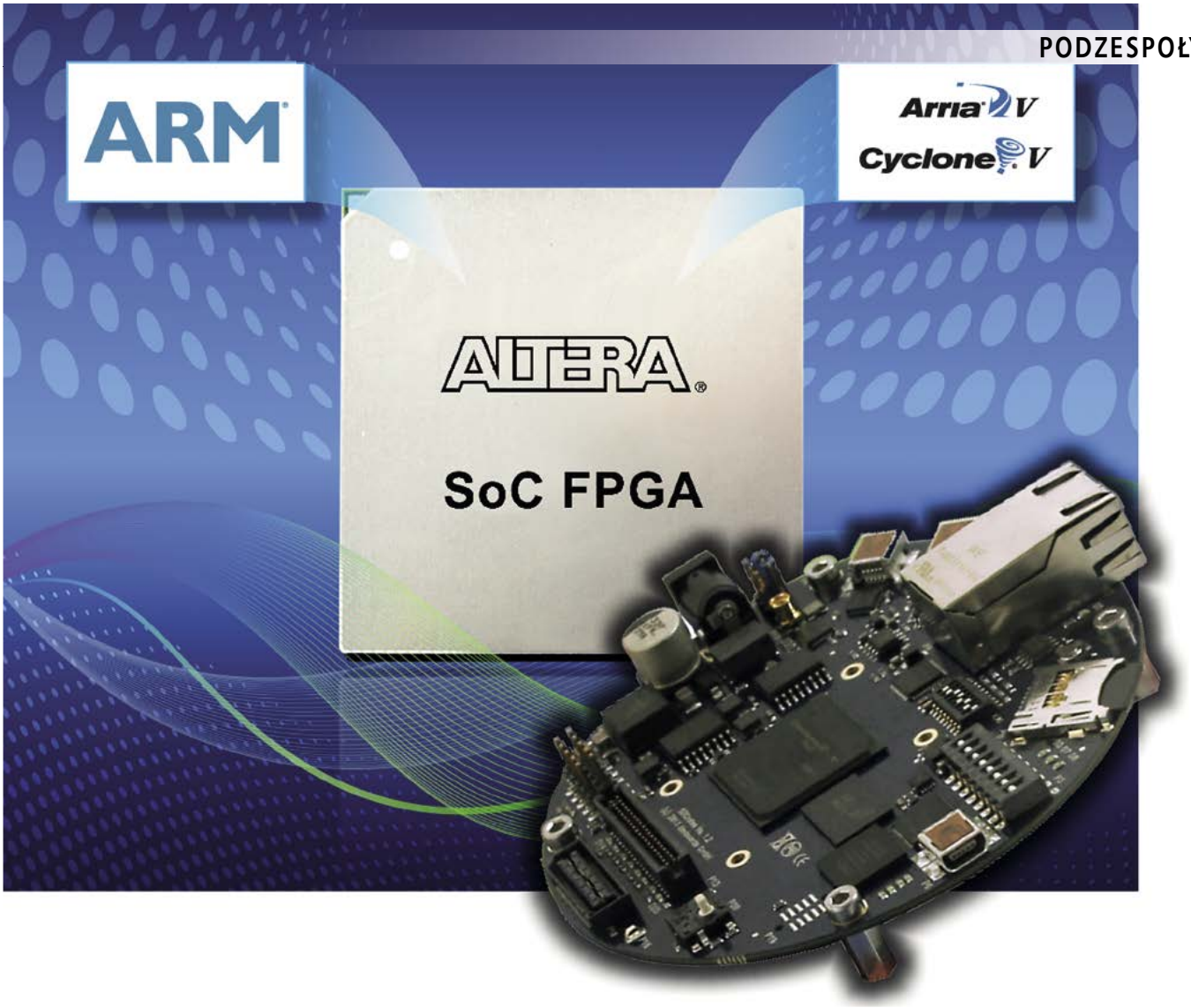


Za SoCratesem: w poszukiwaniu inżynierskiej prawdy

Firma EBV Elektronik wprowadziła na rynek nowoczesny komputer o nazwie SoCrates, bazujący na układzie System-on-Chip z rodziny Cyclone V SoC. Charakteryzuje się on niezwykle nowatorską architekturą łączącą w sobie szybki, dwurdzeniowy procesor z rdzeniem Cortex-A9 oraz zaawansowaną matrycę FPGA, której struktura logiczna wywodzi się z najlepszych rozwiązań znanych z klasycznych FPGA z serii Cyclone.

Komputer na FPGA? Zrobienie takiego urządzenia wydaje się trudne, a przynajmniej czasochłonne. Dzięki układom SoC (*System-on-Chip*) te problemy to już historia. Dają one konstruktorom możliwości elastycznego łączenia rozwiązań bazujących na oprogramowaniu i konfigurowalnym sprzęcie.

Na początku zwrócimy uwagę Czytelników na fakt, że firma Altera wprowadziła do produkcji 6 podrodzin tworzących rodzinę Cyclone V, z których trzy są klasycznymi układami FPGA, pozostałe trzy należą do rodziny układów SoC. Najpoważniejszą różnicą pomiędzy klasycznymi układami FPGA i SoC jest wyposażenie tych drugich w „twardy" (czyli wykonany w krzemie, bez możliwości rekonfiguracji), dwurdzeniowy procesor z rdzeniami Cortex-A9.

Poszczególne podrodziny różnią się między sobą także wyposażeniem w szybkie transceivery komunikacyjne (przystosowane do budowy szybkich, szeregowych interfejsów komunikacyjnych):

- w ramach klasycznych rodzin FPGA:
  - Cyclone V E – układy o zminimalizowanej cenie i poborze mocy, przeznaczone do stosowania w standardowych aplikacjach DSP i logicznych,
  - Cyclone V GX – układy wyposażone w transceivery komunikacyjne (do 12 kanałów) przystosowane do transmisji danych z prędkością do 3,125 Gb/s,
  - Cyclone V GT – układy wyposażone w transceivery komunikacyjne (do 12 kanałów) przystosowane do transmisji danych z prędkością do 6,144 Gb/s.
- w ramach rodzin SoC:
  - Cyclone V SE – układy z wbudowanymi jednym (przedostatnia litera w symbolu oznaczenia typu to „S") lub dwoma rdzeniami Cortex-A9, charakteryzujące się relatywnie niską ceną i poborem mocy, przeznaczone do stosowania w aplikacjach embedded, DSP i logicznych,

Szkolenia z SoCratesa
Firma EBV Elektronik organizuje dwa szkolenia poświęcone zestawowi SoCrates i układom Cyclone V SoC, które odbędą się 1 oraz 2 października 2013 w Warszawie.
Pierwsze ze szkoleń skupia się na rozwinięciu umiejętności używania układu programowalnego. Pomiędzy wykładami teoretycznymi dotyczącymi architektury układu oraz narzędzi, w programie szkolenia znajdują się zajęcia praktyczne prezentujące wykorzystanie oprogramowania Altery: od podstawowych umiejętności aż do opanowania debuggera układu programowalnego.
Drugie szkolenie ma za zadanie przedstawić, w jaki sposób można w zestawie SoCrates uruchomić system operacyjny GNU/Linux. W trakcie zajęć będzie można zapoznać się z toolchainem, systemem plików, dostępem do peryferiów z poziomu systemu oraz narzędziami do debuggowania.
EBV Elektronik zapewnia gotowe stanowiska robocze składające się z komputera osobistego i układu SoCrates Starter Kit. Dodatkowo każdy uczestnik szkolenia otrzyma 150 USD zniżki na zakup zestawu ewaluacyjnego, którego cena wynosi 349 USD.

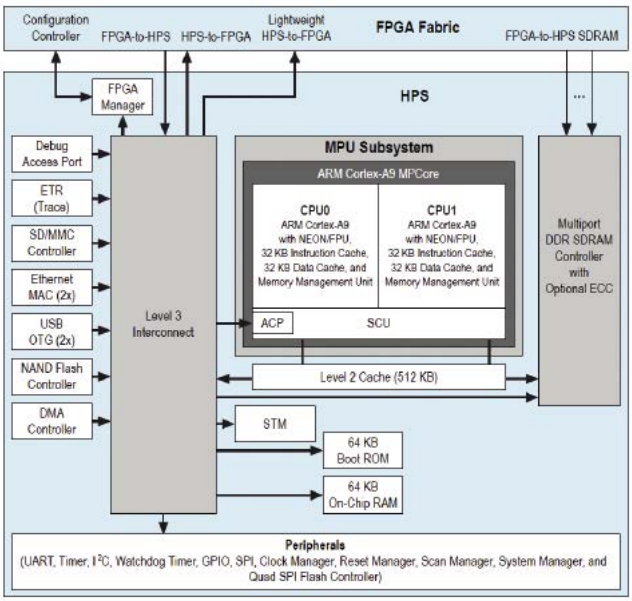
– Cyclone V SX – układy z wbudowanymi dwoma rdzeniami Cortex-A9, wyposażone w transceivery komunikacyjne (do 9 kanałów) przystosowane do transmisji danych z prędkością do 3,125 Gb/s,
– Cyclone V ST – układy z wbudowanymi dwoma rdzeniami Cortex-A9, wyposażone w transceivery komunikacyjne (do 9 kanałów) przystosowane do transmisji danych z prędkością do 5 Gb/s.

Oprócz standardowych, konfigurowalnych zasobów logicznych (LE – *Logic Elements*) oraz unowocześnionych bloków logicznych ALE (*Adaptive Logic Module*), układy Cyclone V są wyposażone w konfigurowalne zasoby specjalizowane w postaci bloków DSP, multiplikatorów, zespołów konfigurowalnych pamięci SDRAM (32-bitowe DDR2/DDR3, do 400 MHz), a także syntezerów sygnałów zegarowych bazujących na PLL. Niektóre typy prezentowanych układów producent wyposażył także w „twarde" interfejsy pamięci, a także interfejsy PCIe, konfigurowalne interfejsy I/O przystosowane do pracy z sygnałami LVDS.

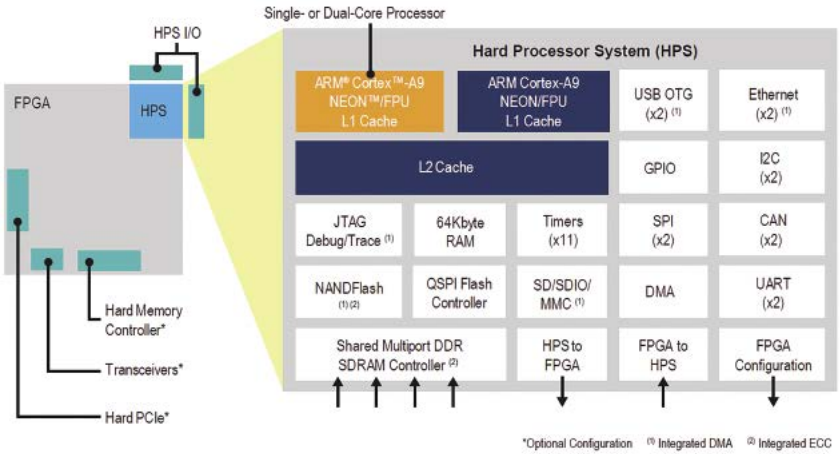
Opracowane przez ARM rdzenie Cortex-A9 (w wersji MPCore) charakteryzują się wydajnością dochodzącą do 2,5 MIPS/MHz, co przy maksymalnej dopuszczalnej częstotliwości ich taktowania wynoszącej 800 MHz daje ogromną moc obliczeniową wynoszącą nawet 2 GMIPS/rdzeń. Standardowym wyposażeniem tego rdzenia –poza FPU – są koprocesory NEON (wspomaganie obliczeń dla aplikacji multimedialnych) oraz Jazelle (sprzętowe wspomaganie interpreterów Javy), a także 2 zespoły pamięci cache L1 (po 32 kB) oraz 512 kB pamięci cache L2.

Rdzenie wraz z otoczeniem, w skład którego wchodzą także m.in. lokalny interfejs pamięci DDS SDRAM z obsługą ECC, kontroler pamięci NAND Flash, programowalny system DMA (8-kanałowy), dwa interfejsy USB-OTG, dwa bloki MAC Ethernet (1 Gb/s), synchroniczne interfejsy SD/MMC, tworzą blok HPS (*Hard Processor System* – **rysunek 1**). Każdy z rdzeni wyposażono oczywiście w blok sprzętowego monitorowania jego pracy ETR, wokół HPS zintegrowano także peryferia charakterystyczne dla standardowych systemów mikroprocesorowych, jak na przykład: bloki timerów, UART-y, interfejsy Flash SPI/QSPI itp.).

Niebagatelnym wyzwaniem stojącym przed konstruktorami układów Cyclone V SoC

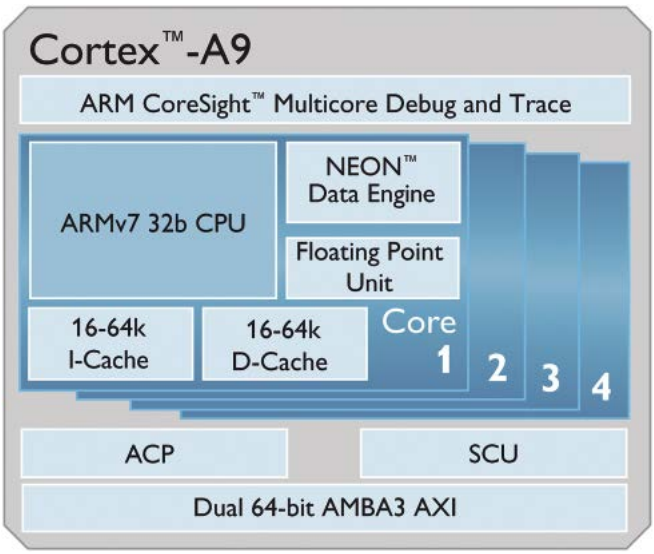


Rysunek 1. Budowa bloku procesorowego HPS w układach Cyclone V SoC



Rysunek 2. Blok HPS komunikuje się z FPGA za pomocą specjalnego interfejsu dwukierunkowego

ARM Cortex-A9 w wersji MPCore – specjalnie dla systemów wielordzeniowych
Zastosowane w układach SoC Altery rdzenie Cortex-A9 MPCore są zmodyfikowaną wersją rdzeni Cortex-A9, zoptymalizowaną do implementacji w systemach wielordzeniowych. Wyposażono je w blok SCU (*Snoop Control Unit*), która zajmuje się wspomaganiem arbitrażu, zarządzaniem zawartością pamięci cache, wymianą danych pomiędzy rdzeniami i innymi funkcjami charakterystycznymi dla systemów wieloprocesorowych.



Najważniejsze elementy wyposażenia zestawu SoCrates:
- układ FPGA SoC z rodziny Cyclone V SE (5CSEBA6U23C7N) z dwoma rdzeniami Cortex-A9,
- interfejs LVDS (w tym do CCD i TFT-TP),
- dwie pamięci Flash QSPI EPCQ256
- pamięć DDR3 128Mx32b (1 Gb),
- 2 interfejsy USB-OTG 2.0,
- interfejs Ethernet 1 Gb/s,
- gniazdo karty SD,
- konwerter UART/USB,
- zegar RTC,
- cyfrowy czujnik temperatury,
- interfejs CAN,
- dwa kanały A/C,
- dwa kanały C/A,
- 5-pozycyjny joystick,
- 12 LED,
- programowany generator sygnałów taktujących,
- wbudowany programator-konfigurator USB-Blaster,
- 62 linie GPIO TTL-LV33,
- wbudowany kompletny system zasilania SoC.

było opracowanie sposobu komunikacji rdzeni mikroprocesorowych z rekonfigurowalnym otoczeniem zaimplementowanym w strukturze FPGA. Do tego celu służy szerokopasmowy, dwukierunkowy mostek komunikacyjny HPS-to-FPGA (**rysunek 2**), który bazuje na 32-/64-/128-bitowym interfejsie komunikacyjnym AMBA AXI-3 opracowanym przez ARM. Jego konstrukcja umożliwia kontrolowany dostęp do 6 bloków-masterów zaimplementowanych w FPGA do systemowej pamięci SDRAM. Interfejs ten może być także wykorzystywany do konfigurowania FPGA przez wbudowany mikroprocesor.

Widoczny na **fotografii 3** zestaw uruchomieniowy SoCrates jest kompletną platformą ewaluacyjną, wyposażoną w układ z rodziny Cyclone V SE o nazwie 5CSEBA6U23C7N. Układ ten ma wbudowane 110000 LE, 41509 bloków ALM, 112 bloków DSP, 224 multiplikatory 18×18 bitowe, obudowa BGA672, dwurdzeniowy procesor Cortex-A9, wyposażono go ponadto w 288 wyprowadzeń FPGA i 181 wyprowadzeń części procesorowej. Otoczenie układu SoC przypomina klasyczne systemy mikroprocesorowe, w jego skład wchodzą m.in.: cyfrowy czujnik temperatury, zegar czasu rzeczywistego, 1 GB pamięci DDR3 (w konfiguracji 32-bitowej), interfejs Ethernet 1 Gb/s, 2 kanały USB-OTG 2.0, a także interfejsy komunikacyjne CAN, SPI, I²C i UART z konwersją na USB. Użytkownik ma do dyspozycji złącze TFT-TP, złącze kamery CCD z interfejsem LVDS, 5-pozycyjny joystick, łącznie 12 diod LED, 46 linii GPIO przystosowanych do poziomów logicznych TTL-LV33 (w tym 16 z bloku HPS) oraz 32 linie GPIO mogące pracować z poziomami TTL-LV33 lub TTL-LV25.

Wymienione elementy tworzą standardowe otoczenie układu SoC, ale producent zestawu zastosował także jedno mocno niestandardowe rozwiązanie układu peryferyjnego: przetworniki A/C i C/A z konwersją Σ-Δ, w całości zaimplementowane w strukturze FPGA i wykorzystujące w działaniu komparatory analogowe linii LVDS (**rysunek 4**). Parametry tak wykonanego przetwornika A/C umożliwiają jego wykorzystanie w aplikacjach audio, bowiem przy częstotliwości sygnału 15 kHz uzyskiwany odstęp sygnału od szumu wynosi 53 dB, a zniekształcenia harmoniczne THD nie przekraczają wartości 0,01%.

Integralną częścią zestawu SoCrates jest także programator-konfigurator FPGA zgodny z alterowskim USB-Blasterem, który jest natywnym interfejsem dla środowiska projektowego FPGA Quartus II.

Opcjonalnym rozszerzeniem sprzętowym prezentowanego zestawu mogą być moduły ekspanderów o nazwie SoCrates-Phy1, które wyposażono w dwa kanały Ethernet 10/100. Zastosowanie tego ekspandera pozwala stosować zestaw SoCrates w projektach przemysłowych, wykorzystujących protokoły sieciowe Profibus, Modbus TCP/IP, Ethernet Powerlink oraz Profinet.

Budowa bazująca na dwóch szybkich rdzeniach Cortex-A9 i wynikające z tego duże możliwości obliczeniowe układów SoC zastosowanych w zestawie SoCrates prowokują pytanie: czy dla tego zestawu jest dostępny jakiś system operacyjny?

Oczywiście tak, a oprócz systemu operacyjnego dostępne są także inne narzędzia. Producent zadbał m.in. o przygotowanie dystrybucji Linuksa (Debian Wheezy 7.0) oraz pakietu programów narzędziowych (Altera SoC Embedded Design Suite (EDS), ARM Development Studio 5), w tym konsoli systemowej, z poziomu której można modyfikować parametry pracy komputera zaimplementowanego w SoC. Szykowany jest także Android, który powinien być dostępny w pełnej dystrybucji jeszcze w tym roku.

Dzięki takiemu podejściu konstruktorzy poszukujących nowoczesnych alternatyw dla klasycznych konstrukcji *embedded* mogą korzystać z SoCratesa równie wygodnie jak z dowolnych innych komputerów bazujących na procesorach z rdzeniami ARM Cortex-A.

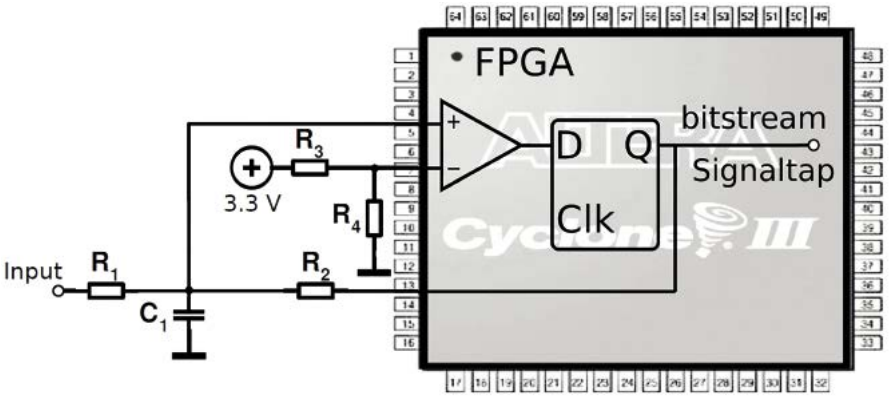
Nie ma więc czego się bać: świat struktur *System-on-Chip* stoi otworem!

Piotr Zbysiński, EP

Zestaw SoCrates udostępniła do testów firma EBV Elektronik
www.ebv.com, tel. 713422944.

Fotografia 3. Wygląd zestawu SoCrates

Krótka charakterystyka poszczególnych rodzin Cyclone V SoC			
Cecha	**Cyclone V SE SoC**	**Cyclone V SX SoC**	**Cyclone V ST SoC**
Wbudowany rdzeń	Dual-core ARM Cortex-A9 MPCore		
Maksymalna częstotliwość taktowania CPU	800 MHz		
Liczba wbudowanych komórek	25 – 110K LE		85 – 110K LE
Liczba transceiverów szeregowych	–	9	
Maksymalna prędkość transmisji szeregowej (wbudowanych transceiverów)	–	3,125 Gb/s	6,144 Gb/s
Obsługiwane typy pamięci	HPS: 32-b, 400 MHz DDR2/DDR3 z ECC FPGA: 32-b, 400 MHz, DDR2/DDR3		
Wbudowane „twarde" interfejsy	HPS: 10/100/1000 EMAC ×2	HPS: 10/100/1000 EMAC ×2 FPGA: ×2 PCIe Gen2	



Rysunek 4. Schemat blokowy kanału przetwornika A/C wykonanego w FPGA z wykorzystaniem komparatora w linii wejściowej LVDS